

IMPLEMENTASI FPGA (*FIELD PROGRAMMABLE GATE ARRAY*) PADA APLIKASI PENGUJIAN UNTUK PENGUJIAN FUNGSIONAL

Itsna Az Zahra, Adharul Muttaqin, Raden Arief Setyawan
Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya
Jalan MT. Haryono 167, Malang 65145, Indonesia
Email : itsna.azz@gmail.com

Salah satu perangkat elektronika yaitu IC (*integrated circuit*) yang akan digunakan untuk keperluan-keperluan perakitan sistem elektronika yang lebih kompleks, harus sudah dipastikan bahwa *device* tersebut berfungsi dengan benar sesuai dengan spesifikasinya dengan melakukan berbagai macam pengujian. Salah satu alat yang digunakan untuk menguji perangkat elektronika adalah *Automated Test Equipment* (ATE). Semakin pesatnya perkembangan teknologi IC yang ada menuntut ATE yang lebih handal untuk pengujian perangkat elektronika tersebut, akan mendorong industri yang bergerak dalam bidang tersebut untuk menyesuaikan serta mengembangkan ATE yang ada. Salah satu solusi yang dapat diaplikasikan adalah pengembangan serta integrasi *stand alone* modul pada ATE komersial yang sedang digunakan untuk memenuhi kebutuhan pengujian dari *customer*. Salah satu ATE yang masih banyak digunakan yaitu ASL 1000 *Test System*. Salah satu keterbatasan dari ASL 1000 adalah jumlah *vector pattern memory* yang ada, yaitu pada modul yang disebut dengan *Digital Driver and Detector* (DDD). Berdasarkan pengamatan pada instrumen DDD, dapat dirancang sebuah *stand alone* modul yang memiliki kemampuan seperti DDD dengan menggunakan komponen *Field Programmable Gate Array* (FPGA). Pada rancangan *stand alone* modul digital, digunakan rangkaian pendukung lainnya yaitu *interface* antara FPGA dengan PC menggunakan *interface* RS-232 serta *interface* antara FPGA dengan *device under test* (DUT) menggunakan ASIC sebagai *ATE drivers or comparators*. Hasil penelitian menunjukkan bahwa modul rancangan dapat menerima dan mengirim 8-bit data pada *baudrate* 17200, menulis dan membaca 16-bit data pada SDR SDRAM selama 90 ns dan 80 ns untuk satu siklus, membangkitkan tegangan pada DAC tipe AD5308 dengan operasi *stand alone*, membangkitkan tegangan pada DAC tipe AD5676 dengan operasi *daisy chain*, dan mengontrol *channel* pada IC *pin electronics* tipe MAX19005. Pada simulasi *behavioral*, modul *main controller* yang dirancang telah bekerja sesuai dengan spesifikasi yang telah ditentukan.

Kata Kunci : *Automated Test Equipment, Digital Driver and Detector, Field Programmable Gate Array*

ABSTRACT

One of the fundamental devices in electronics, integrated circuit or IC, is usually applied in more complex devices. Before the IC is used, it has to pass some tests to guarantee that it functions in accordance with the specifications. Automated Test Equipment (ATE) is used to test many electronics devices, including ICs. Nowadays, with the rapid advance in electronics technology, the industry will need more advanced ATE to fulfill customers demand. One of the applicative solutions is improvement and integration of a standalone module in commercial ATE owned by the factory. ASL 1000 Test System is one of the ATE that is still widely used in industry. ASL 1000 has one limitation in one of its module, Digital Driver and Detector (DDD). The limitation is how much vector pattern that can be saved in the memory. Based on the observation in DDD instrument, a standalone module that has similar specifications as DDD can be designed using Field Programmable Gate Array (FPGA) as its base component. In the standalone module plan, supported circuits are used, these are interface circuit between FPGA and PC using RS-232 and ASIC as ATE drivers or comparators to connect FPGA and device under test (DUT). The result of the study shows that the designed module can receive and send 8-bit data at 19.200 baud rate. It can write and read 16-bit data from and to SDR SDRAM within 90 ns and 80 ns for one cycle. It can control DAC type AD5308 in standalone operation and DAC type AD5676 in daisy chain operation to generate specific voltage in specific channel. In behavioral simulation, main controller module has already worked in accordance with the desired specifications.

Keywords : *Automated Test Equipment, Digital Driver and Detector, Field Programmable Gate Array*

PENDAHULUAN

Suatu *device* elektronika yang akan digunakan untuk keperluan-keperluan perakitan sistem elektronika yang lebih kompleks, harus sudah dipastikan bahwa *device* tersebut berfungsi dengan benar sesuai dengan spesifikasinya. Untuk menentukan apakah suatu *device* sesuai dengan ekspektasi dari *customer*, dilakukan bermacam-macam *test*. [1]

Pengujian-pengujian tersebut tersusun dalam *semiconductor test*. Instrumen alat ukur yang

digunakan untuk pengetesan *decive* disebut *Automated Test Equipment* (ATE). ATE bekerja secara otomatis untuk melakukan serangkaian pengukuran dan pengujian perangkat atau komponen elektronik untuk menentukan apakah *device under test* (DUT) tersebut bekerja sesuai dengan spesifikasi yang diberikan atau tidak.

Unisem adalah provider global dalam penyusunan semikonduktor dan pelayanan pengujian untuk banyak perusahaan elektronika tingkat dunia. Unisem menawarkan pelayanan-

pelayanan seperti *wafer bumping*, *wafer probing*, *wafer grinding*, *leadframe* dan *substrate IC packaging*, *wafer level CSP* dan *RF*, pelayanan uji sinyal analog, digital dan campuran. Unisem di Batam, menyediakan pelayanan *wafer probe*, *wafer backgrinding*, *assembly packaging*, *final test* dan *drop shipment*.

Semakin pesatnya perkembangan teknologi IC yang ada menuntut ATE yang lebih handal untuk pengujian *device* permintaan dari *customer*. Hal ini tentunya akan menyebabkan perusahaan yang memberikan jasa pengujian harus menyesuaikan serta mengembangkan ATE mereka sesuai dengan kebutuhan *test* yang diminta oleh *customer*. Salah satu solusi yang ditawarkan adalah pengembangan serta integrasi *standalone* modul pada ATE komersial yang ada untuk memenuhi kebutuhan pengujian dari *customer*.

Di Unisem Batam saat ini, salah satu ATE yang digunakan yaitu ASL 1000 *Test System*. ASL 1000 sering digunakan untuk pengetesan *device* dari *customer* karena tingkat kehandalannya yang cukup tinggi dan konsumsi dayanya rendah. Dalam salah satu kasus, IC yang diuji memiliki fungsionalitas yang kompleks sehingga diperlukan *local memory* ATE yang besar. Modul yang digunakan untuk menyimpan *memory* yang berisi langkah-langkah *functional test* serta pembangkitan *vector pattern memory* untuk memberikan *input* dan membandingkan *output* dari *device under test* ada pada modul yang disebut dengan *Digital Driver and Detector (DDD)*.

Solusi yang ditawarkan untuk menangani masalah *memory* adalah merancang sebuah *standalone* modul yang dapat menyimpan *memory* lebih dari 1 MB dan memiliki kemampuan yang setara dengan instrumen DDD untuk menggantikan instrumen DDD pada ASL 1000. *Standalone* modul yang dirancang harus dapat terintegrasi dengan sistem utama ASL 1000 seperti halnya DDD.

Berdasarkan pengamatan pada instrumen DDD, dapat dirancang sebuah *stand alone* modul yang memiliki kemampuan seperti DDD dengan menggunakan komponen *Field Programmable Gate Array (FPGA)* sebagai prosesor utama modul tersebut. Pada *stand alone* modul digital yang akan dirancang, dibutuhkan rangkaian-rangkaian pendukung lainnya, yaitu *interface* antara FPGA dengan PC menggunakan *interface RS-232* serta *interface* antara FPGA dengan *device under test (DUT)* menggunakan *ASIC* sebagai *ATE drivers or comparators* untuk menyetarakan kemampuan modul perancangan dengan instrumen DDD.

Permasalahan yang diangkat pada penelitian ini adalah bagaimana perancangan *hardware* modul digital berbasis FPGA sebagai pengganti instrumen DDD pada ASL 1000. Penelitian ini hanya akan membahas mengenai perancangan *hardware* modul digital berbasis FPGA dengan spesifikasi yang telah ditentukan. [2]

METODE PENELITIAN

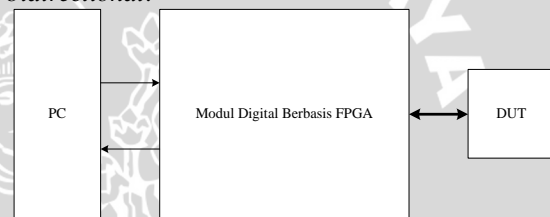
A. Spesifikasi Modul Digital Berbasis FPGA

Spesifikasi modul digital berbasis FPGA dibandingkan dengan instrumen DDD pada ASL 1000 dapat dilihat pada tabel berikut.

Tabel 1 Perbandingan spesifikasi DDD dan modul rancangan

Spesifikasi	DDD	Modul Rancangan
Jumlah <i>channel</i>	8	4
Jumlah <i>memory</i>	128 KB	32 MB
<i>pattern</i>		
Range V_{high}	-5 V – 15 V	0 V – 5 V
Range V_{low}	-5 V – 5 V	-1 V – 4 V
Range V_{load}	-2 V – 8 V	0 V – 5 V

Modul digital berbasis FPGA akan dihubungkan ke PC dan DUT. PC berfungsi untuk mengirimkan data yang akan dituliskan pada *memory* dalam modul digital berbasis FPGA serta menerima hasil *test* yang dilakukan oleh modul digital berbasis FPGA. Modul rancangan dihubungkan dengan DUT menggunakan pin *bidirectional*.



Gambar 1 Hubungan antara sistem dengan PC dan DUT

Antara modul digital berbasis FPGA dan PC digunakan komunikasi serial RS-232. *Input* yang berasal dari PC adalah data *vector pattern*, *time set* serta perintah *run test* yang diberikan melalui *graphic user interface (GUI)* pada PC. *Output* modul yang dikirim menuju PC adalah hasil *run test*, yang mana akan diterima oleh PC dengan format yang telah ditentukan.

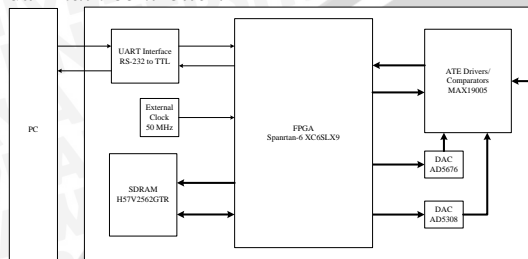
FPGA yang digunakan adalah Spartan 6 XC6SLX9. *External clock* yang digunakan adalah 50 MHz. *Internal clock* didalam FPGA akan dibangkitkan hingga 200 MHz. Memori yang digunakan adalah SDR SDRAM tipe H57V2562GTR dengan kapasitas 32 MB. *Pin electronics* antara FPGA dan DUT menggunakan IC *ATE Driver or Comparator* tipe MAX19005. Terdapat 2 pin *input* untuk mengatur *drive* pada *channel* dan 2 pin *output* untuk mendapatkan hasil *compare* pada tiap *channel* (terdapat 4 buah *channel* untuk 1 IC) dan 4 pin untuk komunikasi SPI.

Referensi tegangan untuk MAX19005 ada 5 macam. Digunakan *Octal DAC* 16 bit tipe AD5676 untuk memberikan tegangan referensi pada *drive high voltage (DHV)*, *drive low voltage (DLV)*, *compare high voltage (CHV)*, *compare low voltage (CLV)*. Digunakan 1 buah *Octal DAC* 8 bit tipe AD5308 untuk memberikan tegangan referensi pada tiap *load drive voltage (LDV)*. Pengontrolan

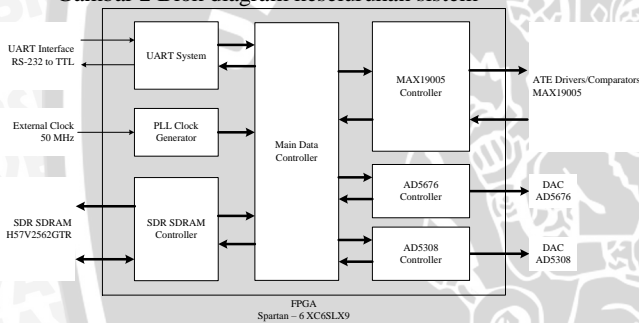
AD5676 dan AD5308 menggunakan komunikasi serial tipe SPI.

B. Perancangan Sistem Board Modul Digital Berbasis FPGA

Blok diagram keseluruhan rancangan modul digital berbasis FPGA memiliki 6 blok utama, seperti yang telah diperlihatkan pada gambar berikut, yaitu *crystal clock generator*, *UART interface RS-232 to TTL*, *SDR SDRAM interface*, *MAX19005 interface*, *AD5676 interface* dan *AD5308 interface*. Dalam internal chip FPGA, terdapat beberapa bagian, yaitu *UART system*, *clock generator*, *SDR SDRAM controller*, *MAX19005 controller*, *AD5676 controller*, *AD5308 controller* dan *main controller*.



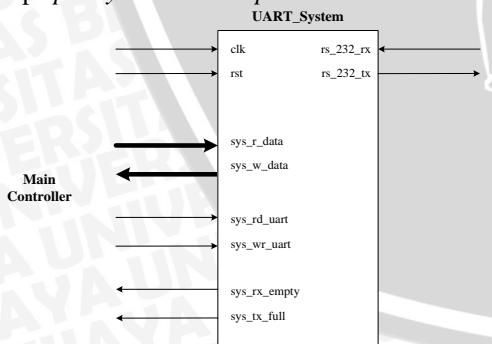
Gambar 2 Blok diagram keseluruhan sistem



Gambar 3 Blok diagram bagian internal FPGA

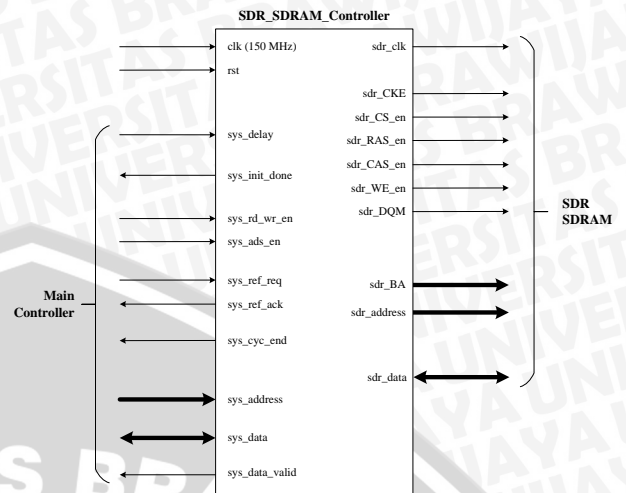
C. Perancangan Modul UART System

Komunikasi yang digunakan adalah UART dengan *baud rate* sebesar 19.200 dengan 8 data bit tanpa *parity bit* dan 1 *stop bit*



Gambar 4. Blok diagram sistem UART

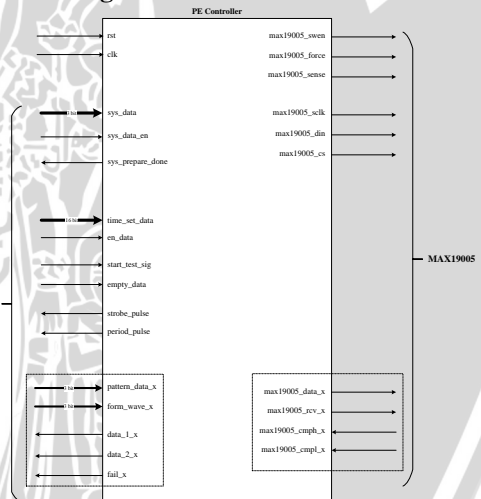
D. Perancangan Modul SDR SDRAM Controller



Gambar 5 Modul SDR SDRAM controller

Terdapat dua buah blok FSM (*Finite State Machine*) yaitu *Initialization FSM* dan *Command FSM*. Blok *Initialization FSM* berfungsi untuk mengatur *setting* dari SDR SDRAM. Blok *Command FSM* hanya dapat bekerja jika inisialisasi telah selesai.

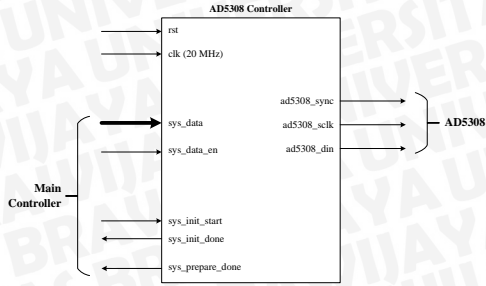
E. Perancangan Modul MAX19005 Controller



Gambar 6 Blok diagram PE controller

MAX19005 controller berfungsi untuk mengatur ASIC MAX19005. Modul ini memberi perintah pengaturan-pengaturan tiap *channel* MAX19005 pada *state initialization*. Pada saat *test* dijalankan, modul akan memberikan sinyal dengan logika *high* atau *low* pada pin DATA dan RCV MAX19005 sesuai dengan *vector pattern* yang diberikan. Pin CMPH dan CMPL pada IC akan memberikan informasi kondisi logika sinyal *output* DUT. Pembacaan *vector pattern* akan terus dilakukan hingga seluruh *pattern* selesai dibaca.

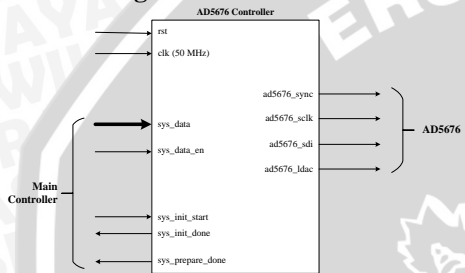
F. Perancangan Modul AD5308 Controller



Gambar 1 Blok diagram AD5308 controller

AD5308 controller akan mengatur inisialisasi dari IC AD5308. Setelah sistem menerima data tegangan dari kontroler utama maka modul AD5308 controller akan memodifikasi data menjadi data 16 bit sesuai dengan spesifikasi IC kemudian mengirimkannya melalui komunikasi serial yang diatur oleh blok SPI controller.

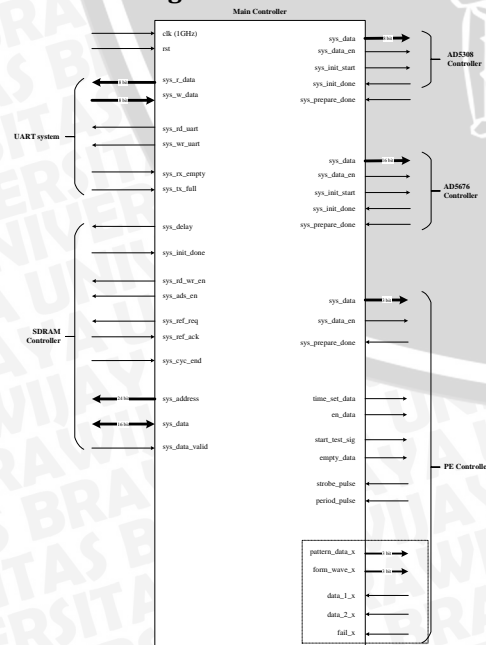
G. Perancangan Modul AD5676 Controller



Gambar 8 Blok diagram AD5676 controller

AD5676 controller akan mengatur inisialisasi dan pengaturan dari IC AD5676. Setelah sistem menerima data tegangan dari kontroler utama maka modul AD5676 controller akan memodifikasi data menjadi data 96 bit sesuai dengan spesifikasi dan urutan IC kemudian mengirimkannya melalui komunikasi serial yang diatur oleh blok SPI controller dengan metode daisy chain.

H. Perancangan Modul Main Controller



Gambar 9 Blok diagram main controller

Main controller merupakan pengontrol utama dari seluruh controller-controller yang ada dalam FPGA. Pin pada main controller terhubung ke controller lainnya yaitu SDRAM controller, AD5308 controller, AD5676 controller dan PE controller. Didalam main controller terdapat blok-blok untuk mengatur dan menjalankan tiap state dari modul yaitu State Controller, Init FSM, Receive FSM, Prepare FSM dan Test FSM. Blok tambahan adalah UART Interface yang berfungsi untuk menghubungkan input dan output UART system ke subblok main controller sesuai dengan yang dibutuhkan dan SDRAM interface yang berfungsi untuk mempermudah proses baca dan tulis vector pattern pada saat state receive dan state test.

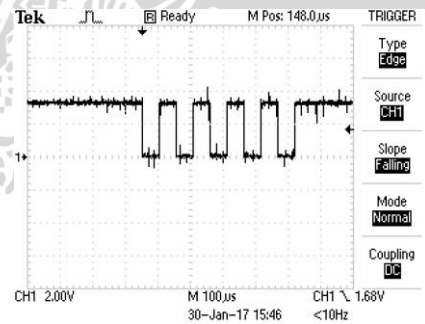
HASIL DAN PEMBAHASAN

A. Pengujian Modul UART System

Modul UART system diuji dengan cara mengirimkan data dari karakter 0 sampai dengan 255 sebanyak 5 kali pada baudrate 19.200.

Tabel 2 Hasil pengujian modul UART system

No	Baudrate	Data	Keberhasilan
1	19.200	0-255	100%
2	19.200	0-255	100%
3	19.200	0-255	100%
4	19.200	0-255	100%
5	19.200	0-255	100%



Gambar 10 Sinyal TX dari FPGA pada karakter 'U'

B. Pengujian Modul SDR SDRAM Controller

Modul SDR SDRAM controller diuji dengan cara mengirimkan data dari komputer melalui interface UART kemudian menuliskan pada SDR SDRAM. Sistem akan membaca data tersebut sesudah 1 ms dan mengirimkannya kembali ke PC.

No	Clock Cycle	Data	Keberhasilan
1	100 MHz	0-255	100%
2	100 MHz	0-255	100%
3	100 MHz	0-255	100%
4	100 MHz	0-255	100%
5	100 MHz	0-255	100%

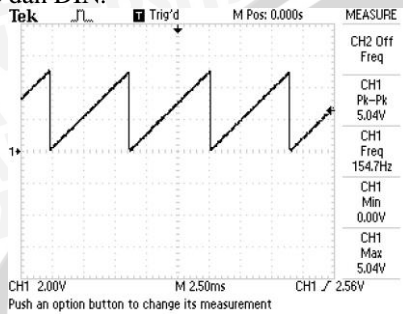
C. Pengujian Modul MAX19005 Controller

Modul MAX19005 controller diuji dengan menggunakan simulasi behavioral karena jumlah pin yang diamati terlalu banyak. Modul telah berhasil mengirim pengaturan tiap channel melalui komunikasi SPI pada saat diperintahkan. Waktu

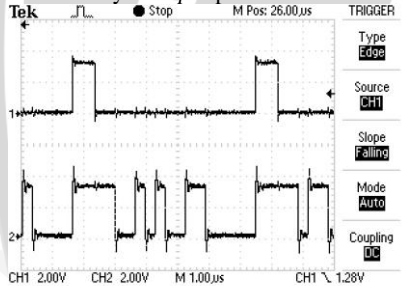
yang dibutuhkan untuk mengirim pengaturan untuk satu *channel* adalah 4,005 μ s. Modul juga dapat membangkitkan nilai logika sesuai dengan pengaturan dan *pattern data* yang diberikan oleh modul *main controller* pada saat perintah *start test* diberikan.

D. Pengujian Modul AD5308 Controller

Modul AD5308 *controller* diuji dengan memberikan nilai digital dari 0 hingga 255 pada tiap *channel* agar DAC membangkitkan sinyal gigi gergaji. Waktu yang dibutuhkan untuk mengirim satu paket data ke AD5308 adalah 5,120 μ s. Berikut adalah hasil pengujian dari modul AD5308 *controller* serta bentuk sinyal *output* pada pin SYNC dan DIN.



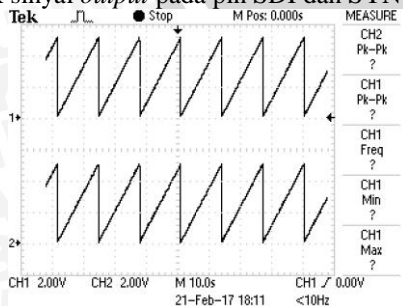
Gambar 11 Sinyal *output* pada *channel* 1 AD5308



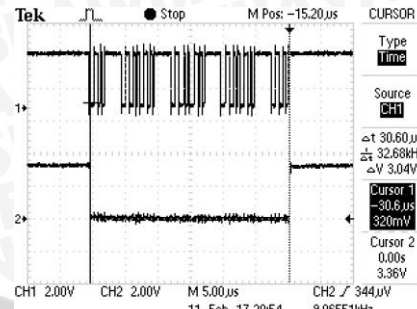
Gambar 12 Sinyal *output* SYNC dan DIN

E. Pengujian Modul AD5676 Controller

Modul AD5676 *controller* diuji dengan memberikan nilai digital dari 0 hingga 255 pada agar seluruh DAC membangkitkan sinyal gigi gergaji. Digunakan operasi *daisy chain* untuk mengontrol 4 DAC, sehingga waktu yang dibutuhkan untuk mengirim satu paket data untuk 4 DAC adalah 30,60 μ s. Berikut adalah hasil pengujian dari modul AD5676 *controller* serta bentuk sinyal *output* pada pin SDI dan SYNC.



Gambar 13 Sinyal *output* pada *channel* 1 pada 2 buah AD5676



Gambar 14 Sinyal *output* SDI dan SYNC

F. Pengujian Modul Main Controller

Modul *main controller* diuji melalui simulasi *behavioral* karena jumlah pin yang diamati lebih banyak dibandingkan dengan pin yang tersedia pada FPGA yang digunakan. Pada *state initialization*, modul telah berhasil memberi sinyal inisialisasi ke modul AD5308 *controller*, modul AD5676 *controller* dan modul SDR SDRAM *controller* sesudah 100 μ s dan kemudian berpindah *state* pada saat seluruh modul tersebut telah selesai melakukan inisialisasi. Pada *state write time set*, modul berhasil menerima data *time set* dengan urutan tertentu melalui modul UART system dan memberikan data *time set* tersebut ke modul MAX19005 *controller*, modul AD5308 *controller* dan modul AD5676 *controller*. Pada *state write pattern*, modul berhasil mengkonversi 8 bit data *vector pattern* dari UART system untuk dituliskan pada modul SDR SDRAM *controller* dalam bentuk 16 bit data. Pada *state run test*, modul berhasil memberikan perintah *pattern data* yang diambil dari memori melalui modul SDR SDRAM ke modul MAX19005 *controller* untuk membangkitkan logika pada pin *input* dan membandingkan logika pada pin *output*. Modul dapat menuliskan hasil *run test* yaitu data *first fail*, *second fail* dan jumlah *failed pattern* pada modul UART system saat *test* selesai dilakukan.

KESIMPULAN DAN SARAN

Berdasarkan hasil perancangan dan pengujian yang telah dilakukan selama penelitian, dapat disimpulkan hal-hal berikut:

1. Sistem UART berhasil bekerja pada *baud rate* 19.200 dengan tingkat keberhasilan 100%.
2. SDR SDRAM *controller* berhasil membaca dan menulis dengan kecepatan 80 dan 90 ns tiap siklusnya. Tingkat keberhasilan pembacaan dan penulisan data adalah 100%.
3. AD5308 *controller* berhasil memerintahkan AD5308 untuk membangkitkan tegangan tertentu pada *channel* tertentu.
4. AD5676 *controller* berhasil memerintahkan AD5676 dengan menggunakan operasi *daisy chain* untuk membangkitkan tegangan pada IC dan *channel* tertentu.
5. Berdasarkan pengamatan pada simulasi *behavioral*, MAX19005 *controller* telah bekerja dengan baik. Dibutuhkan waktu 4,005

us untuk mengirim satu paket data pengaturan *channel*.

6. Berdasarkan pengamatan pada simulasi *behavioral*, modul *main controller* telah bekerja dengan baik.

Saran untuk penelitian selanjutnya adalah sebagai berikut:

1. Meningkatkan efisiensi perancangan *main controller* dengan cara merancang desain yang didasarkan pada sistem arsitektur komputer.
2. Meningkatkan nilai *internal clock* yang dibangkitkan dalam FPGA untuk mendapatkan sistem dengan pemrosesan lebih cepat.
3. Meningkatkan metode pengiriman dan penerimaan data pada sistem komunikasi UART agar dapat menggunakan *baud rate* yang lebih tinggi sehingga proses pengiriman dan penulisan *vector pattern* menjadi lebih cepat.
4. Menggunakan sistem pengecekan data yang lebih efisien.
5. Menggunakan dua buah memori yang digunakan untuk *vector pattern* dan *result pattern* jika sistem diinginkan memiliki kemampuan untuk menyimpan hasil tiap siklus *pattern* pada saat *run test*.
6. Resolusi bit untuk data *time set* yang berhubungan dengan waktu diperbesar, jika resolusi bit diperbesar, maka periode maksimum yang dapat dieksekusi pada satu siklus *vector pattern* juga akan lebih besar.
7. Menyesuaikan antara jumlah *channel* dan jumlah bit data yang dapat disimpan pada 1 alamat memori untuk mempermudah sistem pembacaan data pada saat *test* dijalankan.
8. Menggunakan sistem pembacaan *burst read* agar dapat mempercepat pembacaan *vector pattern* pada SDRAM sehingga periode minimum yang dapat dieksekusi pada satu siklus *vector pattern* menjadi lebih kecil.

DAFTAR PUSTAKA

- [1] Perry, G. (2003). *The Fundamentals of Digital Semiconductor Testing*. New Smyrna Beach, Florida, United States: Soft Test Inc
- [2] Tripaliya, S. S., & Bansod, P. (2015). FPGA Based Digital IC Tester. *International Journal of Electrical and Data Communication*, 1.

