

Perancangan *Encoder 10 to 4 Line dan Decoder BCD to Seven Segment* dalam Satu IC dengan Teknologi CMOS

Aditiya, Adharul Mutaqqin, S.T., M.T., Akhmad Zainuri, S.T., M.T.

Teknik Elektro Universitas Brawijaya

Jalan M.T Haryono No.167 Malang 65145 Indonesia

Email : adityaelektro2012@gmail.com

Abstract— The Purpose of Designing an Encoder IC 10 to 4 Line and BCD to Seven Segment Decoder is to analyze the propagation delay and voltage transfer characteristics (VTC) using CMOS technology. For the analysis in this design process is used mosfet models level 2 on B2Spice, the testing process on software B2Spice using $K_n=0.5289\mu A/V^2$, $K_p=0.1915\mu A/V^2$, $\mu_n=605.312 cm^2/V.s$, and $\mu_p=219 cm^2/V.s$. VTC simulation resulted $V_{IH}=2.6V$; $V_{IL}=2.24V$; $V_{OH}=5V$; $V_{OL}=0V$; $N_{MH}=2.4V$ and $N_{ML}=2.24V$. Propagation delay simulation at Encoder 10 to 4 line using $C_L = 15 pF$ resulted $t_{PLH}=32ns$, $t_{PHL}=43ns$, dan $t_{PD}=38ns$, while at Decoder BCD to Seven Segment using $C_L = 50 pF$ resulted $t_{PLH}=106ns$, $t_{PHL}=144ns$, dan $t_{PD}=125ns$. Encoder 10 to 4 line power dissipation was $=0.75mW$, and Decoder BCD to Seven Segment was $=2.5mW$.

Keywords— B²Spice, Voltage Transfer Characteristics, Power Dissipation, Propagation Delay, Mosfet Model Level 2, Encoder-Decoder, CMOS.

Abstrak—Perancangan IC Encoder 10 to 4 Line dan Decoder BCD to Seven Segment ini bertujuan untuk menganalisis delay propagasi dan karakteristik alih tegangan (VTC) menggunakan teknologi CMOS. Untuk proses analisis dalam perancangan ini digunakan mosfet model level 2 pada B2Spice, proses pengujian rangkaian pada software B2Spice dengan $K_n=0.5289\mu A/V^2$, $K_p=0.1915\mu A/V^2$, $\mu_n=605.312 cm^2/V.s$, dan $\mu_p=219 cm^2/V.s$. Hasil simulasi VTC adalah $V_{IH}=2.6V$; $V_{IL}=2.24V$; $V_{OH}=5V$; $V_{OL}=0V$; $N_{MH}=2.4V$ dan $N_{ML}=2.24V$. Hasil simulasi delay propagasi pada Encoder 10 to 4 line menggunakan $C_L = 15 pF$ didapatkan $t_{PLH}=32ns$, $t_{PHL}=43ns$, dan $t_{PD}=38ns$, sedangkan Decoder BCD to Seven Segment menggunakan $C_L = 50 pF$ didapatkan $t_{PLH}=106ns$, $t_{PHL}=144ns$, dan $t_{PD}=125ns$. Disipasi daya Encoder 10 to 4 line sebesar $=0.75mW$, dan Decoder BCD to Seven Segment sebesar $=2.5mW$.

Kata Kunci—B²Spice, Karakteristik Alih Tegangan, Disipasi Daya, Delay Propagasi, Mosfet Model Level 2, Encoder-Decoder, CMOS.

I. PENDAHULUAN

Pada komputer digital jumlah informasi diskrit diwakili oleh biner. N-bit kode biner yang mampu mewakili sampai 2n unsur yang berbeda dari kode informasi. Decoding adalah konversi dari kode masukan n-bit ke m-bit kode keluaran dengan $n \leq m \leq 2n$, sehingga setiap kata kode input yang valid menghasilkan kode keluaran unik. Decoding dilakukan oleh

decoder, rangkaian kombinasional dengan kode biner n-bit diterapkan pada masukan dan kode biner m-bit muncul pada output, sedangkan encoder adalah fungsi digital yang melakukan operasi berkebalikan dari decoder, encoder memiliki 2n (atau kurang) baris input dan n baris output. Output mengeluarkan kode biner yang sesuai dengan input [5].

MOS Field Effect Transistor adalah struktur blok pembangun utama dari MOS dan CMOS pada rangkaian sirkuit terpadu. Dibandingkan bipolar junction transistor (BJT) menggunakan area silikon yang relatif lebih kecil, dan proses fabrikasi melibatkan proses yang lebih sedikit. Keunggulan teknologi ini bersamaan dengan operasi MOSFET yang relatif lebih mudah, menjadikan teknologi transistor MOS menjadi yang banyak digunakan pada devais sirkuit LSI dan VLSI [4].

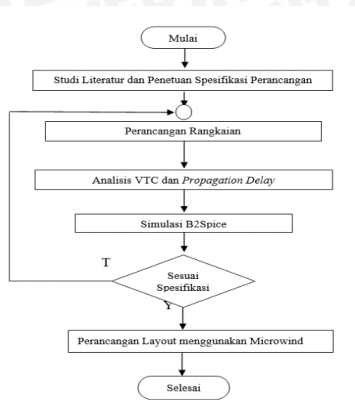
Complementary MOS (CMOS) pertama kali dikemukakan oleh Wanlass dan Sah pada tahun 1963. Meskipun proses CMOS lebih kompleks dibandingkan proses N-MOS, yang dimana melibatkan kedua transistor n-channel (NMOS) dan p-channel (PMOS) pada chip yang sama namun sirkuit CMOS memiliki konsumsi daya yang rendah [1].

Penelitian yang dilakukan adalah merancang sebuah IC yang digunakan pada sebuah seven segment, yang dimana prinsip kerja IC menerima input berupa bilangan desimal (0-9) dan menghasilkan output pada seven segment sesuai dengan input decimal yang diberi. Input berupa desimal diubah pada sebuah encoder 10 to 4 line yang dimana keluarannya berupa biner 4 bit, biner 4 bit keluaran encoder dihubungkan pada input decoder BCD to seven segment.

Terdapat juga sebuah rangkaian counter 4 bit (0-9) yang digunakan untuk menjalankan seven segment secara otomatis dan juga sebuah multiplexer 2 to 1. Multiplexer digunakan sebagai selector (pemilih) saluran masukan yang berasal dari encoder dan counter yang dihubungkan pada input Decoder. Teknologi IC yang digunakan pada penelitian adalah Complementary MOS (CMOS).

II. METODE PENELITIAN

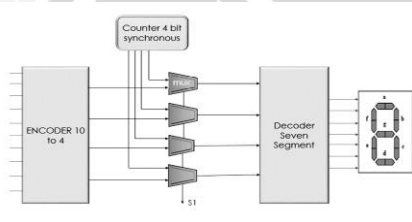
Metode Penelitian yang digunakan dalam perancangan IC Encoder 10 to 4 Line dan Decoder BCD to seven segment dijelaskan dalam gambar flowchart 2.1.



Gambar.2.1 Flowchart Perancangan.

A. Desain Rangkaian Logika

Perancangan rangkaian IC ini dibagi menjadi beberapa bagian blok perancangan yang terdiri atas *Encoder 10 to 4 line*, *Counter 4 bit (0-9)*, *Multiplexer 2 to 1 sebanyak 4 rangkain*, dan *Decoder BCD to Seven Segment*. Berikut blok diagram perancangan ditunjukkan dalam gambar 2.2



Gambar.2.2. Blok diagram Perancangan

1. Encoder 10 to 4 Line

Encoder yang dirancang adalah sebuah priority encoder yaitu rangkaian kombinasional yang mengimplementasikan fungsi prioritas. Jika terdapat dua atau lebih input yang berlogika 1 (high) pada saat yang sama, maka input yang memiliki prioritas tertinggi yang diutamakan [5]. Berikut table kebenaran dari priority encoder 10 to 4 Line dalam table 2.1

INPUT										OUTPUT			
I9	I8	I7	I6	I5	I4	I3	I2	I1	I0	O3	O2	O1	O0
0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	0	0	0	0	0	1	X	0	0	0	1
0	0	0	0	0	0	0	1	X	X	0	0	1	0
0	0	0	0	0	0	1	X	X	X	0	0	1	1
0	0	0	0	0	1	X	X	X	X	0	1	0	0
0	0	0	0	1	X	X	X	X	X	0	1	0	1
0	0	0	1	X	X	X	X	X	X	0	1	1	0
0	0	1	X	X	X	X	X	X	X	0	1	1	1
0	1	X	X	X	X	X	X	X	X	1	0	0	0
1	X	X	X	X	X	X	X	X	X	1	0	0	1

Tabel.2.1. Tabel kebenaran Priority Encoder 10 to 4 Line

Dari table kebenaran diatas didapatkan sebuah persamaan menggunakan penyederhanaan aljabar Boolean, yaitu sebagai berikut:

$$O0 = \sum (\bar{I}8 \bar{I}6 \bar{I}4 \bar{I}2 I1 + \bar{I}8 \bar{I}6 \bar{I}4 I3 + \bar{I}8 \bar{I}6 I5 + \bar{I}8 I7 + I9)$$

$$O1 = \sum (I9 \bar{I}8 \bar{I}5 \bar{I}4 I2 + I9 \bar{I}8 \bar{I}5 \bar{I}4 I3 + I9 \bar{I}8 I6 + I9 \bar{I}8 I7)$$

$$O2 = \sum (\bar{I}9 \bar{I}8 I4 + \bar{I}9 \bar{I}8 I5 + \bar{I}9 \bar{I}8 I6 + \bar{I}9 \bar{I}8 I7)$$

$$O3 = \sum (I8 + I9)$$

2. Decoder BCD to Seven Segment

BCD to seven segment yang menerima angka desimal pada BCD dan menghasilkan output tampilan segment yang sesuai dengan angka decimal. Contohnya BCD 0011 sesuai dengan desimal 3, yang dimana ditampilkan pada segment a, b, c, dan g [5]. Berikut ditunjukkan dalam gambar 2.3.



Gambar.2.3. Tampilan seven segment

Pada perancangan decoder BCD to seven segment yang dilakukan dalam penelitian ini adalah menggunakan led display *common cathode*, yang dimana display segment aktif jika berlogika 1, dan sebaliknya.

Berikut table kebenaran ditunjukkan dalam table 2.2.

INPUT				OUTPUT						
A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1

Tabel.2.2. Tabel kebenaran Decoder BCD to seven segment

Dari table kebenaran diatas didapatkan sebuah persamaan menggunakan penyederhanaan K-map:

$$a = A + BD + C + \bar{B}\bar{D}$$

$$b = \bar{B} + \bar{C}\bar{D} + CD$$

$$c = \bar{C} + D + B$$

$$d = A + \bar{C}\bar{D} + \bar{B}\bar{D} + \bar{B}C + B\bar{C}\bar{D}$$

$$e = \bar{B}\bar{D} + \bar{C}\bar{D}$$

$$f = A + \bar{C}\bar{D} + B\bar{C} + B\bar{D}$$

$$g = A + \bar{C}\bar{D} + B\bar{C} + \bar{B}C$$

3. Multiplexer 2 to 1

Multiplexer adalah sebuah rangkaian kombinasional yang memilih satu informasi biner dari beberapa input dan meyalurkan informasi biner ke saluran output. Pemilihan input ditentukan oleh satu set variable input, disebut sebagai seleksi input. [5].

Multiplexer pada perancangan ini digunakan untuk memilih input pada decoder berasal dari encoder atau counter 4 bit (0-9). Berikut tabel kebenaran multiplexer 2 to 1.

S1	EN	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Tabel.2.3. Tabel kebenaran multiplexer 2 to 1

Dari table kebenaran diatas didapatkan sebuah persamaan menggunakan penyederhanaan K-map:

$$Y = \overline{S1} C1 + S1 EN$$

4. 4 Bit Synchronous Counter (0-9)

Counter merupakan suatu rangkaian sekuensial yang memiliki dua state yaitu present dan next state untuk menentukan output rangkaian. Counter yang dirancang merupakan 4 bit Synchronous counter dengan menggunakan flip-flop D, dimana output counter akan melakukan perhitungan dari 0-9 dan kembali ke 0 setelahnya. Berikut state table counter 4 bit synchronous

Present State				Next State			
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	0	0	0	0

Tabel.2.4. State Table Counter 4 bit (0-9)

Dari State table diatas dan penentuan flip-flop yaitu flip flop D, didapatkan sebuah persamaan menggunakan penyederhanaan K-map:

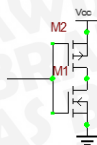
$$\begin{aligned} D3 &= Q3 \overline{Q1} \overline{Q0} + Q2 Q1 Q0 \\ D2 &= Q2 \overline{Q1} + Q2 \overline{Q0} + \overline{Q2} Q1 Q0 \\ D1 &= Q1 \overline{Q0} + \overline{Q3} \overline{Q1} Q0 \\ D0 &= \overline{Q0} \end{aligned}$$

Perancangan rangkaian logika keseluruhan dalam penelitian ini menggunakan software livewire, dapat dilihat dalam gambar 2.4 pada halaman 7.

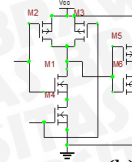
B. Perancangan rangkaian CMOS

Perancangan transistor untuk rangkaian Encoder 10 to 4 Line dan Decoder BCD to Seven Segment dilakukan pada masing-masing gerbang penyusun IC. Rangkaian ini terdiri dari 18 gerbang inverter, 33 gerbang AND 2 input, 15 gerbang AND 3 input, 1 gerbang AND 4 input, 10 gerbang OR 2 input, 3 gerbang OR 3 input, 7 gerbang OR 4 input, 32 gerbang NAND 2 input.

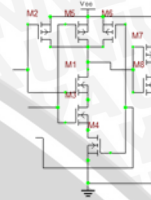
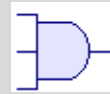
Perancangan rangkaian CMOS terdiri atas transistor PMOS dan NMOS yang dirancang melalui software B²Spice. Jumlah keseluruhan transistor yang digunakan dalam perancangan IC ini adalah sebanyak 646 transistor. Berikut adalah perancangan tiap-tiap gerbang pada IC yang ditunjukkan dalam gambar-gambar dibawah ini.



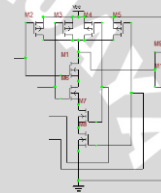
Gambar.2.5. (a) Gerbang logika inverter (b) Rangkaian CMOS inverter (Software B²Spice).



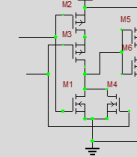
Gambar.2.6. (a) Gerbang logika AND 2 Input (b) Rangkaian CMOS AND 2 Input (Software B²Spice).



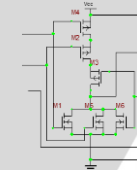
Gambar.2.7. (a) Gerbang logika AND 3 Input (b) Rangkaian CMOS AND 3 Input (Software B²Spice).



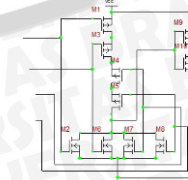
Gambar.2.8. (a) Gerbang logika AND 4 Input (b) Rangkaian CMOS AND 4 Input (Software B²Spice).



Gambar.2.9. (a) Gerbang logika OR 2 Input (b) Rangkaian CMOS OR 2 Input (Software B²Spice).



Gambar.2.10. (a) Gerbang logika OR 3 Input (b) Rangkaian CMOS OR 3 Input (Software B²Spice).



Gambar.2.11. (a) Gerbang logika OR 4 Input (b) Rangkaian CMOS OR 4 Input (Software B²Spice).



Gambar.2.12. (a) Gerbang logika NAND 2 Input (b) Rangkaian CMOS NAND 2 Input (Software B²Spice).

Perancangan rangkaian transistor keseluruhan dengan menggunakan software B²Spice dapat dilihat dalam gambar 2.13 pada halaman 7.

C. Desain Nilai W/L

Dalam perancangan IC Encoder 10 to 4 Line dan Decoder BCD to Seven segment menggunakan pemodelan MOSFET level 2, yang dimana pada level 2 ini pemodelan matematis lebih kompleks dan tingkat ketelitian simulasi dan akurasi yang lebih baik dibanding level 1. Adapun parameter pemodelan level 2 yang digunakan adalah MOSIS/Orbit teknologi 2 μ m.

.model nmos nmos level 2

Ld=0.22026u	Tox=395.000008E-10	Nsub=7.61874E+14
Vto=0.81056	Kp=5.289E-05	Gamma=0.1819
Phi=0.6	Uo=605.312	Uexp=8.517658E-02
Ucrit=14678.4	Delta=1.71295	Vmax=64128.9
Xj=0.25u	Nfs=1.085838E+12	Neff=1
Nss=1E+10	Tpg=1	Rsh=29.39
Cgdo=2.888314E-10	Cgso=2.888314E-10	Cgbo=4.336885E-10
Cj=9E-05	Mj=0.784	Cjsw=5.525E-10
Mjsw=0.285	Pb=0.8	
Lambda=1.741176E-02		

.model pmos pmos level 2

Ld=0.25u	Tox=395.000008E-10	Nsub=9.199244E+15
Vto=-0.971428	Kp=1.915E-05	Gamma=0.6321
Phi=0.6	Uo=219	Uexp=0.251249
Ucrit=76412.8	Delta=0.554525	Vmax=89217.7
Xj=0.25u	Nfs=1E+11	Neff=1.001
Nss=1E+10	Tpg=-1	Rsh=65.02
Cgdo=3.278301E-10	Cgso=3.278301E-10	Cgbo=4.657445E-10
Cj=2.033E-04	Mj=0.4439	Cjsw=3E-10
Mjsw=0.243	Pb=0.8	
Lambda=5.371041E-02		

Tabel.2.5. Model parameter Mosis Level 2 Teknologi 2um

Parameter nilai diatas yang digunakan untuk menentukan ratio W/L pada pmos dan nmos adalah Uo pada nmos(μ n) dan Uo pada pmos(μ p).

$$\frac{K_n}{K_p} = \frac{\mu_n C_{ox} \left(\frac{W}{L}\right)_n}{\mu_p C_{ox} \left(\frac{W}{L}\right)_p} \quad (1)$$

Dengan mensubstitusi nilai μ_n dan μ_p pada persamaan (1) sesuai dalam tabel 2.5, dan mengasumsikan nilai Cox pada nmos dan pmos bernilai sama, maka didapatkan perbandingan ratio W/L pada nmos dan pmos sebagai berikut.

$$\left(\frac{W}{L}\right)_p \approx 2,8 \left(\frac{W}{L}\right)_n.$$

Ratio W/L pada nmos yang digunakan 3:1 sehingga nilai W

dan L transistor pada perancangan ini adalah sebagai berikut:

$W_p = 17\lambda = 17\mu\text{m}$ dan $L_p = 2\lambda = 2\mu\text{m}$.

$W_n = 6\lambda = 6\mu\text{m}$ dan $L_n = 2\lambda = 2\mu\text{m}$.

Untuk parameter nilai lainnya dimasukan secara manual pada software B²Spice sebagai input parameter pada pmos dan nmos Level 2.

D. Analisis VTC dan Noise Margin

Untuk mendapatkan nilai V_{IL} , V_{OH} , V_{IH} dan V_{OL} digunakan persamaan 2 sampai 7 [4].

1. Analisis V_{IL} dan V_{OH}

Nilai V_{IL} adalah nilai tegangan masukan maksimum yang dapat dinyatakan sebagai logika 0. Untuk menentukan besarnya V_{IL} dapat menggunakan Persamaan 2, yaitu:

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2)$$

Dalam perancangan, nilai $k_R \approx 1$ dengan nilai $V_{T,n} = 1\text{ V}$, $V_{DD} = 5\text{ V}$, dan $V_{T,p} = -1\text{ V}$ maka diperoleh fungsi V_{IL} sebagai fungsi V_{OUT} adalah:

$$V_{IL} = \frac{2V_{OUT} - 1 - 5 + (1)(1)}{1 + 1} = \frac{2V_{OUT} - 5}{2}$$

$$V_{IL} = V_{OUT} - 2,5 \text{ atau } V_{OUT} = V_{IL} + 2,5 \quad (3)$$

Substitusi Persamaan (3) ke dalam Persamaan (4):

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \quad (4)$$

Dengan $k_n = k_p$, $V_{in} = V_{IL}$ dan $V_{out} = V_{IL} + 2,5$ maka $(V_{IL} - 1)^2 = [2(V_{IL} - 5 + 1)(V_{IL} + 2,5 - 5) - (V_{IL} + 2,5 - 5)^2]$

$$V_{IL}^2 - 2V_{IL} + 1 = 2(V_{IL} - 4)(V_{IL} - 2,5) - (V_{IL} - 2,5)^2$$

$$V_{IL}^2 - 2V_{IL} + 1 = V_{IL}^2 - 8V_{IL} + 13,75$$

$$6V_{IL} = 12,75$$

$$V_{IL} = 2,125\text{ V}$$

Dari Persamaan (3), maka tegangan keluaran ketika masukan V_{IL} adalah:

$$V_{OUT} = V_{IL} + 2,5 = 2,125\text{ V} + 2,5\text{ V} = 4,625\text{ V}$$

Jadi tegangan keluaran minimum yang dapat dinyatakan sebagai logika 1 (V_{OH}) adalah 4.625V

2. Analisis V_{IH} dan V_{OL}

V_{IH} merupakan nilai tegangan masukan minimum yang dapat dinyatakan sebagai logika 1. Untuk menentukan besarnya V_{IH} menggunakan Persamaan (5), yaitu:

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R (2V_{out} + V_{T,n})}{1 + k_R} \quad (5)$$

Sesuai dengan perancangan, maka nilai $k_R \approx 1$, $V_{T,n} = 1\text{ V}$ dan $V_{T,p} = -1\text{ V}$ sehingga diperoleh fungsi V_{IL} sebagai fungsi V_{OUT} adalah

$$V_{IH} = \frac{5 - 1 + 1(2V_{OUT} + 1)}{1 + 1} = \frac{5 + 2V_{OUT}}{2}$$

$$V_{IH} = 2,5 + V_{OUT} \text{ atau } V_{OUT} = V_{IH} - 2,5 \quad (6)$$

Substitusi Persamaan (6) ke dalam Persamaan (7) yaitu:

$$\frac{k_n}{2} [2(V_{in} - V_{T,n})(V_{out} - V_{T,n})] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (7)$$

Dengan nilai $K_n = K_p$, $V_{in} = V_{IH}$, dan $V_{OUT} = V_{IH} - 2,5$ maka

$$\frac{1}{2} [2(V_{IH} - 1)(V_{IH} - 2,5) - (V_{IH} - 2,5)^2] = \frac{1}{2} (V_{IH} - 5 + 1)^2$$

$$[2(V_{IH}^2 - 3,5V_{IH} + 2,5) - (V_{IH} - 2,5)^2] = (V_{IH} - 4)^2$$

$$6V_{IH} = 17,25$$

$$V_{IH} = 2,875\text{ V}$$

Dari Persamaan (7) maka

$$V_{OUT} = V_{IH} - 2.5 = 2.875 - 2.5 = 0.375V$$

Jadi tegangan keluaran maksimum yang dapat dinyatakan sebagai logika 0 adalah 0.375V

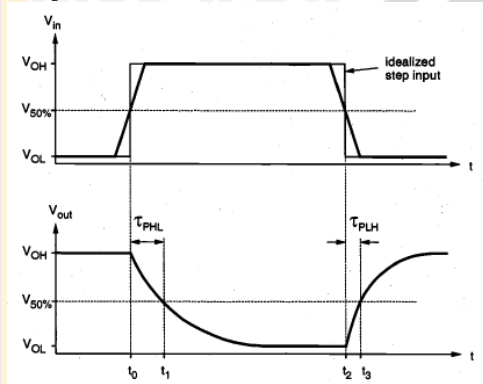
Dari hasil V_{OH} , V_{IH} , V_{IL} dan V_{OL} didapatkan nilai *noise margine*

$$NM_H = V_{OH} - V_{IH} = 4,625 - 2,875 = 1,75 V$$

$$NM_L = V_{IL} - V_{OL} = 2,125 - 0,375 = 1,75 V$$

E. Analisis Propagation Delay dan Disipasi Daya

Untuk mengetahui besarnya *propagation delay* dari rangkaian dapat dilakukan perhitungan dengan menggunakan Persamaan 8 sampai 10 [4].



Gambar.2.14. Grafik Unit Step Gerbang Inverter. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

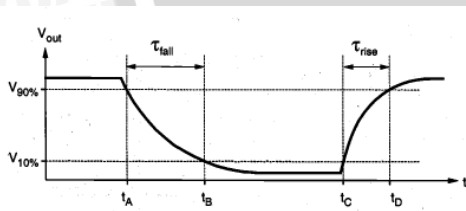
$$t_{PHL} = t_1 - t_0$$

$$t_{PLH} = t_3 - t_2$$

(8)

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$$

(9)



Gambar.2.15. Grafik Output Tegangan Gerbang Inverter. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

$$t_{rise} = t_r = t_D - t_C$$

$$t_{fall} = t_f = t_B - t_A$$

(10)

Setelah mengetahui besarnya *propagation delay*, analisis dilanjutkan dengan perhitungan disipasi daya menggunakan Persamaan (11) dan (12) [7].

$$P_D = C_L V_{DD}^2 f \quad (11)$$

$$P_{DP} = t_{PD} \cdot P_D \quad (12)$$

III. HASIL DAN PEMBAHASAN

A. Propagation Delay

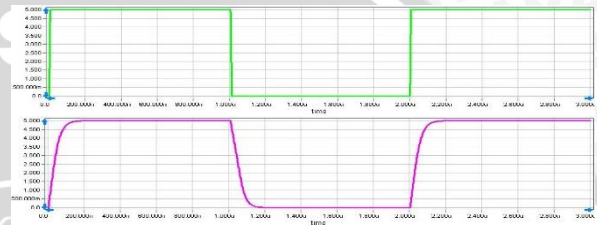
Hasil delay propagasi didapatkan melalui pengukuran *critical path* rangkaian menggunakan simulasi unit step pada software *B²Spice*, dengan merancang rangkaian CMOS dari IC

encoder 10 to 4 line dan BCD to Seven Segment dan mengatur nilai W dan L pada transistor NMOS dan PMOS, pada perancangan ini menggunakan nilai W dan L sebagai berikut:

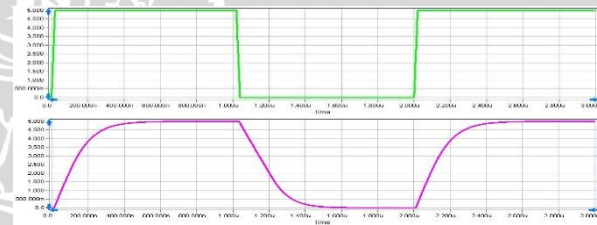
$$W_P = 17\lambda = 17\mu m \text{ dan } L_P = 2\lambda = 2\mu m$$

$$W_N = 6\lambda = 6\mu m \text{ dan } L_N = 2\lambda = 2\mu m$$

Simulasi unit step dengan menggunakan frekuensi 2Mhz, $K_n = 0,5289\mu A/V^2$, $K_p = 0,1915\mu A/V^2$, $\mu_n = 605,312 \text{ cm}^2/V.s$, dan $\mu_p = 219 \text{ cm}^2/V.s$. Pada pengujian rangkaian Encoder 10 to 4 line digunakan input unit step dengan t_r , t_f sebesar 6ns didapatkan hasil $t_{PLH} = 32ns$, $t_{PHL} = 43ns$, $t_r = 74ns$, $t_f = 81ns$ dan $t_{PD} = 38ns$. Dan pada Decoder BCD to Seven Segment digunakan input unit step dengan t_r , t_f sebesar 20ns, dan $C_L = 50 \text{ pF}$ didapatkan hasil $t_{PLH} = 106ns$, $t_{PHL} = 144ns$, $t_r = 242ns$, $t_f = 263ns$ dan $t_{PD} = 125ns$. Berikut masing-masing grafik delay propagasi ditunjukkan dalam gambar 3.1 dan 3.2.



Gambar 3.1. Grafik Unit Step Encoder 10 to 4 Line dengan $C_L = 15pF$. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).



Gambar 3.2. Grafik Unit Step Decoder BCD to Seven segment dengan $C_L = 50pF$. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) hasil simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Pada penelitian ini juga dilakukan beberapa pengukuran delay propagasi dengan menggunakan nilai C_L yang berbeda, berikut ditunjukkan dalam table dibawah ini.

Encoder 10 to 4 Line					
C_L	t_{PLH}	t_{PHL}	t_{PD}	t_r	t_f
5pF	12ns	15ns	13ns	25ns	27ns
15pF	32ns	43ns	38ns	74ns	81ns
25pF	53ns	71ns	62ns	124ns	133ns

Tabel.2.6. Perbandingan nilai C_L terhadap t_{PLH} , t_{PHL} , t_{PD} , t_r , t_f pada Encoder 10 to 4 Line.

Decoder BCD to Seven Segment					
C_L	t_{PLH}	t_{PHL}	t_{PD}	t_r	t_f
25pF	53ns	74ns	64ns	125ns	134ns
50pF	106ns	144ns	125ns	242ns	263ns
75pF	158ns	212ns	185ns	373ns	391ns

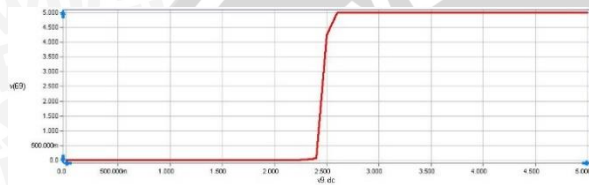
Tabel.2.7. Perbandingan nilai C_L terhadap t_{PLH} , t_{PHL} , t_{PD} , t_r , t_f pada Decoder BCD to Seven Segment.

Berdasarkan hasil simulasi dengan menggunakan nilai kapasitansi (C_L) yang berbeda dapat disimpulkan bahwa semakin tinggi nilai C_L , maka nilai delay propagasi juga semakin bertambah. Dan juga mempengaruhi kesimetrisan antara transisi logika *low to high* (t_{PLH}) dan *high to low* (t_{PHL}).

Penetapan nilai C_L sebesar 15pF dan input t_r , t_f sebesar 6ns untuk pengujian propagasi delay pada rangkaian Encoder 10 to 4 Line berdasar pada sumber datasheet IC yang sudah ada yaitu IC Philips 74HC/74HCT [6], Serta untuk Decoder BCD to Seven Segment pengujian delay pada C_L sebesar 50pF dan input t_r , t_f sebesar 20ns berdasarkan pada IC HCC/HCF 4055B [8]. Sumber IC yang sudah ada tidak dijadikan perbandingan hanya menjadi tolak ukur dan kajian dalam perancangan.

B. Simulasi Karakteristik Alih Tegangan (VTC) dan Noise Margine

Simulasi karakteristik alih tegangan (VTC) melalui simulasi DC Sweep pada software *B²Spice* dengan menggunakan MOSFET Level 2, tegangan input 5V DC, menghasilkan grafik VTC yang ditunjukkan dalam gambar 3.3 dibawah ini.



Gambar.3.3.Grafik VTC IC Encoder 10 to 4 line dan Decoder BCD to Seven Segment.

Berdasarkan grafik tersebut dapat diperoleh nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} . Kondisi idealnya ketika nilai V_{OL} mendekati nilai tegangan *ground* yaitu 0V sedangkan nilai V_{OH} mendekati nilai tegangan V_{DD} yaitu 5V.

$$\begin{aligned} V_{IH} &= 2,6 \text{ V} & V_{OH} &= 5 \text{ V} \\ V_{IL} &= 2,24 \text{ V} & V_{OL} &= 0 \text{ V} \end{aligned}$$

Maka diperoleh $NM_H = 2,4 \text{ V}$ untuk batasan logika tinggi, sedangkan $NM_L = 2,24 \text{ V}$ untuk batasan logika rendah.

C. Power Dissipation

Nilai disipasi daya diperoleh dengan menggunakan Persamaan(11) dan (12),dikarenakan pada software *B²Spice* tidak terdapat fasilitas untuk mengetahui nilai disipasi daya. Disipasi daya pada Encoder 10 to 4 line pada $C_L=15\text{pF}$, $V_{dd}=5\text{V}$, $f=2\text{Mhz}$, dan $t_{PD}=38\text{ns}$ menghasilkan $P_D=0.75\text{mW}$ dan $P_{DP}=28.5\text{pJ}$.

Hasil simulasi dengan menggunakan *B²Spice* pada Decoder BCD to Seven Segment pada $C_L=50\text{pF}$, $V_{dd}=5\text{V}$, $f=2\text{Mhz}$, dan $t_{PD}=125\text{ns}$ nilai $P_D=2.5\text{mW}$ dan $P_{DP}=312.5\text{pJ}$.

AND 2 input, 15 gerbang AND 3 input, 1 gerbang AND 4 input, 10 gerbang OR 2 input, 3 gerbang OR 3 input, 7 gerbang OR 4 input, 32 gerbang NAND 2 input. Dengan jumlah keseluruhan transistor sebanyak 646 transistor.

- Perancangan IC Encoder 10 to 4 Line dan Decoder BCD to Seven segment menggunakan pemodelan MOSFET Level 2 Mosis Teknologi 2 μm pada Software *B²Spice*, Dimana tingkat ketelitian simulasi lebih baik dibandingkan dengan Level 1.
- Hasil simulasi Encoder 10 to 4 line menggunakan C_L 15pF dengan software *B²Spice* menghasilkan delay propagasi sebesar 38ns dan disipasi daya sebesar 0.75mW, sedangkan Decoder BCD to Seven segment menggunakan C_L 50pF menghasilkan delay propagasi sebesar 125ns dan disipasi daya sebesar 2.5mW.

B. Saran

Penelitian pada IC Encoder 10 to 4 Line dan Decoder BCD to Seven segment menggunakan MOSFET model level 2, dapat dikembangkan menggunakan pemodelan Level 3 yang lebih kompleks untuk mendapatkan hasil yang lebih baik dari segi ketelitian simulasi dan akurasi hasil pengukuran. Hasil penelitian ini dapat digunakan untuk pengembangan rangkaian terintegrasi lainnya.

REFERENSI

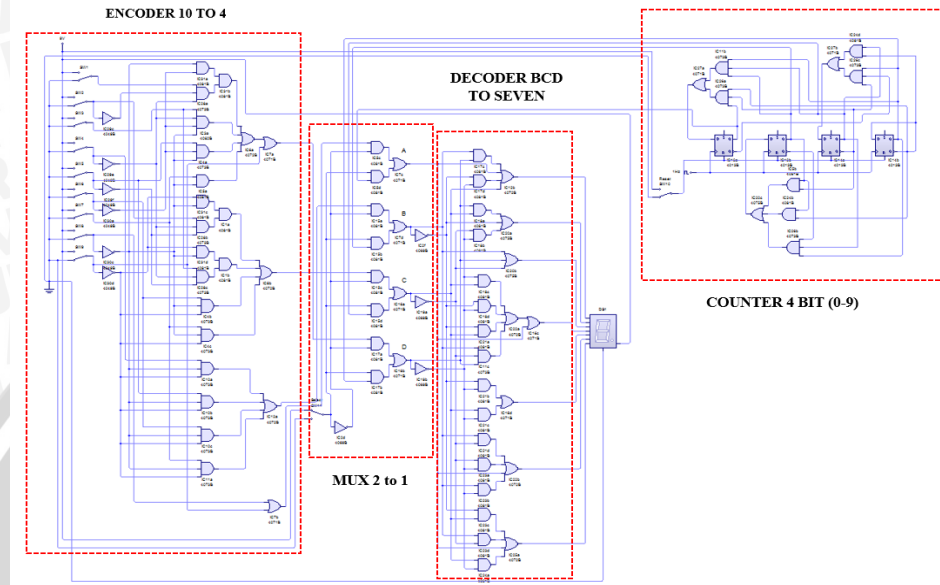
- [1] Chen, Wai Kai. 2006. *The VLSI Handbook Second Edition*. USA: CRC Press.
- [2] Geiger, Randall L., dkk. 1990. *VLSI Design Techniques For Analog and Digital Circuits*. Singapore: McGraw-Hill Book Co.
- [3] Hodges, david A., Jackson, Horace G. 1987. *Analisis dan Desain Rangkaian Terpadu Digital*. Alih Bahasa Nasution, Sofyan. Jakarta: Erlangga.
- [4] Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuits : Analysis and Design Second Edition*. Singapore: McGraw-Hill Book Co.
- [5] Mano, M.Morris., Kime, Charles. 2014. *Logic and Computer Design Fundamentals*. London: Pearson Education Limited
- [6] Philips Semiconductors. 1990. <http://htlmdatasheet.com>. Diakses tanggal 10 September 2016.
- [7] Rabaey, jan M., dkk. 1999. *Digital Integrated Circuits a Design Perspective Second Edition*. New Jersey: Prentice Hall Electronics and VLSI series.
- [8] ST Microelectronics. 1989. <http://htlmdatasheet.com>. Diakses Tanggal 18 September 2016.

IV. KESIMPULAN DAN SARAN

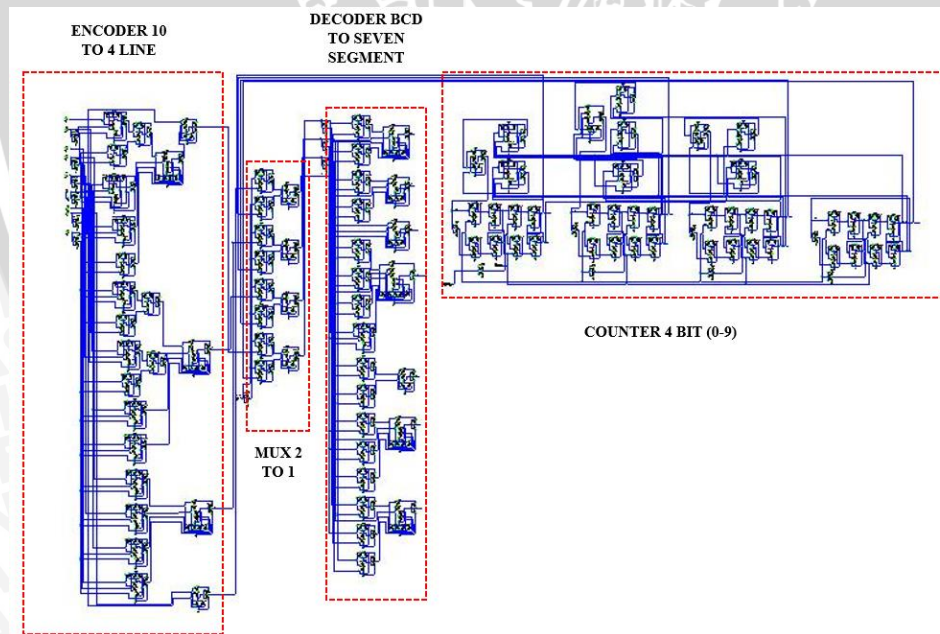
A. Kesimpulan

Dari hasil penelitian perancangan IC Encoder 10 to 4 line dan Decoder BCD to Seven Segment, diperoleh beberapa kesimpulan sebagai berikut:

- IC Encoder 10 to 4 line dan Decoder BCD to Seven Segment terdiri dari 18 gerbang inverter, 33 gerbang



Gambar.2.8. Perancangan rangkaian logika keseluruhan dengan software Livewire.



Gambar.2.13. Perancangan rangkaian transistor keseluruhan dengan software B²Spice