

## BAB II DASAR TEORI

Bab ini membahas dasar teori yang merupakan hasil dari studi literatur tentang teori untuk merencanakan dan menganalisa IC *Shift Register 8 bit Serial In Serial Out* HCMOS.

### 2.1 *Shift Register*

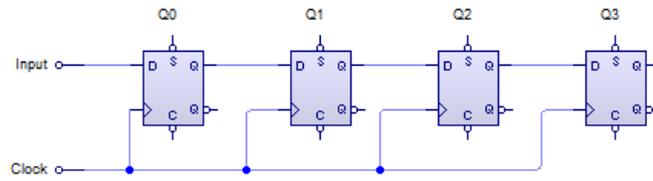
Register adalah suatu kumpulan flip-flop yang dapat secara bersama-sama menyimpan data biner dalam jumlah yang sangat banyak. Pada hakekatnya tak terbatas. Tetapi biasanya dikelompokkan berupa kelipatan 4 flip-flop dalam setiap register yang disebut dengan *nibble* (Widjanarka, 2006). Jumlah flip-flop dalam satu register menunjukkan jumlah bit maka dapat disebut dengan  $n$  flip-flop sehingga register tersebut mampu menyimpan sebanyak  $n$  flip-flop. Jenis register terdiri atas dua macam, yaitu register geser (*shift register*) memiliki fungsi menyimpan data dan memanipulasi data. Jenis yang kedua adalah register penyangga data (*register buffer*) merupakan jenis register yang paling sederhana dan berfungsi dasar untuk menyimpan data saja.

Dasar cara kerja *shift register* adalah menggeser data yang disimpannya. Terjadinya proses penggeseran data ke dalam flip-flop pada penyusun *shift register* sesuai dengan sinyal pendetaknya atau *clock* (CLK). Data yang berada dalam *shift register* dapat dihapus dengan mengaktifkan *clear* (CLR). Sedangkan cara untuk memasukan dan mengeluarkan data ada dua macam, yaitu secara serial dan parallel. Serial, data dimasukan atau dikeluarkan satu per satu atau bit per bit sampai semua tingkat register terpenuhi. Data yang dimasukan atau dikeluarkan harus berurutan bisa diawali dari *Least Significant Bit* (LSB) atau dimulai dari *Most significant Bit* (MSB). Secara parallel, memasukan maupun mengeluarkan data dilakukan secara bersamaan.

Ada empat tipe register berdasarkan cara memasukan dan mengeluarkan data yang telah dikombinasikan, yaitu:

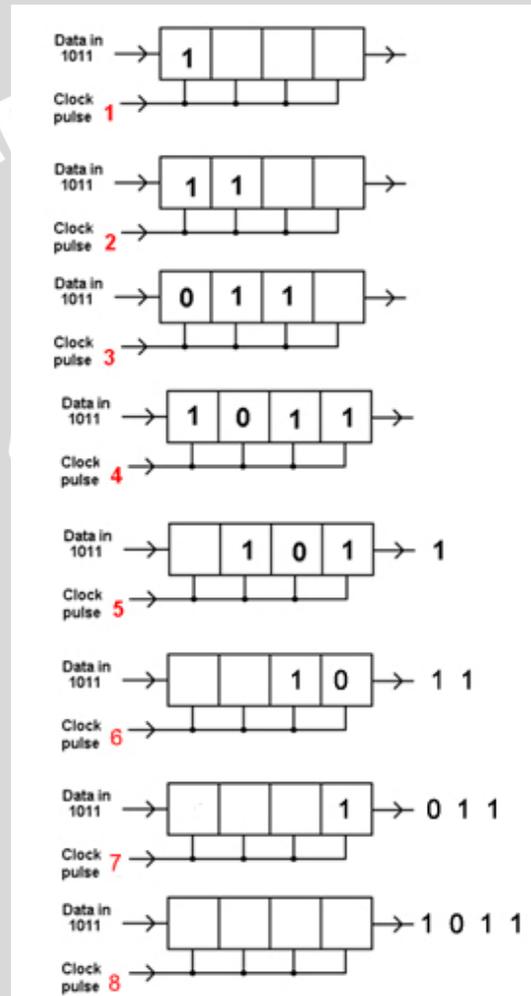
#### 1. *Register Serial In – Serial Out*

Pada Register Serial In – Serial Out, jalur masuk data berjumlah satu dan jalur keluarannya juga berjumlah satu. Pada jenis register ini data mengalami pergeseran, flip-flop pertama menerima masukan dari input, sedangkan flip-flop kedua menerima masukan dari flip-flop pertama, dan seterusnya. Gambar 2.1 menunjukkan rangkaian *shift register serial in serial out*.



Gambar 2.1. Rangkaian *Shift Register Serial In Serial Out*

Gambar 2.2 menunjukkan contoh ilustrasi sederhana dari cara kerja *Shift Register Serial In Serial Out*

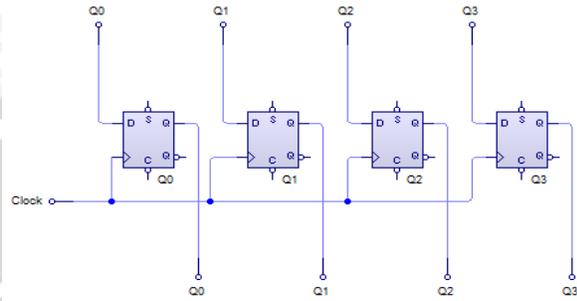


Gambar 2.2. Contoh Ilustrasi Sederhana *Shift Register Serial In Serial Out*

Terdapat 4 bit data “1011” yang masuk dari sisi sebelah kiri dan keluar ke sisi sebelah kanan, setiap bit akan bergeser pada 4 bit *shift register* dengan satu *clock* per satu bit. Dibutuhkan 4 kali pulsa *clock* untuk memasukkan seluruh bit ke register sedangkan untuk mengakhiri proses tersebut membutuhkan 4 *clock* juga.

**2. Register Paralel In – Paralel Out**

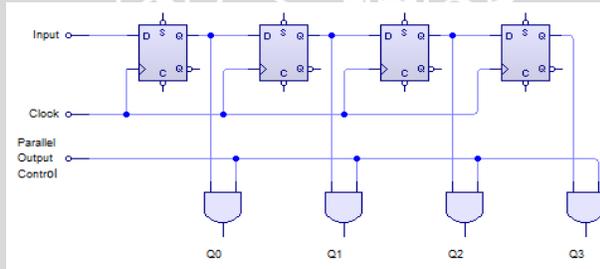
Register Paralel In – Paralel Out mempunyai jalur masukan dan keluaran sesuai dengan jumlah flip-flop yang menyusunnya. Pada register jenis ini, data masuk dan keluar secara serentak hanya membutuhkan satu kali picu. Gambar 2.3 menunjukkan rangkaian *shift register paralel in paralel out*



Gambar 2.3. Rangkaian *Shift Register Paralel In Paralel Out*

**3. Register Serial In – Paralel Out**

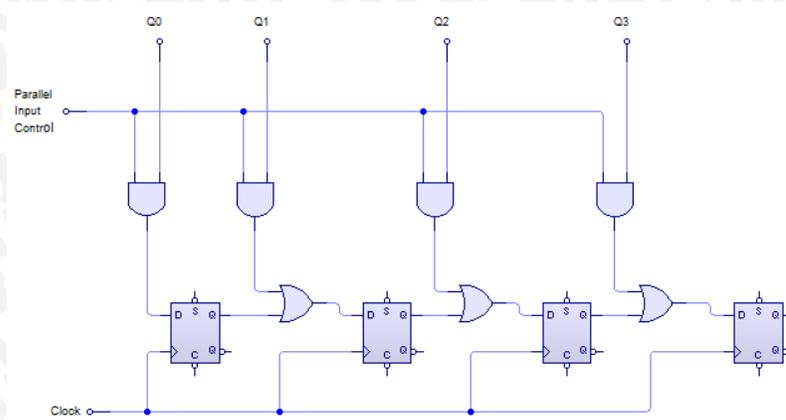
Register Serial In – Paralel Out mempunyai satu saluran masukan dan saluran keluaran sejumlah flip-flop yang menyusunnya. Data masuk satu-persatu (secara serial) dan dikeluarkan secara serentak. Pengeluaran data dikendalikan oleh sebuah sinyal kontrol. Selama sinyal kontrol tidak diberikan, data akan tetap tersimpan dalam register. Gambar 2.4 menunjukkan rangkaian *shift register serial in paralel out*.



Gambar 2.4. Rangkaian *Shift Register Serial In Paralel Out*

**4. Register Paralel In – Serial Out**

Register Paralel In – Serial Out mempunyai jalur masukan sesuai dengan jumlah flip-flop yang menyusunnya, dan hanya mempunyai satu jalur keluaran. Data masuk kedalam register secara serentak dengan dikendalikan sinyal kontrol, sedangkan data keluar satu-persatu (secara serial). Gambar 2.5 menunjukkan rangkaian *shift register paralel in serial out*



Gambar 2.5. Rangkaian *Shift Register Paralel In Serial Out*

## 2.2 MOSFET

Transistor efek medan yang terbentuk dari bahan oksida logam atau disebut dengan MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) adalah komponen yang mempunyai sifat tahan terhadap radiasi (Widjanarka, 2006). MOSFET merupakan transistor terbuat dari bahan semikonduktor (silikon) memiliki tingkat konsentrasi ketidakmurnian tertentu. Dari tingkatan ketidakmurnian ini akan menentukan jenis transistor tersebut, yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS). Bahan silikon ini yang akan digunakan sebagai landasan (*substrat*) dari penguras (*drain*), sumber (*source*), dan gerbang (*gate*). Selanjutnya transistor ini dibuat sedemikian rupa agar antara substrat dan gerbangnya dibatasi oleh oksida silikon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri dari kanal, sehingga transistor MOSFET akan mempunyai kelebihan dibanding dengan transistor BJT (*Bipolar Junction Transistor*), yaitu menghasilkan disipasi daya yang rendah.

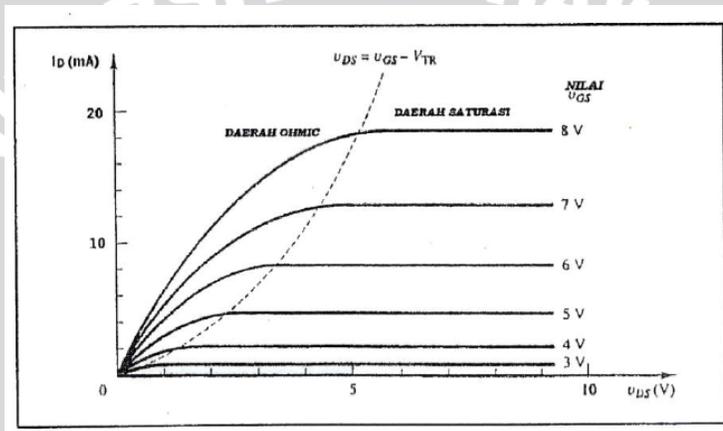
### 2.2.1 Karakteristik dan Operasi MOSFET

MOSFET memiliki tiga daerah operasi yaitu daerah *cut-off*, linear dan saturasi. Daerah *cut-off*, tegangan ambang lebih besar dari pada tegangan gerbang, sehingga tidak membentuk saluran, dan arus tidak dapat mengalir ( $I_D = 0$ ). Sedangkan daerah linear mulanya gerbang diberi tegangan hingga terbentuk saluran. Apabila *drain* diberi tegangan yang kecil, maka elektron akan mengalir dari *source* menuju *drain* atau arus akan mengalir dari *drain* ke *source*. Selanjutnya saluran tersebut akan bertindak sebagai

suatu tahanan, sehingga arus *drain* ( $I_D$ ) akan sebanding dengan tegangan *drain*.  
 Persamaan (2.1) sebagai berikut (Geiger, Allen, Strader, 1990).

$$(2.1)$$

Gambar 2.6 dibagi menjadi dua, sebelah kanan dan sebelah kiri dengan batasan garis putus-terjepit (*pinch-off*). Daerah di sebelah kiri transistor sebagai hambatan (resistor) yang dikendalikan oleh tegangan tak linier. Hal tersebut dikatakan daerah kerja linier atau tak jenuh (*non-saturation*). Daerah sebelah kanan, grafik mendekati sumber arus yang dikendalikan oleh tegangan.



Gambar 2.6 Grafik karakteristik MOSFET (NMOS) arus  $I_D$  sebagai fungsi  $V_{DS}$  dengan parameter  $V_{GS}$ .  
 (Darmawansyah, 2009)

Bentuk operasi MOSFET untuk saluran-p sama seperti transistor MOSFET saluran-n. Pernyataan arus *drain* identik dengan polaritas tegangan dan arah arusnya terbalik.

- Cutoff =  $V_{GS,p} \leq -V_{Tp}$   
 $I_D(OFF) = 0$  (2.2)

- Linear =  $V_{GS,p} \geq -V_{Tp}$ , dan  $V_{DS,p} \leq V_{GS,p} + V_{Tp}$  (2.3)

- Saturasi =  $V_{GS,p} \geq -V_{Tp}$ , dan  $V_{DS,p} \geq V_{GS,p} + V_{Tp}$

$$I_D(SAT) = \frac{k_p}{2} (V_{GS,p} - V_p)^2 \quad (2.4)$$

### 2.2.2 Tegangan Ambang (*Threshold Voltage*)

Definisi tegangan ambang dapat dinyatakan sebagai tegangan minimal yang diperlukan suatu sistem, dalam hal ini transistor MOS. Untuk mulai mengalir tegangan dalam sebuah MOS adalah tegangan antara *gate* dan *ground* yang menyebabkan arus antara *drain* dan *source* dalam MOS tersebut menjadi maksimal (saturasi). Tegangan ambang ini diatur dengan menggunakan perubahan konsentrasi *doping*.

Tegangan ambang untuk MOSFET dapat dinyatakan dengan persamaan sebagai berikut (Geiger, Allen, Strader, 1990).

$$V_{TR} = V_{TO} + \gamma(\sqrt{|-2\phi_F|} + V_{SB} - \sqrt{2\phi_F}) \quad (2.5)$$

Dengan :

$V_{TR}$  = tegangan ambang (V)

$V_{TO}$  = tegangan ambang untuk  $V_{SB} = 0$  (V)

$\gamma$  = efek bias body ( $V^{1/2}$ )

$V_{SB}$  = tegangan *source-body* (*bulk*)

$\phi_F$  = potensial fermi (V)

Di mana parameter  $\gamma$  adalah (Kang, 1996)

$$\gamma = \frac{\sqrt{2q \cdot N_a \cdot E_s}}{C_{ox}} \quad (2.6)$$

Dengan :

$q$  = besar muatan

$N_a$  = jumlah pembawa muatan mayoritas akseptor

$E_s$  = permitivitas silikon

$C_{ox}$  = kapasitansi persatuan luas

Dengan *body* (*bulk*) dihubungkan *ground* ( $V_B = 0V$ ). Dalam analisis teknologi CMOS efek bias badan tidak perlu dimasukkan dalam perhitungan (Haznedar, 1990). Logika dasar CMOS dapat dibias dengan  $V_T = V_{TO}$ , sehingga untuk memudahkan penulisan,  $V_T$  akan digunakan untuk menyatakan tegangan ambang jika  $V_T = V_{TO}$ .

Besarnya dapat ditentukan dengan Persamaan (2.8) dan Persamaan (2.9) (Kang, 1996).

$$\phi_F = \frac{kT}{q} \ln\left(\frac{n_i}{p}\right) \quad (\text{Semikonduktor tipe-p}) \quad (2.8)$$

$$\phi_F = \frac{kT}{q} \ln\left(\frac{n}{n_i}\right) \quad (\text{Semikonduktor tipe-n}) \quad (2.9)$$

$k$  adalah konstanta boltzman,  $T$  adalah temperatur dalam satuan kelvin,  $q$  besaran muatan dalam coulomb, serta  $p$  dan  $n$  adalah konsentrasi pembawa muatan mayoritas,  $n_i$  adalah konsentrasi pembawa muatan dalam semikonduktor intrinsik.

Jika  $V_{SB}$  MOSFET adalah positif, maka akan meningkatkan tegangan ambang efektif untuk MOSFET kanal-n. Ini disebut *efek bias body* yang terdapat dalam Persamaan 2.6. Dalam rangkaian terintegrasi NMOS, substrat selalu dihubungkan dengan tegangan paling negatif dalam sistem, sehingga analisis karakteristik fungsi alih akan mendekati keakuratannya.

*Chip* MOS pada umumnya, untuk mengubah tegangan ambang dilakukan dengan mengubah konsentrasi *doping* saluran yang diatur oleh banyaknya ion yang ditanamkan (*implant*) ke saluran. Penambahan *implant* tipe-p menyebabkan tegangan ambang lebih positif dan sebaliknya penambahan *implant* tipe-n menyebabkan tegangan ambang lebih negatif. Tegangan ambang disimbolkan dengan  $V_{Tn}$  untuk *implant* tipe-n dan  $V_{Tp}$  untuk *implant* tipe-p.

### 2.2.3 Karakteristik Arus Tegangan

Bila  $V_{GS}$  lebih besar dari  $V_T$  terdapat sebuah saluran penghantar dan  $V_{DS}$  menyebabkan arus hanyut ( $I_D$ ) mengalir dari *drain* ke *source*. Tegangan  $V_{DS}$  menyebabkan prategangan balik (*reverse bias*) yang besar dari *drain* ke *body* daripada dari *source* ke *body*. Jadi terdapat lapisan pengosongan yang lebih lebar pada *drain*.

Nilai  $I_D$  dinyatakan dalam Persamaan (2.10).

$$I_D = k \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.10)$$

Parameter traskonduktansi adalah  $k = k (W/L)$ . Substitusi Persamaan (2.10) dengan parameter transkonduksi menghasilkan persamaan:

$$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (2.11)$$

Jika :  $V_{GS} = V_T$

$$V_{DS} = (V_{GS} - V_T)$$

$$\text{maka : } I_D = \frac{k}{2} (V_{GS} - V_T)^2 \quad (2.12)$$

### 2.2.4 Kapasitansi Transistor MOSFET

Nilai kapasitansi keluaran ( $C_{out}$ ) sebanding dengan waktu respon alih MOSFET digital. Minimalisasi nilai  $C_{out}$  menjadi objek terpenting dalam perancangan rangkaian logika berkecepatan tinggi. Hal ini karena kapasitansi  $C_{out}$  menentukan *propagation delay* dan *power delay product*.

Kapasitansi MOSFET yang dibuat akan mendekati kesesuaian dengan setiap transistor dalam rangkaian. Besar nilai  $C_{out}$  untuk perantaraan gerbang logika dapat dibuat dengan cara menggabungkan kapasitansi MOSFET dengan kapasitansi saluran  $C_{out}$ . Karena keduanya paralel, maka dapat langsung dijumlahkan dengan  $C_{out}$  sebagai kapasitansi tersendiri.

Besar kapasitansi  $C_{out}$  menentukan waktu tunda rambatan dan besar perkalian daya tunda (*power delay product*). Kapasitansi dalam model ditentukan juga oleh ukuran geometris dari panjang dan lebar gerbang serta ukuran panjang difusi muatan ion dalam saluran dan sumber. Nilai kapasitansi parasitik MOSFET ditunjukkan dalam Tabel 2.1 (Geiger, Allen, Strader, 1990).

Tabel 2 .1 Nilai Kapasitansi Parasitik MOSFET

C	Daerah kerja		
	Cut-off	Linear	Jenuh
$C_{GD}$	$C_{ox}WL_D$	$C_{ox}WL_D + \frac{1}{2}WLC_{ox}$	$C_{ox}WL_D$
$C_{GS}$	$C_{ox}WL_D$	$C_{ox}WL_D + \frac{1}{2}WLC_{ox}$	$C_{ox}WL_D + \frac{1}{2}WLC_{ox}$
$C_{BG}$	$C_{ox}WL$	0	0
$C_{BD}$	$C_{BDI}$	$C_{BDI} + C_{BC} \frac{1}{2}$	$C_{BDI}$
$C_{BS}$	$C_{BSI}$	$C_{BSI} + C_{BC} \frac{1}{2}$	$C_{BSI} + \frac{2}{3}C_{BCI}$

Panjang fisik gerbang dirumuskan dalam Persamaan (2.13).

$$L = L_s + L_d + L \tag{2.13}$$

Dengan  $L$  adalah panjang sebenarnya (panjang efektif) dari gerbang MOSFET (di antara daerah  $n^+$  saluran dan sumber).  $L_s$  dan  $L_d$  memberikan jarak *overlap* pada gerbang saluran dan gerbang sumber untuk membuat  $L_s > 0$  dan  $L_d > 0$ . Keduanya digunakan untuk operasional alat dan memastikan lapisan inversi dapat membuat hubungan dengan kedua daerah  $n^+$  saluran dan sumber. Kapasitansi *overlap* dapat dihitung dengan menggunakan Persamaan (2.14) (Geiger, Allen, Strader, 1990)..

$$C_{ols} = C_{ox}WL_sC_{old} = C_{ox}WL_d \tag{2.14}$$

Dengan:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \tag{2.15}$$

$C_{ols}$  adalah kapasitansi *overlap source*,  $C_{old}$  adalah kapasitansi *overlap drain*, dan  $C_{ox}$  adalah kapasitansi oksida per satuan luas gerbang. Dengan  $C_{ols}$  dan  $C_{ox}$  tetap sesuai dengan ukuran. Untuk kapasitansi yang lain adalah  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$  (kapasitansi parasit setiap terminal). Masing-masing kapasitor tersebut dipengaruhi oleh fungsi tegangan gerbang dan tegangan sumber,  $f(V_{GS}, V_{GD})$  dengan Persamaan (2.16) dan Persamaan (2.17):

$$C_{gs} = C_{ox}WLf_1(V_{GS}, V_{GD}) \tag{2.16}$$

$$C_{gd} = C_{ox}WLf_2(V_{GS}, V_{GD}) \tag{2.17}$$

Nilai  $f_1$  dan  $f_2$  adalah fungsi yang menyatakan ketergantungan tidak-linier pada tegangan.  $C_{gb}$  adalah kapasitansi gerbang-badan berisi muatan tipe-p tergantung terhadap tegangan, dinyatakan dalam Persamaan (2.18).

$$C_{gb} = C_{ox}WLf_3(V_{GS}, V_{GD}, V_{SB}) \quad (2.18)$$

Dengan  $f_3$  termasuk efek bias badan melalui  $V_{SB}$ . Fungsi tegangan  $f_1$ ,  $f_2$ , dan  $f_3$  dapat dianalisis langsung, dengan asumsi langsung terhadap perubahan dalam lapisan inversi. Perhitungan nilai rangkaian perlu kombinasi kapasitansi terhadap kapasitansi *overlap*. Kapasitansi total dinyatakan dalam Persamaan (2.19).

$$C_G = C_{ox}WL \quad (2.19)$$

Apabila  $L$  adalah panjang gerbang. Total kapasitansi gerbang-sumber dinyatakan dalam Persamaan (2.20).

$$C_{GS} = C_{ols} + C_{gs} \quad (2.20)$$

Sedangkan total kapasitansi gerbang saluran dinyatakan dalam Persamaan (2.21).

$$C_{GD} = C_{ols} + C_{gd} \quad (2.21)$$

### 2.2.5 Lebar dan Panjang (*Width* dan *Length*)

Transistor MOS dapat dibuat dengan menyilangkan sebuah polisilikon atau logam (metal) dengan sebuah difusi. Pertemuan persilangan antara polisilikon dan difusi membentuk luasan yang memiliki lebar (*Width*) dan panjang (*Length*) dan disimbolkan dengan  $W$  dan  $L$ . Ukuran  $W$  dan  $L$  akan menentukan kualitas transistor, semakin kecil ukuran  $W$  dan  $L$  transistor, maka akan semakin cepat kecepatan transistor serta memiliki performansi yang tinggi.

Nilai  $W$  dan  $L$  transistor mempengaruhi performansi yang diberikan transistor MOS. Salah satunya adalah mempengaruhi arus  $I_D$  pada bermacam mode kerja transistor. Parameter lain yang dipergunakan oleh nilai  $W$  dan  $L$  adalah parameter  $K_R$ , yang dapat dilihat dalam Persamaan (2.22).

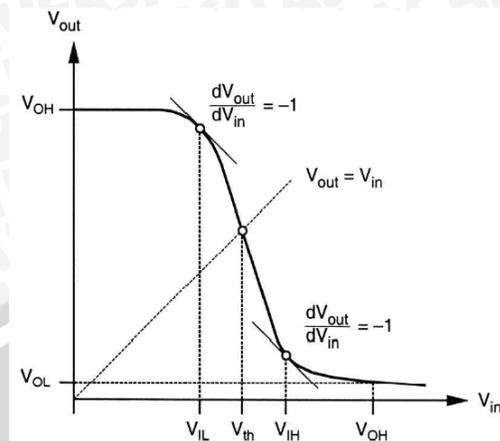
$$k_R = \frac{k_n}{k_p} = \frac{\left[ \mu_n C_{ox} \frac{W_n}{L_n} \right]}{\left[ \mu_p C_{ox} \frac{W_p}{L_p} \right]} \quad (2.22)$$

$W_n$  dan  $L_n$  merupakan lebar dan panjang untuk difusi  $p^+$  dan polisilikon dari transistor PMOS sedangkan  $W_p$  dan  $L_p$  menunjukkan lebar dan panjang untuk difusi  $n^+$  dan polisilikon dari transistor NMOS. Nilai  $k_R$  berpengaruh terhadap kesimetrisan grafik alih tegangan antara tegangan keluaran dan masukan pada gerbang logika MOS.

### 2.2.6 Definisi Level Logika dan Noise Margin

Sistem digital dalam skala besar terdiri atas interkoneksi gerbang-gerbang dengan jenis yang sama. Terdapat gerbang yang bertugas sebagai *input port* yang berperan sebagai penerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain, yang dimungkinkan terdapat digerbang setelahnya. Bila sebuah karakter digital ditransmisikan antar gerbang maka level tegangan  $V(1)$ , merepresentasikan logika 1 begitu pula dengan level tegangan  $V(0)$  merepresentasikan logika 0. Setiap level tegangan harus secara konsisten diproduksi oleh setiap gerbang. Secara konversi, level tegangan  $V(1)$  dinamakan  $V_{OH}$  dan  $V(0)$  dinamakan  $V_{OL}$  yang ditunjukkan dalam Gambar 2.7.

Nilai  $V_{OH}$  dan  $V_{OL}$  harus didefinisikan secara konsisten sehingga sebuah inverter yang menerima nilai  $V_{OL}$  harus didefinisikan secara konsisten sehingga tegangan  $V_{OH}$ . Bila inverter tersebut menerima  $V_{OH}$  sebagai masukan maka akan mengeluarkan tegangan  $V_{OL}$ .



Gambar 2.7 Karakteristik Alih Tegangan (Kang, 1996)

Gambar 2.7 menunjukkan grafik karakteristik alih tegangan (VTC), kemiringan grafik untuk nilai yang dapat diterima minimal adalah -1. Kemiringan -1 terletak pada titik-titik kritis pada grafik (titik belok). Nilai tegangan keluaran di antara dua titik kemiringan ini dinamakan daerah logika tak tentu.

Kenyataannya, nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah  $V_{OH}$  atau di atas  $V_{OL}$ . Fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen L dan C parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi tersebut. Akibatnya, sebuah gerbang harus memproses nilai tegangan yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai  $V_{OH}$  dan  $V_{OL}$  pada setiap gerbang harus diredam. Penguatan fluktuasi tegangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik VTC adalah -1 (titik kritis) didefinisikan nilai tegangan  $V_{IH}$  dan  $V_{IL}$ . Letak  $V_{IH}$  dan  $V_{IL}$  ditunjukkan dalam Gambar 2.7. Nilai tegangan masukan ini menunjukkan nilai tertinggi tegangan masukan yang dapat diterima dengan nilai 0 dan masih bisa mengeluarkan nilai 1 yang dapat diterima oleh gerbang lain.  $V_{IH}$  didefinisikan sebagai nilai terkecil yang dapat diterima oleh sebuah gerbang dengan nilai 1 dan masih bisa mengeluarkan nilai 0 yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara  $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$  menjadi penting. Gambar 2.8 menunjukkan parameter lain yaitu *noise margin*. *Noise margin* menunjukkan kekebalan relatif sebuah

famili logika terhadap *noise*. *Noise margin* sebuah famili logika diketahui dengan mengevaluasi karakteristik sebuah *single inverter*.

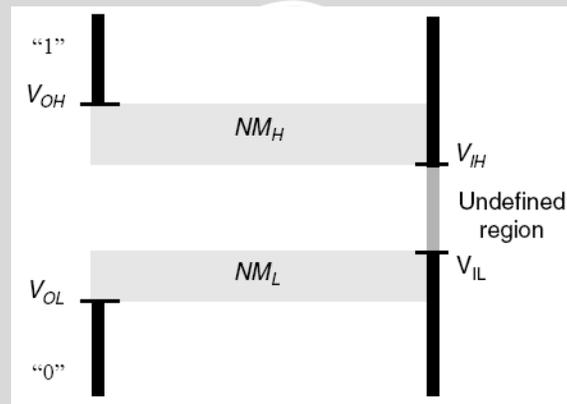
Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1, maka secara ideal masukan untuk gerbang selanjutnya bernilai  $V_{OH}$ . Namun, jika nilai tersebut jatuh sehingga bernilai  $V_{IH}$  maka masih akan dianggap berlogika 1. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan jatuh di bawah nilai  $V_{IH}$ . Perbedaan nilai  $V_{OH}$  dan  $V_{IH}$  merepresentasikan daerah yang diterima berlogika 1, disebut  $NM_H$ . Nilai  $NM_H$  dinyatakan dalam Persamaan (2.23) (Jan, Chandrakasan, Nikolic, 2002).

$$NM_H = V_{OH} - V_{IH} \quad (2.23)$$

Dengan:

$V_{OH}$  = Nilai ideal logika 1

$V_{IH}$  = Nilai minimum logika 1 yang bisa diterima



Gambar 2.8. Noise Margin  
(Jan, Chandrakasan, Nikolic, 2002)

Parameter  $NM_H$  berlaku untuk tegangan dengan masukan tinggi. Semakin besar nilai  $NM_H$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 1.

Apabila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0, maka secara ideal masukan untuk gerbang berikutnya bernilai  $V_{OL}$ . Namun seandainya nilai tersebut naik sehingga bernilai  $V_{IL}$  maka masih akan dianggap berlogika 0. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan naik di atas  $V_{IL}$ . Perbedaan nilai  $V_{IL}$  dan  $V_{OL}$  merepresentasikan daerah yang diterima berlogika 0, disebut  $NM_L$ . Nilai  $NM_L$  dinyatakan dalam Persamaan (2.24) (Jan, Chandrakasan, Nikolic, 2002).

$$NM_L = V_{IL} - V_{OL} \quad (2.24)$$

Dengan :

$V_{OL}$  = Nilai ideal logika 0

$V_{IL}$  = Nilai maksimum logika 0 yang bisa diterima

Parameter  $NM_L$  berlaku untuk tegangan masukan rendah. Semakin besar nilai  $NM_L$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika daripada daerah logika 0. Secara umum, suatu gerbang dikatakan memiliki *noise margin* tinggi bila memiliki  $NM_L$  dan  $NM_H$  yang besar.

## 2.2.7 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang.

*Rise time* ( $t_r$ ) diartikan sebagai waktu yang diperlukan untuk berubah dari 10%  $V_{DD}$  ke 90%  $V_{DD}$  untuk gerbang dengan tegangan “LOW” dan tegangan “HIGH”  $V_{DD}$ . *Fall time* ( $t_f$ ) diartikan sebagai waktu yang dibutuhkan untuk berubah dari 90%  $V_{DD}$  ke 10%  $V_{DD}$ . *Propogation Delay* ketika transisi keluaran dari logika “LOW” ke “HIGH” dinamakan  $t_{PLH}$ . Nilai  $t_{PLH}$  dinyatakan dalam Persamaan (2.25) . Sedangkan transisi keluaran logika “HIGH” ke “LOW” dinamakan  $t_{PHL}$ . Nilai  $t_{PHL}$  dapat dinyatakan dalam Persamaan (2.26) (Hodges, Jackson, Saleh, 2004).

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p C_{ox} \left(\frac{W}{L}\right)_p \cdot V_{DD}} \quad (2.25)$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n C_{ox} \left(\frac{W}{L}\right)_n \cdot V_{DD}} \quad (2.26)$$

$$t_r(t_{TLH}) = 2xt_{PLH} \quad (2.27)$$

$$t_f(t_{THL}) = 2xt_{PHL} \quad (2.28)$$

Waktu tunda rambatan rata-rata (*average propagation delay*) dinyatakan dalam Persamaan (2.28).

$$t_{APD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (2.29)$$

### 2.2.8 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu: disipasi daya statis, daya pensaklaran (*switching*) DC yang terjadi pada saat kedua transistor menghantarkan secara bersamaan dalam waktu yang sangat singkat dan daya pensaklaran AC yang terjadi ketika kapasitansi total pada gerbang menyimpan dan melepaskan muatan (Geiger, 1990). Kombinasi dari daya pensaklaran DC dengan daya pensaklaran AC disebut dengan disipasi daya dinamis.

Sedangkan disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Di antara  $V_{DD}$  dan  $V_{SS}$  terdapat jalur DC selalu terputus oleh transistor yang *cut off* dalam *steady state* (keadaan mantap). Komponen yang kedua adalah disipasi daya yang disebabkan pensaklaran DC, terjadi karena masukan gerbang berada pada daerah transisi. Ketika kedua transistor menghantar membentuk jalur antara  $V_{DD}$  ke  $V_{SS}$ . Untuk gerbang logika disipasi daya rata-rata pensaklaran DC meningkat dengan meningkatnya waktu *switching* sinyal masukan. Disipasi daya yang disebabkan pensaklaran DC hanya berpengaruh kurang lebih 10% terhadap disipasi daya total sistem CMOS.

Daya pensaklaran AC merupakan komponen utama disipasi daya CMOS. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah  $C$  dan nilai tegangan catu  $V_{DD}$  adalah  $V$ , maka energi yang diberikan pada kapasitor adalah dinyatakan dalam Persamaan (2.30) (Geiger, Allen, Strader, 1990).

$$E = \int_0^{\infty} Vi(t)dt = CV^2 \quad (2.30)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah  $\frac{1}{2}CV^2$  atau setengah dari jumlah energi harus dilepaskan, maka setengah bagian yang lain dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan, mulai jumlah energi yang disimpan sebelumnya akan dilepaskan pula. Sehingga energi keseluruhan yang dilepas kapasitor dalam satu siklus adalah  $CV^2$ . Bila frekuensi operasi

$f = 1/T$ , maka disipasi daya rata-rata dinyatakan dalam Persamaan (2.31) (Geiger, Allen, Strader, 1990).

$$P = C_L V_{DD}^2 f \quad (2.31)$$

Analisis ini menunjukkan bahwa dari rata-rata disipasi daya AC pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi, frekuensi kerja akan naik disebabkan oleh ukuran transistor yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu dan kapasitansi gerbang diturunkan maka disipasi daya akan turun. Maka, dalam rangkaian terintegrasi sistem logika CMOS banyak digunakan.

Dalam kondisi keluaran gerbang IC tanpa beban, jika  $I_{CCH}$  merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika tinggi dan  $I_{CCL}$  merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika rendah, maka daya rata-rata yang dikonsumsi sebuah IC adalah dinyatakan dalam Persamaan (2.32).

$$\begin{aligned} P_D(\text{rata-rata}) &= \frac{I_{CCH} + I_{CCL}}{2} \times V_{DD} \\ &= I_{CC}(\text{rata-rata}) \times V_{DD} \end{aligned} \quad (2.32)$$

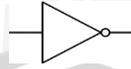
Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan ukuran kecepatan dan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata. Hal tersebut dinyatakan dalam Persamaan (2.33).

$$PDP = t_{dly} \cdot P \quad (2.33)$$

### 2.3 Inverter CMOS

Gerbang logika inverter merupakan gerbang satu masukan dan satu keluaran yang berfungsi sebagai pembalik. Prinsip kerja kerja dari gerbang logika inverter sangat sederhana yaitu apapun keadaan masukan yang diberikan akan dibalik oleh gerbang logika ini sehingga pada bagian keluarannya akan menjadi keadaan terbalik. Simbol

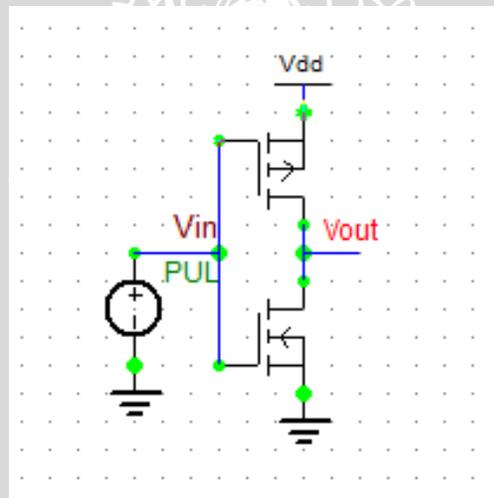
gerbang NOT ditunjukkan Gambar 2.9 dan Daftar kebenaran gerbang NOT ditunjukkan dalam Tabel 2.3 (Purnoma, Gatot, 2007). Rangkaian transistor pengganti inverter CMOS ditunjukkan dalam Gambar 2.10.



Gambar 2.9. Simbol Gerbang NOT

Tabel 2.3 Daftar kebenaran gerbang NOT

Masukan	Keluaran
A	$Q = \bar{A}$
0	1
1	0



Gambar 2.10. Rangkaian Transistor Pengganti Inverter CMOS (Grafik Rangkaian B<sup>2</sup>Spice)

Rangkaian tersebut sebuah inverter CMOS terdiri atas sebuah transistor NMOS serta sebuah transistor PMOS mode peningkatan. Kedua transistor tersebut bekerja dalam keadaan komplementer *push pull*. Pada saat masukan tinggi, NMOS mengarahkan (*push down*) logika keluaran ke arah *ground*, di mana pada kondisi ini transistor PMOS bekerja sebagai beban. Pada saat masukan rendah, transistor PMOS mengarahkan (*push up*) logika keluaran ke arah  $V_{dd}$ , pada kondisi ini transistor NMOS bekerja sebagai beban.

Berdasarkan Gambar 2.10 operasi rangkaian dengan menggunakan analisis rangkaian listrik dapat dinyatakan dalam Persamaan berikut.

$$V_{GS,n} = V_{in} \quad (2.34)$$

$$V_{DS,n} = V_{out} \quad (2.35)$$

Serta,

$$V_{GS,p} = -(V_{DD} - V_{in}) \quad (2.36)$$

$$V_{DS,p} = -(V_{DD} - V_{out}) \quad (2.37)$$

Analisis dimulai dengan mempertimbangkan dua keadaan sederhana. Jika tegangan masukan lebih kecil daripada tegangan ambang NMOS ( $V_{in} < V_{TN}$ ), maka transistor NMOS berada dalam kondisi *cut-off*. Pada saat yang sama, transistor PMOS bekerja pada daerah linear. Disebabkan arus *drain* kedua transistor sama, maka arus *drain* yang terjadi yakni mendekati nol dengan pengecualian jika arus bocor. Hal tersebut dinyatakan dalam Persamaan (2.38).

$$I_{D,n} = I_{D,p} = 0 \quad (2.38)$$

Tegangan *drain-source* transistor PMOS juga mendekati nol dan tegangan keluaran  $V_{OH}$  mendekati tegangan catu  $V_{DD}$ , maka dapat dinyatakan dalam Persamaan (2.39).

$$V_{out} = V_{OH} = V_{DD} \quad (2.39)$$

Jika tegangan masukan melebihi  $V_{DD} = V_{T,p}$ , transistor PMOS dalam kondisi *cut-off*. Dalam permasalahan ini, transistor NMOS bekerja dalam daerah linear tetapi tegangan *drain-source* mendekati nol karena kondisi Persamaan (2.38) terpenuhi. Sehingga, tegangan keluaran dari rangkaian dapat dinyatakan dalam Persamaan (2.40).

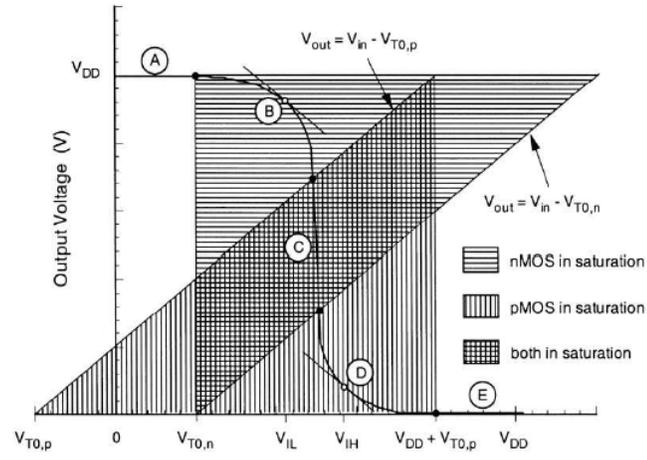
$$V_{out} = V_{OL} = 0 \quad (2.40)$$

Selanjutnya memerlukan analisis mode operasi PMOS dan NMOS sebagai fungsi masukan dan keluaran. Transistor NMOS bekerja dalam daerah saturasi, jika  $V_{in} > V_{T,n}$  dan jika kondisi dalam Persamaan 2.41 terpenuhi.

$$V_{DS,n} \geq V_{GS,n} - V_{T,n} \leftrightarrow V_{out} \geq V_{in} - V_{T,n} \quad (2.41)$$

Transistor PMOS bekerja dalam daerah saturasi apabila  $V_{in} < (V_{DD} + V_{T0,p})$  dan jika :

$$V_{DS,p} \leq V_{GS,p} - V_{T,p} \quad (2.42)$$



Gambar 2.11. Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS (Kang, 1996)

Penjelasan dari keadaan operasi transistor lebih rinci ditunjukkan dalam Tabel 2.4 (Kang, 1996).

Tabel 2.4 Level Tegangan Input Output Inverter CMOS

Daerah Operasi	$V_{in}$	$V_{out}$	NMOS	PMOS
A	$<V_{T0,n}$	$V_{OH}$	Cut off	Linear
B	$V_{IL}$	High = $V_{OH}$	Saturation	Linear
C	$V_{Th}$	$V_{Th}$	Saturation	Saturation
D	$V_{IH}$	Low = $V_{OL}$	Linear	Saturation
E	$>(V_{DD} + V_{T0,p})$	$V_{OL}$	Linear	Cut off

Karakteristik tegangan *input-output* dalam keadaan *steady state* pada inverter CMOS dapat diproyeksikan dengan menganalisis interaksi antara PMOS dan NMOS. Diketahui bahwa  $I_{D,n}$  tergantung dari nilai  $V_{GS,n}$  dan  $V_{DS,n}$  atau merupakan fungsi dari  $V_{in}$  dan  $V_{out}$ . Dapat dinyatakan dalam Persamaan (2.43) (Kang, 1996).

$$I_{D,n} = f(V_{in}, V_{out}) \tag{2.43}$$

Sama halnya dengan transistor PMOS, arus  $I_{D,p}$  juga merupakan fungsi  $V_{in}$  dan  $V_{out}$ . Dapat dinyatakan dalam Persamaan 2.44 (Kang, 1996).

$$I_{D,p} = f(V_{in}, V_{out}) \tag{2.44}$$

Arus *drain* PMOS selalu sama dengan arus *drain* NMOS dan hal ini terjadi pada saat kedua transistor berada dalam keadaan *steady state*.

$$I_{D,p} = I_{D,n} \quad (2.45)$$

## 2.4 Analisis Matematis Tegangan Masukan Rendah ( $V_{IL}$ )

Jika pada saat tegangan masukan  $V_{in}$  setara dengan  $V_{IL}$  ( $V_{in} = V_{IL}$ ), maka hubungan  $dV_{out}/dV_{in} = -1$ . Pada saat ini transistor NMOS berada pada keadaan saturasi sedangkan transistor PMOS berada pada keadaan linear dan Persamaan  $I_{D,n} = I_{D,p}$  didapatkan.

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} [2 \cdot (V_{GS,p} - V_{T,p}) \cdot V_{DS,p} - V_{DS,p}^2] \quad (2.46)$$

Dengan menggunakan Persamaan (2.41) sampai (2.44), Persamaan (2.47) dapat ditulis:

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2 \cdot (V_{in} - V_{DD} - V_{T,p}) \cdot (V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \quad (2.47)$$

Agar mengkondisikan kondisi deriatif saat  $V_{in} = V_{IL}$  maka mendiferensialkan Persamaan (2.47) terhadap  $V_{in}$  diperoleh.

$$k_n (V_{in} - V_{T,n}) = k_p \left[ (V_{in} - V_{DD} - V_{T,p}) \left( \frac{dV_{out}}{dV_{in}} \right) + (V_{out} - V_{DD}) - (V_{out} - V_{DD}) \left( \frac{dV_{out}}{dV_{in}} \right) \right] \quad (2.48)$$

Dengan mensubstitusikan nilai  $V_{in} = V_{IL}$  dan  $(dV_{out}/dV_{in}) = -1$  ke dalam Persamaan (2.48), didapatkan.

$$k_n (V_{IL} - V_{T,n}) k_p (2V_{out} - V_{IL} - V_{T,p} - V_{DD})$$

Tegangan kritis  $V_{IL}$  dapat ditentukan sebagai fungsi dari tegangan keluaran  $V_{out}$  yang dinyatakan sebagai

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2.49)$$

Dengan :  $k_R = \frac{k_n}{k_p}$

## 2.5 Analisis Matematis Tegangan Masukan Tinggi ( $V_{IH}$ )

Saat tegangan masukan sama dengan  $V_{IH}$ , transistor NMOS beroperasi dalam daerah linear, dan transistor PMOS beroperasi dalam mode saturasi. Pada saat yang sama dan masih berlakunya hubungan  $dV_{out}/dV_{in} = -1$  serta  $I_{D,n} = I_{D,p}$ , maka didapatkan Persamaan (2.50).

$$\frac{k_n}{2} [2 \cdot (V_{GS,n} - V_{T,n}) \cdot V_{DS,n} - V_{DS,n}^2] = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2$$

$$\frac{k_n}{2} [2 \cdot (V_{in} - V_{T,n}) \cdot V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (2.50)$$

Dengan menggunakan Persamaan (2.41) sampai (2.44), Persamaan (2.51) dapat ditulis .

$$\frac{k_n}{2} [2 \cdot (V_{in} - V_{T,n}) \cdot V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{T,p})^2 \quad (2.51)$$

Dengan memberikan perlakuan yang sama terhadap Persamaan pada perhitungan  $V_{IL}$ , diperoleh suatu Persamaan  $V_{IH}$  sebagai fungsi  $V_{out}$ , maka

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R (2V_{out} + V_{T,n})}{1 + k_R} \quad (2.52)$$

## 2.6 Analisis Matematis Tegangan *Threshold inverter* ( $V_{th}$ )

Tegangan *threshold inverter* ditentukan sebagai  $V_{th} = V_{in} = V_{out}$ . Karena inverter CMOS memberikan *noise margin* yang besar dan mempunyai bentuk transisi VTC yang curam, tegangan *threshold* merupakan suatu parameter karakteristik DC yang penting untuk menunjukkan kehandalan dari inverter. Untuk  $V_{in} = V_{out}$  kedua transistor beroperasi dalam daerah saturasi. Dengan KCL dapat ditulis persamaan arus

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2 \quad (2.53)$$

Dengan menggantikan  $V_{GS,n}$  dan  $V_{GS,p}$  dalam persamaan di atas berdasarkan Persamaan (2.41), diperoleh

$$(2.54)$$

Persamaan ini dapat dibuat untuk tegangan masukan  $V_{in}$

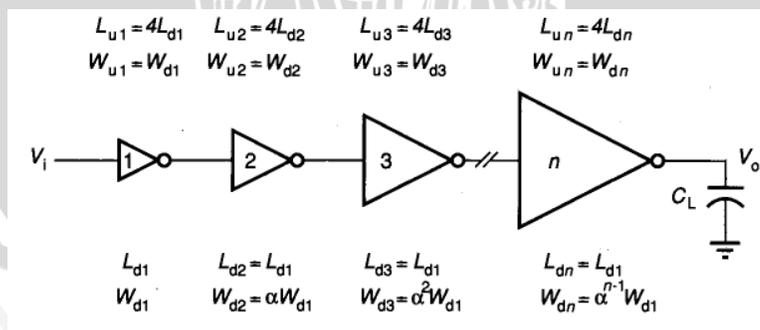
$$(2.55)$$

Sehingga tegangan *threshold inverter*,  $V_{th}$  dinyatakan sebagai,

$$(2.56)$$

## 2.7 HCMOS

Seperti yang telah diketahui bahwa HCMOS merupakan hasil dari pengembangan teknologi CMOS dengan keunggulan mengurangi *propagation delay* dan disipasi daya yang kecil juga. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, Allen, Strader, 1990). Gambar 2.12 menjelaskan blok rangkaian CMOS dan driver kaskadanya.



Gambar 2.12. Blok rangkaian CMOS dan kaskadanya (Geiger, Allen, Strader, 1990)

Dengan mengasumsikan sebuah sinyal keluaran dari gerbang referensi yang menggerakkan *load* kapasitansi  $C_L$  maka *propagation delay* rata-rata dapat dinyatakan dengan Persamaan (2.57) (Geiger, Allen, Strader, 1990).

$$T_{dir} = \frac{t_{apd} C_L}{C_G} \quad (2.57)$$

Dengan:  $t_{apd}$  = rata-rata *delay* gerbang

$C_G$  = kapasitansi masukan gerbang referensi

Untuk setiap bilangan integer  $n \geq 1$ , didefinisikan  $\alpha$ .

$$\alpha = \left( \frac{C_L}{C_G} \right)^{1/n} \quad (2.58)$$

$n$  dapat direpresentasikan sebagai fungsi  $\alpha$  sebagai,

$$n = \frac{\ln(C_L / C_G)}{\ln \alpha} \quad (2.59)$$

Konfigurasi ini terdiri atas gabungan  $n$  inverter (termasuk gerbang referensi awal). Jika masing-masing dirancang dengan rasio 4:1 artinya perbandingan antara ekivalen resistansi transistor *pull up* dan *pull down*. Bila rasio perbandingan bukan 4:1 maka tidak menjadi masalah seperti pada logika CMOS yang dikenal bersifat *ratioless*. Setiap gerbang memiliki *drive capability*  $\alpha$ -kali lebih besar dan stage sebelumnya. Karakteristik  $W$  dan  $L$  *stage* ke- $k$  dijabarkan dengan Persamaan berikut (Geiger, Allen, Strader, 1990),

$$W_{dk} = \alpha_{k-1} W_{d1} \quad (2.60)$$

$$L_{dk} = L_{d1} \quad (2.61)$$

$$W_{uk} = W_{dk} \quad (2.62)$$

$$L_{uk} = 4L_{dk} \quad (2.63)$$

Dengan:

$W_{dk}$  =  $W$  *pulldown* transistor kaskada inverter ke- $k$

$L_{dk}$  =  $L$  *pulldown* transistor kaskada inverter ke- $k$

$W_{uk}$  =  $W$  *pullup* transistor kaskada inverter ke- $k$

$L_{uk}$  =  $L$  *pullup* transistor kaskada inverter ke- $k$

*Load* kapasitansi stage ke- $k$   $C_{LK}$  relatif terhadap kapasitansi gerbang masukan  $C_G$  adalah

$$C_{Lk} = \alpha^k C_G \tag{2.64}$$

Sehingga total *propagation delay* struktur kaskada ini adalah

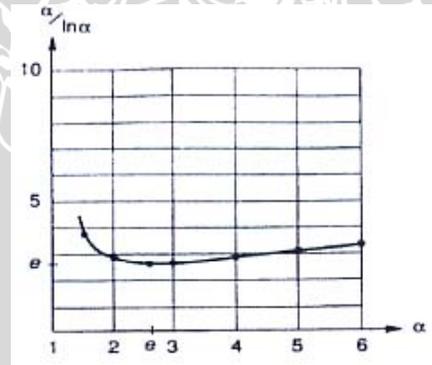
$$T_{cas} = nat_{apd} \tag{2.65}$$

Pengertian  $r$  adalah rasio antara *delay* struktur *driver* kaskada dengan *propagation delay* rata-rata gerbang, dapat dirumuskan dalam Persamaan (2.66) (Geiger, Allen, Strader, 1990).

$$\tag{2.66}$$

Permasalahan yang dihadapi adalah bagaimana meminimalisasi  $r$  sehingga meminimalkan *delay* rangkaian secara total. Variabel  $n$  dapat dihilangkan sehingga  $r$  dinyatakan dalam Persamaan (2.66) (Geiger, Allen, Strader, 1990).

$$\tag{2.67}$$

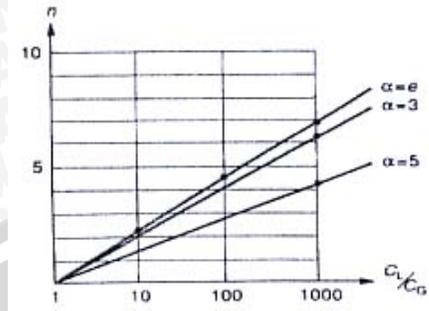


Gambar 2.13. Grafik Hubungan  $\alpha$  Dengan  $\alpha/\ln\alpha$  (Geiger, Allen, Strader, 1990)

Berdasarkan Persamaan (2.67),  $\alpha$  dapat dipakai untuk meminimalisasi  $r$ . Gambar 2.13 menunjukkan hubungan antara  $\alpha$ . dengan  $\alpha/\ln\alpha$ . Dalam grafik terlihat bahwa nilai minimum  $\alpha/\ln\alpha$  dicapai ketika  $\alpha=e$  dengan nilai  $e$ . Gambar 2.18 menunjukkan hubungan antara  $n$  dengan  $C_L/C_G$ . Hubungan nilai  $\alpha=e$ ,  $\alpha=3$  dan  $\alpha=5$ .

$n$  adalah jumlah stage yang dikaskada.  $n$  merupakan sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktik nilai  $\alpha$  diset pada nilai yang lebih besar dan  $e$  untuk menghasilkan pengurangan jumlah *stage* kaskada. Dalam Gambar

2.13 selama  $a$  berada diantara nilai 2 dan 4, deviasi terhadap minimum *delay* kurang dan 5%.



Gambar 2.14. Grafik Hubungan  $n$  Dengan  $C_L/C_G$   
(Geiger, Allen, Strader, 1990)

Pada Persamaan (2.64) ditunjukkan bahwa untuk load ratio yang kecil peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh, menurut Persamaan (2.66) kaskada tujuh tingkat dengan ukuran yang dioptimalkan yang digunakan untuk menggerakkan beban kapasitif dengan rasio  $1100C_G$  menghasilkan *propagation delay* 1.7% dibanding *propagation delay* yang dibutuhkan gerbang dasar.

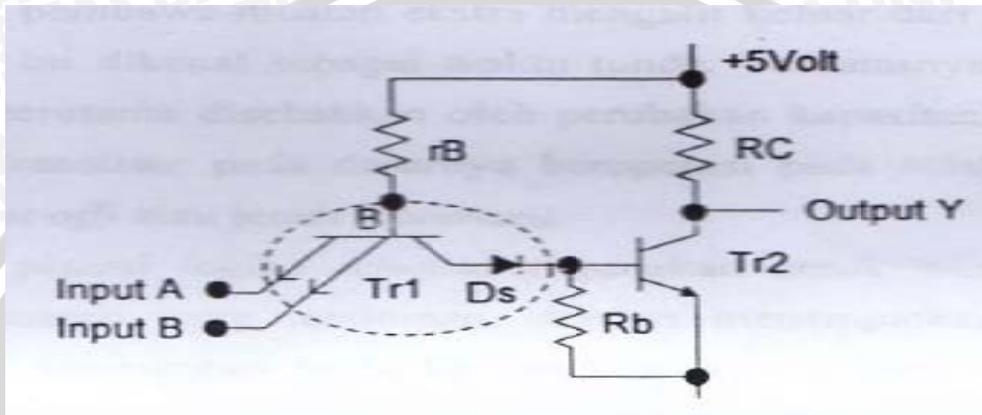
Hal yang perlu diperhatikan dalam perancangan adalah bila jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk nilai  $n$  yang besar luasan area total yang dihasilkan oleh driver kaskada terlalu besar. Sebagai contoh, rangkaian stage tujuh tingkat membutuhkan  $e^6$  403 kali luasan gerbang dasar. Dengan luasan seperti ini tentu tidak akan efisien untuk rangkaian yang terintegrasi dengan jumlah yang banyak, misalnya dalam jumlah ribuan. Kedua hal ini perlu menjadi pertimbangan perancang dalam proses desain sebuah gerbang.

## 2.8 TTL dan CMOS

### 2.8.1 TTL (*Transistor-Transistor Logic*)

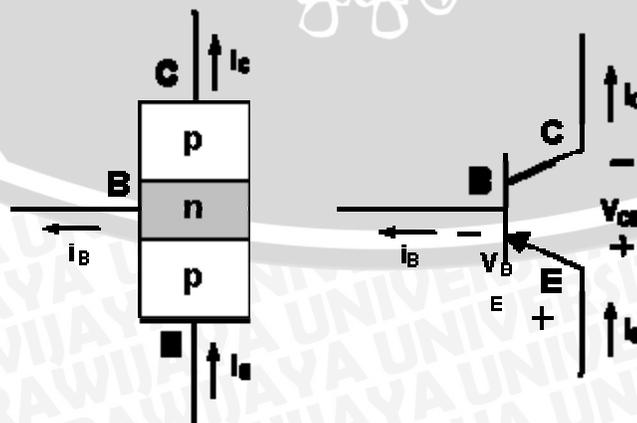
TTL (*Transistor-Transistor Logic*) Merupakan rangkaian gerbang logika yang dibangun dari transistor-transistor bipolar (NPN dan PNP) yang digabungkan sehingga membentuk dua keadaan (ON/OFF, High/Low) memerlukan tegangan 5 volt yang regulasi 5% ( $\pm 250\text{mV}$ ) maka tegangan berkisar antara 4,75 V sampai 5,25 V.

Tegangan ambang saat elemen logika memberikan respons untuk teknologi bipolar pada TTL untuk logika 1 sebesar 2 V dan untuk logika 0 ambangnya sebesar 0,8 V. Keuntungannya, Lebih tahan bila terkena gangguan misalnya muatan statis, Kecepatannya lebih tinggi dari CMOS Gerbang logika NAND dengan TTL. Kekurangannya, IC ini membutuhkan daya yang relatif besar. Pada IC TTL, semua kaki yang tidak terhubung mempunyai nilai logika 1.



Gambar 2.15. Gerbang NAND Dua Masukan TTL (Widjanarka, 2006)

Jika kedua masukan atau salah satu masukannya dalam keadaan 0, maka  $Tr_1$  akan aktif (on) dan tegangan pada kaki basisnya sebesar 1 V, tegangan itu akan melewati dioda  $D_s$  dan tegangan menjadi berkurang  $1v-0,7v=0,3 v$ . Tegangan 0,3 v tidak cukup untuk mengaktifkan  $Tr_2$ , sehingga  $Tr_2$  OFF.  $Tr_2$  menjadi inverter yang menghasilkan out 1. Tegangan output yang dihasilkan oleh  $Tr_2$  sebesar 3,4 volt. Gambar 2.16 berikut merupakan diagram sederhana dari Transistor Bipolar.

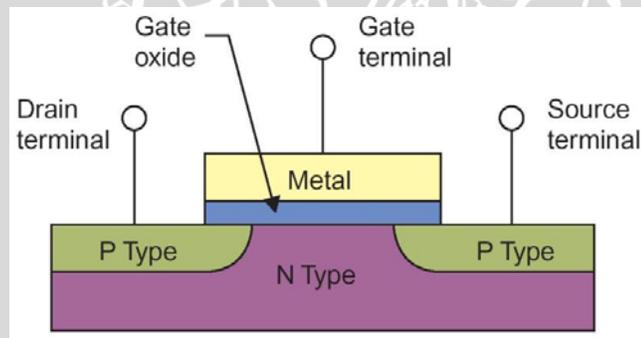


Gambar 2.16 Diagram Sederhana Dari Transistor Bipolar

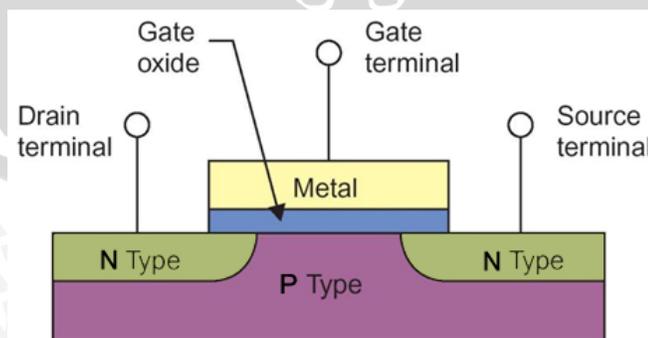
### 2.8.2 CMOS (*Complementary Metal Oxide Semiconductor*)

CMOS (*Complementary Metal Oxide Semiconductor*) merupakan rangkaian gerbang logika yang dibangun dari *Metal Oxide Semiconductor* atau MOSFET (tipe P dan tipe N). CMOS mengkonsumsi tenaga listrik sangat rendah dibanding TTL, dan bekerja pada tegangan sumbernya jauh lebih lebar antara 2 V sampai 15 V. MOS, logika 1 ambangnya sebesar  $0,7 \times$  tegangan catu VDD dan logika 0 ambangnya sebesar  $0,3 \times$  tegangan catu VDD. MOSFET dapat digambarkan sebagai saklar ON/OFF, seperti halnya transistor bipolar.

Kelebihan MOSFET dari transistor adalah masukannya yang secara listrik diisolasi dari sel MOSFET menghasilkan impedansi masukan tinggi. Konsumsi dayanya rendah sehingga cocok digunakan untuk peralatan elektronik dengan daya rendah seperti baterai. Dapat beroperasi pada berbagai tegangan suplai DC yang bisa mencapai 15 Volt. Kekurangan IC CMOS, kecepatan kerja lebih rendah dibandingkan IC TTL. Pada IC CMOS setiap kaki pin harus dibuang agar IC tidak rusak. Gambar 2.17 berikut merupakan MOSFET tipe-N dan Gambar 2.18 merupakan MOSFET tipe-P.



Gambar 2.17 MOSFET tipe-N



Gambar 2.18 MOSFET tipe-P