PENGANTAR

Assalamualaikum Wr. Wb. Alhamdulillah, puji syukur penulis panjatkan kehadirat Allah SWT atas limpahan rahmat dan hidayahnya sehingga skripsi ini dapat terselesaikan dengan baik. Skripsi ini disusun sebagai salah satu syarat untuk memperoleh gelar Sarjana Teknik dari Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.

Penulis menyadari bahwa tanpa bantuan, bimbingan, serta dorongan dari semua pihak, penyelesaian skripsi ini tidak mungkin bia terwujud. Pada kesempatan ini penulis menyampaikan rasa terima kasih sebesar-besarnya kepada:

- 1. Ibu Tri Wahyuni dan Bapak Hery Waluyo yang memberikan kasih sayang, dukungan dan doa yang tiada henti.
- Bapak M. Aziz Muslim, ST.,MT.,Ph.D selaku Ketua Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya dan Bapak Hadi Suyono, ST., MT.,Ph.D selaku Sekretaris Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.
- 3. Ibu Nurussa'adah, ST.,MT selaku KKDK Teknik Elektronika Jurusan Teknik Elektro yang telah memberikan saran, motivasi serta pengarahan dalam penyusunan skripsi ini.
- 4. Bapak M. Julius, St., MS dan Ibu Dr.-Ing. Onny Setyawati, ST., MT., MSc selaku dosen pembimbing yang telah memberikan bimbingan, saran, motivasi, dan pengarahan dalam penyusunan skripsi ini.
- 5. Bapak, Ibu dosen serta segenap staf dan karyawan Jurusan Teknik Elektro yang telah membantu dalam menyelesaikan skripsi ini.
- 6. Abdul Azis, terima kasih untuk waktu, semangat, dukungan dan segala bentuk bantuan yang luar biasa.
- 7. Sahabat terbaik : Nanda, Tya, Nita, Dhika terima kasih untuk waktu dan nasihatnasihatnya.
- 8. Teman-teman Magneti yang istimewa: Dewi, Nuni, Reta, Rara, Ika, Tri Wahyu, Aya, Amel, Zara, Rita, Ayu, Mega, Safti, Renie, Nilfa, Imee, Resi (makasih selempangnya), Atika, Nana, Dina, Shanty, Mita, dan Neta terima kasih untuk waktu dan momen-momen berharganya, tetap semangat, sayang kalian (peluk satu-satu).
- Teman-teman seperjuangan Magnet yang keren dan tidak biasa, terima kasih untuk hal-hal yang tidak biasa selama ini (kalian teman-teman paling romantis), tetap semangat dan semoga kita bisa lebih baik lagi ke depannya, see you on TOP.
- 10. Teman-teman seperjuangan skripsi mulai dari semhas sampai kompre Tri Wahyu, Zainal dan Ferdy, terima kasih untuk kebersamaannya.

- 11. Teman-Teman Magnetronika, Laboratorium Sistem Digital, terima kasih atas kerjasama dan bantuannya selama ini. Laboratorium Komputasi dan Jaringan untuk tempat yang sangat nyaman disaat-saat yang tidak nyaman.
- 12. Teman-teman Workshop HME, terima kasih untuk kesibukan, kerjasama, dan kekompakan selama ini. Semoga kita bisa lebih baik lagi.
- 13. Terima kasih kepada teman-teman rumah kedua : Nisa, Warda, Firda, Amy, Triyas, Mumu, Vina, Paul untuk asupan nutrisi dan alarm yang luar biasa.
- 14. Semua pihak yang telah memberikan bantuan baik secara langsung maupun tidak langsung dalam penyusunan skripsi ini.

Dalam penyusunan skripsi ini penulis menyadari bahwa skripsi ini belum sempurna karena keterbatasan ilmu dan kendala kendala lain yang terjadi selama pengerjaan skripsi ini. Semoga tulisan ini dapat bermanfaat dan dapat digunakan untuk pengembangan lebih lanjut. Wassalamualaikum Wr. Wb.



DAFTAR ISI

	NGANTAR	i
DA	FTAR ISI	iii
DA	FTAR GAMBAR	v
DA	FTAR TABEL	vii
AB	STRAK	viii
BA	B I PENDAHULUAN	1
1.1.	Latar Belakang	1
1.2.	. Rumusan Masalah	2
1.3.	. Tujuan	2
BA	B II TINJAUAN PUSTAKA	
2.1	MOSFET	
	2.1.1 Bentuk Dasar MOSFET	5
	2.1.2 Karakteristik dan Operasi MOSFET	5
	2.1.3 Persambungan MOSFET	8
	2.1.4 Karakteristik Arus Tegangan	10
	2.1.5 Kapasitansi Transistor MOSFET	11
	2.1.6 Lebar dan Panjang (Width dan Length)	13
	2.1.7 Definisi Level Logika dan Noise Margin	13
	2.1.8 Propagation Delay	16
	2.1.9 Disipasi Daya	17
2.2	NAND CMOS	18
2.3	Inverter CMOS	19
	2.3.1 Analisis Matematis Tegangan Masukan Rendah (V _{IL})	21
	2.3.2 Analisis Matematis Tegangan Masukan Tinggi (V _{III})	22
	2.3.3 Analisis Matematis Tegangan Threshold Inverter (V _{TH})	23
2.4	Driver Kaskada	23
2.5	Multiplekser dan Demultiplekser	
BA	B III METODOLOGI PENELITIAN	27
31	Studi Literatur	27
3.1 3.2	Studi Literatur Proses Perancangan	27
3.1 3.2 3.3	Proses Analisis	27 27 29
 3.1 3.2 3.3 3.4 	Proses Analisis Proses Simulasi	27 27 29 29
 3.1 3.2 3.3 3.4 3.5 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout	27 27 29 29 30
 3.1 3.2 3.3 3.4 3.5 BA 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout B IV PERANCANGAN RANGKAIAN	27 27 29 29 30 DAN
 3.1 3.2 3.3 3.4 3.5 BA DE 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout B IV PERANCANGAN RANGKAIAN MULTIPLEKSER MULTIPLEKSER	27 27 29 30 DAN 32
 3.1 3.2 3.3 3.4 3.5 BA DE 4.1 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout B IV PERANCANGAN RANGKAIAN MULTIPLEKSER MULTIPLEKSER Perancangan Rangkaian Logika 8 Bit Multiplekser dan Demultiplekser	27 27 29 30 DAN 32
 3.1 3.2 3.3 3.4 3.5 BA DE 4.1 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout B IV PERANCANGAN RANGKAIAN MULTIPLEKSER MULTIPLEKSER Perancangan Rangkaian Logika 8 Bit Multiplekser dan Demultiplekser HCMOS	27 29 29 30 DAN 32
 3.1 3.2 3.3 3.4 3.5 BA DE 4.1 4.2 	Studi Literatur Proses Perancangan Proses Analisis Proses Simulasi Proses Penggambaran Layout B IV PERANCANGAN RANGKAIAN MULTIPLEKSER MULTIPLEKSER Perancangan Rangkaian Logika 8 Bit Multiplekser dan Demultiplekser HCMOS Konfigurasi Rangkaian 8 Bit Multiplekser dan Demultiplekser HCMOS	27 27 29 29 30 DAN 32 32 32 32

4.4	Paran	neter Dasar Transistor MOSFET	38
4.5	Peran	cangan Nilai W dan L Transistor	39
4.6	Anali	sis Matematis V_{IL} , V_{OH} , V_{OL} , V_{IH} dan Noise Margin Rangkaian	41
	4.6.1	Analisis Matematis V _{IL} dan V _{OH}	41
	4.6.2	Analisis Matematis V _{IH} dan V _{OL}	42
	4.6.3	Analisis Matematis V _{TH}	42
	4.6.4	Noise Margin	43
4.7	Anali	sis Propagation Delay dan Disipasi Daya	43
BA	B V SI	MULASI DAN PEMBUATAN <i>LAYOUT</i>	58
5.1	Simu	asi Unit Step	58
	5.1.1	Simulasi Unit Step dengan C _L 0.5pF	58
	5.1.2	Simulasi Unit Step dengan CL 1pF	60
	5.1.3	Simulasi Unit Step dengan C _L 5pF	61
	5.1.4	Simulasi Unit Step dengan C _L 10pF	63
	5.1.5	Simulasi Unit Step dengan C _L 15pF	64
	5.1.6	Simulasi Unit Step dengan C _L 50pF	66
5.2	Simu	asi Karakteristik Alih Tegangan (VTC)	67
5.3	Perba	ndingan Hasil Analisis dengan Perhitungan	68
5.4	Pemb	uatan Stick Diagram dan Layout	71
BA	B VI P	ENUTUP.	
6.1	Kesir	npulan	73
6.2	Saran		74
DA.	ГТА Р		75
DA Lor	r I AK nniron	1 Datashaat IC	13 76
Lal	upitall	I. Datasiteet IC	70



DAFTAR GAMBAR

Gambar 2. 1. a) Tipe-N pengosongan, b) Tipe-P pengosongan, c) Tipe-N peningkata	an,
d) Tipe-P peningkatan	3
Gambar 2. 2. Skematik MOSFET tipe-n	4
Gambar 2. 3. Struktur fisik N-MOSFET Tipe Enhancement	5
Gambar 2. 4. Grafik Karakteristik MOSFET Arus I _D sebagai Fungsi V _{DS} dengan	
Parameter V _{GS}	6
Gambar 2. 5. Struktur Persambungan MOSFET	8
Gambar 2. 6. Kapasitansi Parasitik MOSFET	11
Gambar 2. 7. Karakteristik Alih Tegangan	14
Gambar 2. 8. Noise Margin	15
Gambar 2. 9. Definisi Delay dalam Gerbang Logika	16
Gambar 2. 10. Susunan NAND CMOS	18
Gambar 2. 11. Rangkaian Inverter CMOS	19
Gambar 2. 12. Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS	20
Gambar 2. 13. Driver Kaskada	24
Gambar 2. 14. Grafik Hubungan dengan /ln	25
Gambar 2. 15. Grafik Hubungan n dengan C _L /C _G	25
Gambar 3, 1. Diagram Blok Rangkaian & Bit Multiplekser, Demultiplekser	28
Gambar 3. 2. Diagram Alir Perancangan IC 8 bit Multinlekser-Demultinlekser	20
HCMOS	30
Gambar 4, 1, Rangkaian Logika & Bit Multiplekser dan Demultiplekser	33
Gambar 4. 2. Konfigurasi & Bit Multiplekser dan Demultiplekser	55 34
Gambar 4, 3, (a) Rangkaian Logika Inverter (b) Rangkaian Transistor Inverter (Soft	ware
$R^2Snice)$	35
Gambar 4 4 (a) Rangkajan Logika NAND 2 Input (b) Rangkajan Transistor NAN) 2
Input (Software R ² Spice)	36
Gambar 4, 5, (a) Rangkajan Logika NAND 2 Input (b) Rangkajan Transistor NAN) 2
Input (Software B ² Spice)	36
Gambar 4, 6, (a) Rangkaian Logika NAND 8 Input (b) Rangkaian Transistor NAN) 8
Input (Software R ² Spice)	37
Gambar 4 7 Rangkaian Transistor 8 Bit Multiplekser-Demultiplekser (Software	
B^2 Spice)	38
Gambar 4 8 Noise Margin Hasil Perhitungan	43
Sumbar 1. 0. Horse margar mash i chintangan	15
Combor 5, 1. Crafik Unit Stan IC dangan C. 0.5nE nada Kandigi Aktif Multinlakaar	. 50
Gambar 5, 1. Grafik Unit Step IC dengan C _L 0.5pF pada Kondisi Aktif Multipleksel	
Damultinlakser	50
Combon 5, 2, Crofile Unit Ston IC dengen C, 1nE node Kondigi Alttif Multinlekson	39
Gambar 5. 5. Grafik Unit Step IC dengan C _L 1pF pada Kondisi Aktif Demultinlakser.	60
Gambar 5. 4. Grafik Unit Step IC dengan C_L IPF pada Kondisi Aktif Multinlakaan	T. 00
Gambar 5, 6, Grafik Unit Stap IC dangan CL 5pF pada Kondisi Aktif Multiplekser	01
Combor 5, 7, Grafik Unit Stan IC dangan C. 10nE noda Kondisi Altif Multinlahaan	51.02 62
Gambar 5. 7. Grafik Unit Step IC dengan C _L 10pF pada Kondisi Akuf Multiplekser.	03
Damultinlakeer	62
Combor 5. 0. Crafik Unit Stan IC dangan C. 15nE noda Kandisi Alttif Multinlahaan	03
Gambar 5. 9. Grank Onu Step iC dengan CE ISpF pada Kondisi Akui Multiplekser.	04

Gambar 5. 10. Grafik <i>Unit Step</i> IC dengan C _L 15pF pada Kondisi Aktif	
Demultiplekser	65
Gambar 5. 11. Grafik Unit Step IC dengan C _L 50pF pada Kondisi Aktif Multiplekser.	66
Gambar 5. 12. Grafik Unit Step IC dengan C _L 50pF pada Kondisi Aktif	
Demultiplekser	66
Gambar 5. 13. Grafik Karakteristik Alih Tegangan (VTC)	67
Gambar 5. 14. Stick Diagram IC 8 Bit Multiplekser dan Demultiplekser	71
Gambar 5. 15. Layout untuk Gerbang NAND 2 Input	71
Gambar 5. 16. Layout Rangkaian 8 Bit Multiplekser-Demultiplekser Tanpa Pad I/O	72
Gambar 5 17 Layout dengan Pad I/O	72

STINERSITAS BRAW, THE STINE RESITAS BRAW, THE RE

Tabel 2. 1. Nilai kapasitansi parasitik MOSFET	12
Tabel 2. 2. Level Tegangan Input Output Inverter CMOS	20
Tabel 2. 3. Kondisi Daerah Operasi Transistor	20
WIGHAY CJA UPINIVEDER2LETA2 K	
Tabel 3. 1. Daftar Kebenaran Rangkaian 8 Bit Multiplekser-Demultiplekser	28
Tabel 4.1. Parameter Desain Transistor CMOS	38
Tabel 4. 2. Variagi Daramatar Transkanduktangi dan Nilai Kanagitar	11
Tabel 4. 2. Vallasi Falameter Hanskonduktansi uan Miai Kapasitor	44 56
Tabel 4. 5. Data Hash Permitungan Analisis Propagation delay	20
Tabel 5, 1 Hasil Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan	
Kondisi Aktif Multiplekser	68
Tabel 5. 2. Hasil Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan	
Kondisi Aktif Demultiplekser	69
Tabel 5. 3. Perbandingan Data Hasil Perhitungan dan simulasi VTC dengan Datasheet	t
IC DM74LS151 dan IC MC74HC151A	69
Tabel 5. 4. Perbandingan Nilai Propagation Delay pada Kondisi Aktif Multiplekser	70
Tabel 5. 5. Perbandingan Nilai Propagation Delay pada Kondisi Aktif	
Demultiplekser	70
Tabel 5. 6. Data Hasil Perbandingan Power Dissipation dan Power Delay Product	
dengan Datasheet	70



ABSTRAK

Erny Anugrahany, Jurusan Teknik Elektro, Fakultas Teknik Universitas Brawijaya Malang, 2014. *Perancangan 8 Bit Multiplekser dan Demultiplekser dalam Satu IC dengan Teknologi High Speed CMOS*, Dosen Pembimbing : Ir. M. Julius St., MS dan Dr.-Ing Onny Setyawati, ST.,MT.,MSc

Perancangan ini bertujuan untuk menganalisis dan merancang 8 Bit Multiplekser dan Demultiplekser dalam satu IC dengan menggunakan *High Speed* CMOS. Proses penggambaran *layout* dilakukan dengan menggunakan *software Microwind2*. Pengujian rangkaian ini dilakukan menggunakan program B^2Spice dengan nilai C_L=5pF, K_N=45µA/V² dan K_P=18µA/V² sehingga memperoleh *average propagation delay* 12ns.

Spesifikasi hasil simulasi VTC adalah V_{IH}=2.805V; V_{IL}=2.695V; V_{OH}=5V; V_{OL}=0V; N_{MH}=2.195V dan N_{ML}=2.695V. Hasil simulasi *propagation delay* pada kondisi aktif multiplekser adalah t_{PLH} =3.16ns, t_{PHL} =1ns, dan t_{PD} =2.08ns. Sedangkan simulasi dengan kondisi aktif demultiplekser menghasilkan nilai t_{PLH} =3.2ns, t_{PHL} =1ns, dan t_{PD} =2.1ns. Disipasi daya sebesar 0.125mW. IC 8 Bit Multiplekser dan Demultiplekser HCMOS mempunyai *layout* tanpa pad I/O dengan luasan 385.6µm x 25.7µm dan menggunakan pad I/O dengan luasan 1430.5µm x 1430.5µm

Hasil perancangan dan simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan membandingkan pada nilai kapasitansi yang sama ($C_L = 15$ pF untuk TTL dan $C_L = 50$ pF untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik daripada IC DM74LS151 (t_{PD}=12.5ns dan P_{DP}=375pJ), IC MC74HC151A (t_{PD}=34ns dan P_{DP}=17000pJ), IC 74LS138 (t_{PD}=20ns dan P_{DP}=640pJ) dan IC MC74HC138A (t_{PD}=27ns dan P_{DP}=13500pJ).

Kata Kunci: *B²Spice*, Disipasi Daya, *Propagation Delay*, Multiplekser-Demultiplekser, HCMOS

BAB I PENDAHULUAN

1.1. Latar Belakang

Multiplekser atau selektor data adalah suatu rangkaian logika yang menerima beberapa input data dan untuk suatu saat tertentu hanya mengijinkan satu dari data input tersebut untuk diteruskan pada output. Jalur yang akan ditempuh dari input data yang diinginkan ke output dikontrol oleh pemilih input *selector* dan sebaliknya untuk prinsip kerja demultiplekser (Mismail, 1998:155).

Teknologi HCMOS adalah teknologi CMOS yang didesain secara khusus sehingga memiliki *propagation delay* yang sama atau lebih baik dari TTL terutama untuk menggerakkan beban kapasitansi yang besar. Teknologi CMOS juga memiliki kelebihan lain dalam konsumsi disipasi daya yang rendah dan *noise margin* yang baik daripada teknologi TTL (Darmawansyah, dkk, 2008: 1).

Penelitian yang berkaitan dengan *integrated circuit design* telah dilakukan oleh beberapa orang diantaranya adalah Daniel Kehrer pada 2003 yang mendesain 2:1 Multiplexer dan 1:2 Demultiplexer dengan teknologi standard CMOS 120nm (Kehrer, 2003: 1).

Penelitian lain dilakukan oleh Tibyani dan Agung Darmawansyah pada 2008 dengan mendesain IC Decoder peraga matrix 7x5. (Darmawansyah, dkk,2008: 1)

Pada penelitian yang dilakukan sebelumnya telah dirancang rangkaian multiplekser dan demultiplekser 4 bit dalam satu modul dengan menggunakan teknologi HCMOS dan diperoleh *propagation delay* yang rendah dalam orde ns. (Stefanie, dkk, 2012: 6)

Penelitian yang dilakukan kali ini adalah perancangan rangkaian multiplekser dan demultiplekser dengan menggunakan teknologi HCMOS serta menggunakan data sebanyak 8 bit, karena dalam dunia telekomunikasi rangkaian ini digunakan sebagai alternatif untuk penghemat biaya penggunaan saluran komunikasi serta dijadikan sebagai suatu cara untuk mengatasi keterbatasan saluran komunikasi. Dalam perancangan diinginkan suatu hasil yang ideal dalam beberapa aspek seperti VTC (*Voltage Transfer Characteristic*), *propagation delay* yang cepat, dan disipasi daya yang rendah.

1.2. Rumusan Masalah

Berdasarkan pada latar belakang yang telah diuraikan, maka rumusan masalah dalam perancangan IC 8 bit Multiplekser-Demultiplekser HCMOS sebagai berikut:

- 1) Bagaimana merancang rangkaian terintegrasi 8 bit Multiplekser-Demultiplekser HCMOS.
- 2) Bagaimana performansi hasil rancangan IC 8 bit Multiplekser-Demultiplekser HCMOS menggunakan program B^2Spice .
- Menganalisa hasil perbandingan perhitungan manual dengan hasil simulasi karakteristik rancangan yang telah ditentukan.
- Bagaimana membuat *layout* dari hasil rancangan dengan menggunakan program *Microwind2* dengan teknologi 0.12μm CMOS proses (= 0.06μm).

1.3.Tujuan

Tujuan penelitian ini adalah merancang IC 8 bit multiplekser-demultiplekser HCMOS dengan *propagation delay* dan disipasi daya seminimal mungkin sehingga memiliki performansi kerja yang baik. Model simulasi untuk rancangan rangkaian tersebut menggunakan *software* B^2Spice , dan pembuatan *layout* rangkaian menggunakan *Microwind2*. Proses fabrikasi IC 8 bit Multuplekser-Demultiplekser HCMOS tidak dilakukan dalam penelitian ini.



BAB II

TINJAUAN PUSTAKA

2.1 MOSFET

MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) adalah suatu transistor dari bahan semikonduktor (silikon) dengan tingkat konsentrasi ketidakmurnian tertentu yang akan menentukan jenis transistor tersebut, yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS). Bahan silicon ini yang akan digunakan sebagai landasan (*substrat*) penguras (*drain*), sumber (*source*), dan gerbang (*gate*). Selanjutnya transistor ini dibuat sedemikian rupa agar antara substrat dan gerbangnya dibatasi oleh oksida silicon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri kanal, sehingga transistor MOSFET akan mempunyai kelebihan dibanding dengan transistor BJT (*Bipolar Junction Transistor*), yaitu menghasilkan disipasi daya yang rendah.

Bila dilihat dari cara kerjanya, transistor MOS dapat dibagi menjadi dua, yaitu:

1. Transistor Mode Pengosongan (Transistor Mode Depletion)

Pada transistor mode *depletion*, antara *drain* dan *source* terdapat saluran yang menghubungkan dua terminal tersebut, dimana saluran tersebut mempunyai fungsi sebagai saluran tempat mengalirnya elektron bebas. Lebar dari saluran itu sendiri dapat dikendalikan oleh tegangan gerbang.

2. Transistor Mode peningkatan (Transistor Mode *Enhancement*)

Transistor mode *enhancement* ini pada fisiknya tidak memiliki saluran antara *drain* dan *source* karena lapisan bulk meluas dengan lapisan SiO_2 pada terminal *gate*. Kedua jenis transitor ini dapat dilihat dalam Gambar 2.1. (a), (b), sedangkan untuk simbol kedua jenis tipe transistor ini ditunjukkan dalam Gambar 2.1. (c), (d).



Gambar 2. 1. a) Tipe-N pengosongan, b) Tipe-P pengosongan, c) Tipe-N peningkatan, d) Tipe-P peningkatan Sumber: Geiger, 1990: 59 Dilihat dari jenis saluran yang digunakan, transistor MOSFET dapat dikelompokan menjadi tiga, antara lain:

1. NMOS

Transistor NMOS terbuat dari substrat dasar tipe n dengan daerah source dan drain didifusikan tipe n⁺ dan deerah kanal terbentuk pada permukaan tipe n. NMOS yang umumnya banyak digunakan adalah NMOS jenis *enhancement*, dimana pada jenis ini *source* NMOS sebagian besar akan dihubungkan dengan –Vss mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan +Vdd. *Negatif* MOS adalah MOSFET yang mengalirkan arus penguras sumber menggunakan saluran dari bahan electron, sehingga arus yang mengalir jika tegangan gerbang lebih positif dari substrat dan nilai mutlaknya lebih besar dari *V_T* (*Voltage Treshold*). Skematik MOSFET tipe-n ditunjukkan dalam Gambar 2.2.



Gambar 2. 2. Skematik MOSFET tipe-n Sumber: Hodges-Jackson 1987: 37

2. PMOS

Transistor PMOS terbuat dari substrat dasar tipe p dengan daerah *source* dan *drain* didifusikan tipe p⁺ dan deerah kanal terbentuk pada permukaan tipe p. *Positif* MOS adalah MOSFET yang mengalirkan arus penguras sumber melalui saluran positif berupa *hole*, dimana arus akan mengalir jika tegangan gerbang lebih negative terhadap substrat dan nilai mutlaknya lebih besar dari V_T . PMOS yang umumnya banyak digunakan adalah PMOS jenis *enhancement*, dimana pada jenis ini source PMOS sebagian besar akan dihubungkan dengan +Vdd mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan -Vss.

3. CMOS (Complementary MOS)

MOSFET tipe *complementary* ini mengalirkan arus penguras sumber melalui saluran tipe-n dan tipe-p secara bergantian sesuai dengan tegangan yang dimasukkan pada gerbangnya (*gate*).

2.1.1 Bentuk Dasar MOSFET

1. NMOS Tipe Enhancement

Struktur transistor NMOS terdiri atas substrat tipe-p dengan daerah *source* dan *drain* diberi difusi n⁺. Diantara daerah *source* dan *drain* terdapat suatu daerah sempit dari substrat p yang disebut *channel* yang ditutupi oleh lapisan penghantar (isolator) yang terbuat dari SiO₆. Panjang *channel* disebut *Length* (L) dan lebarnya disebut *Width* (W). Gerbang (*gate*) terbuat dari polisilikon dan ditutup oleh penyekat yang diendapkan.

Struktur transistor NMOS terdiri atas substrat tipe-p dan tipe-n. Kedua parameter ini sangat penting untuk mengontrol MOSFET. Parameter yang tidak kalah penting adalah ketebalan lapisan oksida yang menutupi daerah *channel* (t_{ox}). Di atas lapisan insulating tersebut didepositkan polycrystalline silicon (polysilicone) *electrode*, yang disebut dengan gerbang (*gate*). Struktur fisik NMOSFET tipe *enhancement* ditunjukkan dalam Gambar 2.3.



Gambar 2. 3. Struktur fisik N-MOSFET Tipe *Enhancement* Sumber: Kang, 1996: 55

2. PMOS Tipe Enhancement

Struktur transistor PMOS terdiri atas substrat tipe-n dengan daerah *source* dan *drain* diberi difusi p^+ , dan untuk kondisi yang lain adalah sama dengan NMOS.

2.1.2 Karakteristik dan Operasi MOSFET

Grafik karakteristik MOSFET (NMOS) arus I_D sebagai fungsi V_{DS} dengan parameter V_{GS} ditunjukkan dalam Gambar 2.4. Pada MOSFET terdapat tiga daerah operasi yaitu daerah *cut-off*, linear dan saturasi. Daerah *cut-off*, memiliki tegangan gerbang lebih kecil daripada tegangan ambang, sehingga tidak terbentuk saluran, dan arus tidak dapat mengalir ($I_D = 0$).

Pada daerah linear, pada awalnya gerbang diberi tegangan hingga terbentuk saluran. Apabila *drain* diberi tegangan yang kecil, maka elektron akan mengalir dari *source* menuju *drain* atau arus akan mengalir dari *drain* ke *source*. Selanjutnya saluran tersebut akan bertindak sebagai suatu tahanan, sehingga arus *drain* (I_D) akan sebanding dengan tegangan *drain* (Kang, 1996: 78).

BRAWIJAYA

repository.ub.ac.id

$$\mathbf{I}_{D} (\text{LIN}) = \mathbf{k}_{n} \left[(V_{GS} - V_{T}) V_{DS} - \frac{V_{DS}^{2}}{4^{2}} \right]$$
(2.1)

Apabila tegangan *drain* ditingkatkan sampai tegangan pada *gate* menjadi netral, lapisan inversi saluran pada sisi *drain* akan hilang, dan mencapai suatu titik yang disebut titik *pinch-off*. Pada titik *pinch-off* ini merupakan permulaan dari daerah kerja saturasi. Apabila melebihi titik ini, peningkatan tegangan *drain* tidak akan mengubah arus *drain*, sehingga arus *drain* tetap (konstan) (Kang, 1996: 78).

$$I_{\rm D} \left({\rm SAT} \right) = \frac{k_n}{2} \left(V_{GS} - V_{Tn} \right)^2 \tag{2.2}$$

Karakteristik arus-tegangan (output) MOSFET ditunjukkan dalam Gambar 2.4.



Gambar 2. 4. Grafik Karakteristik MOSFET Arus I_D sebagai Fungsi V_{DS} dengan Parameter V_{GS} Sumber: Geiger, Allen, Strader, 1990: 151

Disebelah kiri garis putus-putus, transistor berlaku sebagai tahanan (resistor) yang dikendalikan tegangan tak linier, ini disebut sebagai daerah kerja linier atau tak jenuh (*non-saturation*) atau disebut daerah *ohmic*. Untuk daerah sebelah kanan garis putus-putus grafik mendekati sumber arus yang dikendalikan tegangan.

Bentuk operasi untuk MOSFET saluran-p adalah sama seperti pada transistor MOSFET saluran-n. Pernyataan arus *drain* identik dengan polaritas tegangan dan arah arus terbalik (Geiger, 1990: 152).

- $Cutoff = VSG.p \le -VTp$ ID (OFF) = 0
- Linear = $V_{SG,p}$ V_{Tp} , dan $V_{SD,p}$ $V_{SG,p}$ + V_{TP}

$$I_{D,P}(LIN) = kp \left[(V_{SG,p} - V_{TP}) V_{SD,p} - \frac{V_{SD,p}^2}{2} \right]$$
(2.3)

• Saturasi =
$$V_{SG,p}$$
 - V_{Tp} , dan $V_{SD,p}$ - $V_{SG,p} + V_{TP}$
 $I_D (SAT) = \frac{k_p}{2} (V_{SG,p} - V_p)^2$
(2.4)

Tegangan ambang dapat didefinisikan sebagai tegangan minimal yang diperlukan oleh suatu sistem (dalam hal ini transistor MOS) untuk mulai mengalir atau

dalam sebuah MOS adalah tegangan antara *gate* dan *ground* yang menyebabkan arus antara *drain* dan *source* maksimal (saturasi).

Tegangan ambang untuk MOSFET dapat dinyatakan dengan persamaan sebagai berikut (Kang, 1996: 60).

$$V_{T} = V_{T0} + \chi \left(\sqrt{\left| -2\{_{F} \right|} + V_{SB} - \sqrt{\left| 2\{_{F} \right|} \right)$$
(2.5)

dengan :

 $V_{\rm T}$ = tegangan ambang (V)

 V_{TO} = tegangan ambang untuk VSB = 0 (V)

 γ = efek bias *body* (V^{1/2})

$$V_{SB}$$
 = tegangan source-body (bulk)

 $\varphi_{\rm F}$ = potensial fermi (V)

Logika dasar CMOS dapat dibias dengan persamaan $V_T = V_{TO}$, sehingga untuk memudahkan penulisan, V_T akan digunakan untuk menyatakan tegangan ambang jika

$$V_{\rm T} = V_{\rm TO}.$$

 $x = \frac{\sqrt{2q.N_a.E_s}}{C_{OX}}$ dengan:

q = besar muatan

N_a = jumlah pembawa muatan mayoritas akseptor

 E_s = permitivitas silikon

C_{Ox} = kapasitansi persatuan luas

Besarnya dapat ditentukan dengan persamaan (Kang, 1996: 49) :

$$\begin{cases} F = \frac{kT}{q} \ln\left(\frac{n_i}{p}\right) & (\text{Semikonduktor tipe-p}) & (2.7) \end{cases}$$

$$\begin{cases} F = \frac{kT}{q} \ln\left(\frac{n}{n_i}\right) & (\text{Semikonduktor tipe-n}) & (2.8) \end{cases}$$

k adalah konstanta Boltzman, T adalah temperatur dalam Kelvin, q besar muatan dalam Coulomb, dan p dan n adalah konsentrasi pembawa muatan mayoritas (dianggap sama dengan konsentrasi *doping* N_a dalam Persamaan 2.6). n_i adalah konsentrasi pembawa muatan dalam semikonduktor intrinsik.

Jika VSB MOSFET adalah positif, maka akan meningkatkan tegangan ambang efektif untuk MOSFET kanal-n yang disebut *efek bias body* dan terdapat dalam

(2.6)

Persamaan 2.5. Dalam rangkaian terintegrasi NMOS, substrat selalu dihubungkan dengan tegangan paling negatif dalam sistem, sehingga analisis karakteristik fungsi alih akan mendekati keakuratannya.

2.1.3 Persambungan MOSFET

Dalam persambungan MOSFET, untuk membedakan dengan terminal sumber S, terminal gerbang diberi simbol G dan terminal substrat diberi simbol B (*bulk/body*) seperti ditunjukkan dalam Gambar 2.5.



Gambar 2. 5. Struktur Persambungan MOSFET Sumber: Suprapto, 2000:7

Besarnya potensial statik di antara gerbang dan substrat tergantung pada konsentrasi atom ketidakmurniannya. Secara matematis dapat ditulis (Suprapto, 2000:8):

$$\sum_{gerbang}^{bulk} (potensial statik) = \{_{bulk} \}$$

(2.9)

Keberadaan potensial statik ini menyebabkan munculnya muatan pada kedua sisi isolator, dalam hal ini silikon dioksida. Polaritasnya ditunjukkan dalam Gambar 2.5(b). muatan batas ini akan hilang jika potensial total dalam *loop* tertutup gerbang *SiO2* substrat-gerbang sama dengan nol. Untuk mencapai kondisi demikian, maka:

$$V_{GB} = \{ms$$
 (2.10)

Dengan $\{m_s \text{ adalah potensial statik antara gerbang dan$ *bulk*, didefinisikan sebagai:

$$\{ms = \{gerbang - \{bulk\}$$
(2.11)

Hal lain yang berpengaruh pada potensial statik persambungan MOS dihasilkan oleh muatan oksida silikon yang ditumbuhkan selama proses pabrikasinya. Pengaruh

BRAWIJAYA

muatan terhadap persambungan MOS dimodelkan sebagai suatu lapisan tunggal SiO_2 bermuatan Q_0 positif maka dalam substrat terbentuk atom-atom *acceptor*. Sedangkan di permukaannya tertumpuk elektron, sehingga terbentuk saluran.

Untuk menghilangkan pengaruh ini perlu diberikan muatan sebesar $-Q_0$ pada gerbang dengan jalan memberikan suatu sumber tegangan luar dengan terminal negatif pada gerbang. Potensial oksida silikon (ϕ_{ox}) adalah potensial gerbang terhadap substrat melalui SiO₆. Besarnya potensial ini adalah (Rabaey, 1999: 95) :

$$\begin{cases} o_{ox} = \frac{V_{ox}}{t_{ox}} \end{cases}$$
(2.12)

BRAW

dengan :

 C_{ox} = kapasitansi persatuan luas

 t_{ox} = ketebalan silikon dioksida

 ϵ_{ox} = permitivitas ruang hampa = 8.86E⁻¹² F/m

Untuk muatan maupun kapasitasnya dinyatakan dalam $\frac{Q_0}{A}$ dan $\frac{Cox}{A}$. A adalah luas melintang dioksida silikon. Potensial oksida silikon dapat dinyatakan:

$$\{_{ox} = \frac{-Q_o}{C_{ox}} \tag{2.13}$$

Tegangan yang digunakan untuk menetralkan persambungan MOS adalah tegangaan pita datar (*flat Band Voltage*) dan disimbolkan dengan V_{FB}. Besarnya tegangan pita datar ini adalah :

$$V_{FB} = \begin{cases} \frac{-Q_o}{C_{ox}} \end{cases}$$
(2.14)

Terdapat empat macam tegangan pada rangkaian tertutup persambungan MOS,

yaitu:

1) Tegangan sumber luar (VGB)

2) Tegangan oksida silikon (ϕ_{ox})

3) Tegangan permukaan (ϕ_s)

4) Tegangan kontak (ϕ_{ms})

Tegangan sumber luar yang besarnya tidak sama menimbulkan tegangan permukaan di permukaan substrat. Hal ini terjadi untuk mencapai keadaan setimbang. Secara matematis dapat ditulis:

$$V_{GB} = \varphi_{\rm ox} + \varphi_{\rm s} + \varphi_{\rm ms} \tag{2.15}$$

 ϕ_{ms} dan ϕ_{ox} memiliki nilai konstan, sehingga pengubahan nilai V_{GB} akan menyebabkan perubahan pada ϕ_s . Variasi nilai V_{GB} dan V_{FB} memberikan empat macam keadaan pada persambungan MOS, yaitu:

1) Kondisi pita datar (Flat Band Condition)

Pada kondisi ini muatan permukaan dan tegangan permukaan tidak timbul atau sama dengan nol.

 $V_{GB} = V_{FB}, Q_{sc} = 0, \phi_s = 0$

2) Akumulasi (Accumulation)

Kondisi ini tercapai pada saat $V_{GB} < V_{FB}$. Pada saat ini muatan pada gerbang relatif lebih negatif terhadap muatan pada saat $V_{GB} = V_{FB}$. Oleh karena itu, lubang akan tertumpuk di permukaan sebagai akibatnya timbul muatan dan tegangan di permukaan:

 $V_{GB} < V_{FB}, \, Q_{sc} > 0, \, \phi_s < 0$

3) Pengosongan (Depletion)

Untuk $V_{GB} < V_{FB}$ maka muatan positif ditimbulkan di gerbang. Akibatnya lubang-lubang dipermukaan ditekan ke bawah dan meninggalkan ionion akseptor bermuatan negatif. Muatan yang ditimbulkan oleh ion-ion ini disebut sebagai muatan pengaturan. Besarnya muatan di dalam semikonduktor yang ditimbulkan adalah:

$$Q_{sc} = Q_{SG} - Q_0 = (v_G - V_{FB} - \phi_s). C_{ox}$$
 (2.16)

Sehingga besarnya muatan pengaturan:

$$X_B = \frac{\sqrt{2V_s}}{qNa} \{ s$$
(2.17)

Dimana ε_s adalah konstanta dielektrik silikon.

4) Kondisi pembalikan (*inversion*)

Untuk $V_{GB}>V_{FB}$ maka akan tertarik ke permukaan. Sehingga di permukaan substrat bertipe sebaiknya (*n*). Elektron di dalam substrat sebagai pembawa minoritas.

2.1.4 Karakteristik Arus Tegangan

Bila V_{GS} lebih besar dari V_T terdapat sebuah saluran penghantar dan V_{DS} menyebabkan arus *drain* (I_D) mengalir dari *drain* ke *source*. Tegangan V_{DS} menyebabkan prategangan balik (*reverese bias*) yang besar dari *drain* ke *body* daripada

7)

dari *source* ke *body*. Jadi terdapat lapisan pengosongan yang lebih lebar pada *drain* (Kang, 1996: 69).

$$I_{D} = k \frac{W}{L} \left[(V_{GS} - V_{T}) V_{DS} - \frac{V_{DS}^{2}}{2} \right]$$
(2.18)

Parameter transkonduktansi adalah k = k (*W/L*). Subtitusi Persamaan 2.18 dengan parameter transkonduktansi menghasilkan persaman:

$$I_{D} = \frac{k}{2} \Big[2(V_{GS} - V_{T}) V_{DS} - V_{DS}^{2} \Big]$$

Jika : VGS = VT
$$V_{DS} = (V_{GS} - V_{T})$$

Maka : $I_{D} = \frac{k}{2} (V_{GS} - V_{T})^{2}$ (2.19)

2.1.5 Kapasitansi Transistor MOSFET

Semua waktu respon alih MOSFET digital sebanding dengan kapasitansi keluaran (C_{out}). Minimalisasi C_{out} menjadi objek terpenting dalam perancangan rangkaian logika berkecepatan tinggi. Kapasitansi serpih MOSFET akan dipertimbangkan dalam proses fabrikasi dan ukuran *layout*.



Gambar 2. 6. Kapasitansi Parasitik MOSFET Sumber: Geiger, 1990: 162

Beberapa struktur kapasitansi terkumpul (*lumped*) setara dikenalkan sebagai model *non-linier* (tergantung tegangan) yang ditunjukkan dalam Gambar 2.6. Perhitungan hanya dalam perkiraan rata-rata sehingga analisis yang lebih akurat memerlukan simulasi komputer.

Walaupun tidak dapat ditentukan dengan pasti simpul keluaran kapasitansi (C_{out}), tetapi perkiraan dapat diperoleh relatif langsung dengan pemodelan. Hal ini dilakukan dengan mengisolasi kapasitansi intrinsik. Kapasitansi MOSFET yang dibuat akan mendekati kesesuaian dengan setiap transistor dalam rangkaian. Nilai C_{out} untuk perantaraan gerbang logika dapat dibuat dengan menggabungkan kapasitansi MOSFET

dengan kapasitansi saluran C_{out}. Karena keduanya adalah paralel, maka dapat langsung dijumlahkan dengan C_{out} sebagai kapasitansi tersendiri.

Besar kapasitansi C_{out} menentukan waktu tunda rambatan dan besar perkalian daya tunda (*power delay product*). Kapasitansi dalam model ditentukan juga oleh ukuran geometris dari panjang dan lebar gerbang serta ukuran panjang difusi muatan ion dalam saluran dan sumber. Nilai kapasitansi parasitik MOSFET ditunjukkan dalam Tabel 2.1.



$$L = L_s + L_d + L \tag{2.20}$$

Dengan *L* adalah panjang efektif dari gerbang MOSFET (di antara daerah n^+ saluran dan sumber). L_s dan L_d memberikan jarak *overlap* pada gerbang saluran untuk membuat $L_s>0$ dan L_d>0 digunakan untuk operasional alat dan memastikan lapisan inversi dapat membuat hubungan dengan kedua daerah n^+ saluran dan sumber. Kapasitansi *overlap* dapat dihitung dengan (Rabaey, 1999: 95) :

$$C_{ols} = C_{ox}WL_sC_{old} = C_{ox}WL_d$$
(2.21)

dengan:

$$C_{ox} = \frac{V_{ox}}{t_{ox}}$$
(2.22)

 C_{ols} adalah kapasitansi *overlap source* dan C_{old} adalah kapasitansi *overlap drain*. Dengan C_{ols} dan C_{ox} tetap sesuai dengan ukuran. Untuk kapasitansi yang lain adalah C_{gs} , C_{gd} , C_{gb} (kapasitansi parasit setiap terminal). Masing-masing kapasitor tersebut dipengaruhi oleh fungsi tegangan gerbang dan tegangan sumber, $f(V_{GS}, V_{GD})$ dengan persamaan:

$$C_{gs} = C_{ox}WLf_l(V_{GS}, V_{GD})$$
(2.23)

$$Cgd = C_{ox}WLf_2(V_{GS}, V_{GD})$$
(2.24)

Nilai f_1 dan f_2 adalah fungsi yang menyatakan ketergantungan tidak-linier pada tegangan dan C_{gb} adalah kapasitansi gerbang-badan berisi muatan tipe-p tergantung pada tegangan, dinyatakan sebagai:

$$Cgd = C_{ox}WLf_{3}(V_{GS}, V_{GD}, V_{SB})$$

$$(2.25)$$

Dengan f_3 termasuk efek bias *body* melalui VSB. Fungsi tegangan f_1 , f_2 , dan f_3 dapat dianalisis langsung, dengan asumsi langsung terhadap perubahan dalam kanal (lapisan inversi). Perhitungan nilai rangkaian perlu kombinasi kapasitansi terhadap kapasitansi *overlap*. Kapasitansi total diberikan (Geiger, 1990: 163) :

$$C_{\rm G} = C_{\rm ox} WL \tag{2.26}$$

Apabila *L* adalah panjang gerbang. Total kapasitansi gerbang-sumber dinyatakan:

$$C_{GS} = C_{ols} + C_{gs}$$
 (2.27)
Sedangkan total kapasitansi gerbang saluran:

$$C_{GD} = C_{ols} + C_{gd}$$

$$(2.28)$$

2.1.6 Lebar dan Panjang (Width dan Length)

Transistor MOS dapat dibuat dengan menyilangkan sebuah poly atau logam (metal) dengan sebuah difusi. Masing- masing poly atau metal dan difusi memiliki luas yang terdiri atas lebar (*Width*) dan panjang (*Length*) dan disimbolkan dengan W dan L. Nilai W dan L akan mempengaruhi dimensi dan beberapa parameter lain dalam perancangan.

Ukuran W dan L ini merupakan parameter terpenting dalam sebuah perancangan transistor MOS. Perbedaan perbandingan ukuran W dan L diusahakan harus sekecil mungkin untuk memperoleh kerapatan rangkaian dan kecepatan proses yang tinggi, yang akhirnya akan menghasilkan performansi yang tinggi.

2.1.7 Definisi Level Logika dan Noise Margin

Sistem digital dalam skala besar selalu terdiri atas interkoneksi gerbang-gerbang dengan jenis *family* sama. Terdapat gerbang yang bertugas sebagai *input port* yang menerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain, yang tentunya dimungkinkan terdapat lagi gerbang setelahnya. Bila

sebuah karakter digital ditransmisikan antar gerbang maka level tegangan V(1), merepresentasikan logika 1 dan level tegangan V(0) mempresentasikan logika 0. Setiap level tegangan harus secara konsisten diproduksi oleh setiap gerbang. Secara konversi, level tegangan V(1) dan V(0) dinamakan V_{OH} dan V_{OL} yang ditunjukkan dalam Gambar 2.7.



Sumber: Kang, 1996: 137

Hubungan antara V_{OH} dan V_{OL} adalah hal yang cukup penting pada grafik VTC. Grafik VTC yang ditunjukkan dalam Gambar 2.7. Kemiringan grafik untuk nilai yang dapat diterima minimal adalah -1. Kemiringan -1 terletak pada titik-titik kritis pada grafik (titik belok). Nilai tegangan keluaran di antara dua titik kemiringan ini dinamakan daerah logika tak tentu.

Pada kenyataannya, nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah V_{OH} atau diatas V_{OL} . Fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen L dan C parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi seperti ini. Sebagai konsekuensi, sebuah gerbang harus memproses nilai tegangan yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai V_{OH} dan V_{OL} pada setiap *gate* harus direndam dan bukan diperkuat. Penguatan fluktuasi tegangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik VTC adalah -1 (titik kritis) didefinisikan nilai tegangan V_{IH} dan V_{IL} . Letak V_{IH} dan V_{IL} ditunjukkan dalam Gambar 2.7.

Nilai tegangan masukan ini menunjukkan nilai tertinggi tegangan masukan yang dapat diterima dengan nilai 0 dan masih bisa mengeluarkan nilai 1 yang dapat diterima oleh gerbang lain. V_{IH} didefinisikan sebagai nilai terkecil yang dapat diterima oleh sebuah gerbang dengan nilai 1 dan masih bisa mengeluarkan nilai 0 yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara V_{OH} , V_{IH} , V_{OL} , V_{IL} menjadi penting. Gambar 2.8 menunjukkan parameter lain yaitu *noise margin. Noise margin* menunjukkan kekebalan relatif sebuah *family* logika terhadap *noise. Noise margin* sebuah *family* logika diketahui dengan mengevaluasi karakteristik sebuah *single* inverter.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1 maka secara ideal, masukan untuk gerbang berikutnya bernilai V_{OH} . Namun seandainya nilai tersebut jatuh sehingga bernilai V_{IH} maka masih akan dianggap berlogika 1. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan jatuh di bawah nilai V_{IH} . Perbedaan nilai V_{OH} dan V_{IH} merepresentasikan daerah yang diterima berlogika 1, disebut NM_H.



 $NM_H = V_{OH} - V_{IH}$

dengan:

 $V_{OH} = Nilai ideal logika 1$

 $V_{IH} =$ Nilai minimum logika 1 yang bisa diterima

 $Parameter \ NM_{H} \ berlaku \ untuk \ tegangan \ masukan \ tinggi. \ Semakin \ besar \ nilai \\ NM_{H} \ maka \ akan \ semakin \ tahan \ suatu \ gerbang \ terhadap \ perubahan \ level \ logika \ pada \\ suatu \ daerah \ logika \ 1.$

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0 maka secara ideal, masukan untuk gerbang berikutnya bernilai V_{OL} . Seandainya nilai tersebut naik sehingga bernilai V_{IL} maka masih akan dianggap berlogika 0. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan naik di atas V_{IL} . Perbedaan nilai V_{IL} dan V_{OL} merepresentasikan daerah yang diterima berlogika 0, disebut NM_L,

$$NM_{L} = V_{IL} - V_{OL}$$

$$(2.30)$$

dengan :

 V_{OL} = Nilai ideal logika 0 V_{IL} = Nilai maksimum logika 0 yang bisa diterima (2.29)

Parameter NM_L berlaku untuk tegangan masukan rendah. Semakin besar nilai NM_L maka akan semakin tahan suatu gerbang terhadap perubahan level logika daripada daerah logika 0. Secara umum, suatu gerbang dikatakan memiliki *noise margin* tinggi bila memiliki NM_L dan NM_H yang besar (Kang, 1996: 146).

2.1.8 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini memperngaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang.



Gambar 2. 9. Definisi *Delay* dalam Gerbang Logika Sumber: Rabaey, 1999: 117

Rise time (t_r) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10% V_{DD} ke 90% V_{DD} untuk gerbang dengan tegangan "LOW" 0V dan tegangan "HIGH" V_{DD}. *Fall time* (t_f) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90% V_{DD} ke 10% V_{DD}. *Propagation delay* diukur antara dua titik pada gelombang masukan dan keluaran seperti ditunjukkan dalam Gambar 2.9. *Propogation Delay* ketika transisi keluaran dari logika "LOW" ke "HIGH" dinamakan t_{PLH}. Sedangkan transisi keluaran logika "HIGH" ke "LOW" dinamakan t_{PHL}. Rumus yang dipakai untuk menghitung *propagation delay* t_{PLH} dan t_{PLH} adalah

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \gamma_p C_{ox} \left(\frac{W}{L}\right)_p V_{DD}}$$
(2.31)
$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \gamma_N C_{ox} \left(\frac{W}{L}\right)_N V_{DD}}$$
(2.32)

2.1.9 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan besarnya daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu:

1. Disipasi daya statis

Disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Jalur DC antara V_{DD} dan V_{SS} selalu terputus oleh transistor yang *cut off* dalam keadaan mantap (*steady state*).

2. Daya pensaklaran (*switching*) DC

Disipasi daya yang disebabkan pensaklaran DC, terjadi karena masukan gerbang berada pada daerah transisi. Untuk gerbang logika disipasi daya ratarata pensaklaran DC meningkat dengan meningkatnya waktu *switching* sinyal masukan. Disipasi daya yang disebabkan pensaklaran DC hanya berpengaruh sekitar 10% terhadap disipasi daya total sisitem CMOS.

3. Daya pensaklaran AC

Disipasi daya yang terjadi ketika kapaitansi total pada gerbang menyimpan dan melepaskan muatan (Geiger, 1990: 597). Komponen utama disipasi daya CMOS adalah daya pensaklaran AC. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah C dan nilai tegangan catu V_{DD} , maka energi yang diberikan pada kapasitor adalah (Rabaey, 1999: 209):

$$E = \int_{0}^{\infty} Vi(t)dt = CV^2 \qquad (2.33)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah $^{1}/_{2}CV^{2}$ atau setengah dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan, mulai jumlah energi yang disimpan sebelumnya akan dilepaskan pula. Sehingga energi keseluruhan yang dilepas kapasitor dalam satu siklus adalah CV^{2} . Bila frekuensi operasi, maka disipasi daya rata-rata adalah (Kang, 1996: 244):

$$P = C_L V_{DD}^2 f \tag{2.34}$$

Analisis ini menunjukkan bahwa rata-rata disipasi daya AC pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi, frekuensi kerja akan naik karena ukuran transistor

yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu dan kapasitansi gerbang diturunkan maka disipasi daya akan turun. Oleh karena itu, dalam rangkaian terintegrasi sistem logika CMOS banyak digunakan.

Dalam kondisi keluaran gerbang IC tanpa beban, jika I_{CCL} merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika rendah dan I_{CCH} merupaka arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika tinggi, maka daya rata-rata yang dikonsumsi sebuah IC adalah

$$P_{D}(rata - rata) = \frac{I_{CCH} + I_{CCL}}{2} x V_{DD}$$

$$= I_{CC}(rata - rata) x V_{DD}$$
(2.35)

Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata.

 $PDP = t_{dly}.P$ (2.36)

2.2 NAND CMOS

Gerbang NAND memiliki nilai logika keluaran 1 apabila salah satu masukannya 0, dan akan memiliki nilai keluaran 0 jika seluruh masukannya bernilai 1. Gambar 2.10 memperlihatkan struktur gerbang NAND dengan CMOS.



Gambar 2. 10. Susunan NAND CMOS Sumber: Kang, 1996:176

Pada NAND CMOS, jika A rendah, Q1 menyala dan Q4 mati, dan menyebabkan keluaran mempunyai tegangan sama dengan tegangan catu V_{DD} (logika 1). Demikian juga halnya jika B rendah, Q2 menyala dan keluarannya juga tinggi. Jika A dan B keduanya tinggi, Q3 dan Q4 akan menyala, dan menyebabkan keluarannya bernilai logika 0, sehingga keluarannya merupakan fungsi NAND.

Rangkaian inverter CMOS ditunjukkan dalam Gambar 2.11. Tegangan masukan dihubungkan ke terminal gerbang dari kedua transistor NMOS dan PMOS. Jadi, kedua transistor secara langsung digerakkan oleh sinyal masukan (V_{in}). substrat transistor NMOS terhubung ke *ground*, sedangkan substrat transistor PMOS terhubung ke catu daya rangkaian, V_{DD} tersambung ke *drain* dan sumber dibias balik.



Gambar 2. 11. Rangkaian Inverter CMOS Sumber: Kang, 1996: 176

Berdasarkan pada Gambar 2.11 dapat diketahui bahwa (Kang, 1996: 177):

$V_{GS.n} = V_{in}$	(2.37)
$V_{DS, n} = V_{out}$	(2.38)
dan,	
$\mathbf{V}_{\mathrm{GS},\mathrm{p}} = -\left(\mathbf{V}_{\mathrm{DD}} - \mathbf{V}_{\mathrm{in}}\right)$	(2.39)
$\mathbf{V}_{\mathrm{DS},\mathrm{p}} = -\left(\mathbf{V}_{\mathrm{DD}} - \mathbf{V}_{\mathrm{out}}\right)$	(2.40)
Jika tagangan masukan labih kacil darinada tagangan ambang NM	105 10

Jika tegangan masukan lebih kecil daripada tegangan ambang NMOS, yakni V_{in} < $V_{T,n}$, maka transistor NMOS dalam kondisi *cut-off*. Pada saat yang sama, transistor sama dengan nol, yakni

 $\mathbf{I}_{\mathbf{D},\mathbf{n}} = \mathbf{I}_{\mathbf{D},\mathbf{p}} = \mathbf{0}$

Tegangan *drain-source* transistor PMOS juga sama dengan nol dan tegangan keluaran V_{OH} sama dengan tegangan catu, yakni

$$\mathbf{V}_{\text{out}} = \mathbf{V}_{\text{OH}} = \mathbf{V}_{\text{DD}} \tag{2.42}$$

Jika tegangan masukan melebihi $V_{DD} = V_{T,p}$, transistor PMOS dalam kondisi *cut-off*. Dalam hal ini, transistor NMOS bekerja dalam daerah linear dan tegangan *drain-source* sama dengan nol karena kondisi Persamaan (2.41) terpenuhi. Akibatnya, tegangan keluaran dari rangkaian adalah:

$$V_{out} = V_{OL} = 0 \tag{2.43}$$

Transistor NMOS bekerja dalam daerah saturasi, jika V_{in} > V_{T,n} dan jika:

(2.41)

Transistor PMOS bekerja dalam daerah saturasi, jika $V_{in} < (V_{DD} + V_{T0,p})$ dan jika :



Gambar 2. 12. Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS Sumber: Kang, 1996: 178

Tabel 2. 2. Le	evel Tegangan Input Out	put Inverter CMOS	
Daerah Operasi	Vin	Vout	
A	<v<sub>TO,n</v<sub>	V _{OH}	
В	VIL	$High = V_{OH}$	
C	VTH	V _{TH}	
D	V _{III}	$Low = V_{OL}$	
E	$>(V_{DD} + V_{TO,p})$	VoL	
	Sumber: Kang, 1996:	179	
Tabel 2.	3. Kondisi Daerah Oper	rasi Transistor	
Daerah Operasi	N-MOS	P-MOS	
А	Cut-off	Linier	
В	Saturation	Linier	
С	Saturation	Saturation	
D	Linier	Saturation	
Е	Linier	Cut-off	
	<u> </u>	1 = 0	

Sumber: Kang, 1996: 179

Daerah operasi trasistor NMOS dan PMOS inverter CMOS ditunjukkan dalam Gambar 2.12 dan Tabel 2.2 dan Tabel 2.3. Pada daerah A, dengan $V_{in} < V_{T,n}$, transistor NMOS dalam kondisi *cut-off* dan tegangan keluaran sama dengan $V_{OH} = V_{DD}$. Dengan tegangan masukan dinaikkan melapaui $V_{T,n}$ (daerah B), transistor NMOS mulai konduksi dalam mode saturasi dan tegangan keluaran mulai menurun dan tegangan kritis V_{IL} yang menunjukkan nilai $dV_{out}/dV_{in} = -1$ terletak pada daerah B.

 $V_{DS,p}$

(2.45)

Pada tegangan keluaran terus menurun, transistor PMOS memasuki daerah saturasi pada batas daerah C. sat $V_{in} = V_{out}$ maka terletak pada daerah C. jika tegangan keluaran V_{out} turun di bawah $V_{in} - V_{T,n}$, transistor NMOS mulai bekerja dalam mode linear yang ditunjukkan dalam daerah D dan tegangan kritis V_{IH} dengan nilai $dV_{out}/dV_{in} = -1$ juga teletak pada daerah ini. Pada daerah E dengan tegangan masukan $V_{in} > V_{DD} + V_{T,p}$, transistor PMOS dalam kondisi *cut-off* dan tegangan keluaran adalah $V_{OL} = 0$. Karakteristik dari inverter CMOS adalah hanya salah satu dari transistornya yang *ON* saat keadaan mantap, menyebabkan inverter CMOS memiliki sifat "*ratioless* inverter". Sifat *ratioless* inverter adalah sifat sebuah *inverter* dimana tegangan keluaran dalam kondisi mantap, tidak dipengaruhi (*independent*) oleh rasio ukuran transistor *pull-up* dan *pull-down* adalah berakibat terhadap resistansi ekivalien transistor pada saat menghantar. Sehingga pengambilan ukuran dapat diarahkan pada kemampuan divais untuk mensuplai arus yang sama baik pada saat keluaran berlogika "HIGH" maupun "LOW", sifat ini dinamakan "*symmetric output drive*".

Bila resistansi ekivalen transistor tipe-n adalah R_N dan resitansi ekivalen untuk transistor tipe-p adalah R_p , maka berlaku kesebandingan,

$R_N \propto \frac{L_N}{W_N K_N}$			(2.46)
dan,			
$R_P \propto \frac{L_P}{W_P K_P}$			(2.47)
dengan:			
L_N dan L_P	=	panjang <i>channel</i>	
W_N dan W_P	=	lebar <i>channel</i>	
K_N dan K_P	=	parameter transkonduktansi	

Keluaran akan bersifat symmetric output drive bila R_N=R_P. Jika diambil nilai

yang umum untuk parameter traskonduktansi (K_N=2.5 K_P), maka

$$\frac{L_N W_P}{W_N L_P} = \frac{K_N}{K_P} = 2.5$$

2.3.1 Analisis Matematis Tegangan Masukan Rendah (VIL)

Kemiringan dari suatu VTC sama dengan -1, yakni $dV_{out}/dV_{in} = -1$, ketika tegangan masukan $V_{in} = V_{IL}$. Dalam hal ini, transistor NMOS beroperasi dalam daerah saturasi, sedangkan transistor PMOS beroperasi dalam daerah linear. Dengan $I_{D,n} = I_{D,p}$, diperoleh persamaan arus yang diberikan oleh

$$\frac{k_n}{2}(V_{GS,n} - V_{T,n})^2 = [2.(V_{GS,p} - V_{T,p}).V_{DS,p} - V_{DS,p}^2]$$
(2.48)

dengan menggunakan Persamaan (2.37) – (2.40), persamaan (2.48) dapat ditulis:

$$\frac{k_n}{2}(V_{in} - V_{T,n})^2 = \frac{k_p}{2}[2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2]$$
(2.49)

dengan mendiferensialkan Persamaan (2.49) terhadap V_{in} diperoleh

$$k_{n}(V_{in} - V_{T,n}) = k_{p} \left[(V_{in} - V_{DD} - V_{T,p}) \left(\frac{dV_{out}}{dV_{in}} \right) + (V_{out} - V_{DD}) \left(\frac{dV_{out}}{dV_{in}} \right) \right]$$
(2.50)

Substitusi $V_{in} = V_{IL} dan (dV_{out}/dV_{in}) = -1$ ke dalam Persamaan (2.50), diperoleh $k_n (V_{IL} - V_{T,n}) k_p (2V_{out} - V_{IL} - +V_{T,p} - V_{DD})$

Tegangan kritis V_{IL} dapat ditentukan sebagai fungsi dari tegangan keluaran V_{out} yang dinyatakan sebagai,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R}$$
dengan:
$$k_R = \frac{k_n}{k_p}$$
(Kang, 1996: 182)

2.3.2 Analisis Matematis Tegangan Masukan Tinggi (V_{IH})

Jika tegangan masukan sama dengan V_{IH} , transistor NMOS beroperasi dalam daerah linear, dan transistor PMOS beroperasi dalam mode saturasi. Dengan KCL pada titik keluaran diperoleh persamaan arus

$$\frac{k_n}{2} \left[2 \cdot (V_{GS}, -V_{T,n}) \cdot V_{DS}, -V_{DS}^2 \right] = \frac{k_p}{2} \left(V_{GS, n} - V_{T, p} \right)^2$$
(2.52)

Dengan menggunakan persamaan (2.37) - (2.40), persamaan (2.52) dapat ditulis

sebagai

$$\frac{k_n}{2} \left[2.(V_{in} - V_{T,n}) V_{out} - V_{out}^2 \right] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2$$
(2.53)

Dengan mendiferensialkan persamaan (2.53) terhadap V_{in} diperoleh

$$k_{n} \left[2(V_{in} - V_{T,n}) \left(\frac{dV_{out}}{dV_{in}} \right) + V_{out} - V_{out}^{2} \left(\frac{dV_{out}}{dV_{in}} \right) \right] = k_{p} (V_{in} - V_{DD} - V_{T,p})^{2}$$
(2.54)

Subtitusi $Vin = V_{IH}$ dan (dVout/Vin) ke dalam persamaan (2.54) diperoleh

$$K_n \left(-V_{IH} + V_{T,n} + 2V_{out} \right) = k_p \left(V_{IH} - V_{DD} - V_{T,p} \right)$$
(2.55)

Tegangan kritis $V_{\rm I\!H}$ dapat ditentukan sebagai fungsi dari tegangan keluaran $V_{\rm out}$

yang dinyatakan sebagai

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R (2V_{out} + V_{T,n})}{1 + k_R}$$
(2.56)
(Kang, 1996: 183)

2.3.3 Analisis Matematis Tegangan Threshold Inverter (V_{TH})

Tegangan *threshold inverter* yang telah ditentukan sebagai $V_{th} = V_{in} = V_{out}$, karena inverter CMOS memberikan *noise margin* yang besar dan mempunyai bentuk transisi VTC yang curam, tegangan *threshold* merupakan suatu parameter karakteristik DC yang penting untuk menunjukkan kehandalan dari inverter. Untuk $V_{in} = V_{out}$ kedua transistor beroperasi dalam daerah saturasi. Dengan KCL dapat ditulis persamaan arus

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2$$
(2.57)

dengan mengganti $V_{GS,n}$ dan $V_{GS,p}$ dalam persamaan (2.57) menurut persamaan

(2.37) dan (2.39), diperoleh

$$\frac{k_n}{2}(V_{in} - V_{T,n})^2 = \frac{k_p}{2}(V_{in} - V_{T,p})^2$$
(2.58)

Persamaan ini dapat dibuat untuk tegangan masukan V_{in}:

$$V_{in}\left(1 + \sqrt{\frac{k_p}{k_n}}\right) = V_{T,n} + \sqrt{\frac{k_p}{k_n}}(V_{DD} + V_{T,p})$$
(2.59)

Sehingga tegangan threshold inverter (threshold switching), V_{th} dinyatakan

sebagai

$$V_{ih} = \frac{VT, n + \sqrt{\frac{1}{k_R}(V_{DD} + VT.p)}}{1 + \sqrt{\frac{1}{k_R}}}$$
(2.60)

(Kang, 1996: 184)

2.4 Driver Kaskada

1

HCMOS merupakan hasil perkembangan dari teknologi CMOS, dengan bentuk struktur dasar yang sama yaitu terbentuk dari transistor NMOS dan PMOS. Keunggulan dari IC HCMOS adalah memiliki waktu tunda rambatan yang relative cepat dan disipasi daya yang kecil. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990: 591).

Dengan mengasumsikan sebuah sinyal keluaran dari gerbang referensi yang menggerakkan *load* kapasitansi C_L maka *propagation delay* rata-rata dapat dinyatakan dengan (Geiger, 1990: 590)

$$t_{dr} = \frac{t_{apd}C_L}{C_G}$$
dengan: (2.61)

 t_{apd} = rata-rata *delay* gerbang

= kapasitasi masuk

CG

kapasitasi masukan gerbang referensi

Untuk setiap bilangan interger n 1, didefinisikan

$$\Gamma = \left(\frac{C_L}{C_G}\right)^{1/n} \tag{2.62}$$

n dapat direpresentasikan sebagai fungsi sebagai,

$$n = \frac{\ln(C_L / C_G)}{\ln r} \tag{2.63}$$

Konfigurasi ini terdiri dan gabungan n inverter (termasuk gerbang referensi awal). Setiap gerbang memiliki *drive capability* -kali lebih besar dan stage sebelumnya. Karakteristik W dan L *stage* ke-k dijabarkan dengan persamaan berikut:

W _{dk}	=	
L _{dk}	=	$L_{d1} \qquad (2.64)$
W_{uk}	=	W _{dk}
L _{uk}	=	4L _{dk}
dengar	1:	
W _{dk}	=	W pulldown transistor kaskada inverter ke-k
L _{dk}	=	L pulldown transistor kaskada inverter ke-k
\mathbf{W}_{uk}	=	W pullup transistor kaskada inverter ke-k
Luk	=	L pullup transistor kaskada inverter ke-k

Load kapasitansi stage ke-k C relatif terbadap kapasitansi gerbang masukan C_G





Sumber : Geiger, Allen, Strader, 1990 : 592

Dalam Gambar 2.13 untuk inverter yang pertama terdapat *propagation delay* sebesar t_{apd}, sehingga total *propagation delay* sturktur kaskada ini adalah

 $t_{cas} = n \ t_{apd} \tag{2.66}$

Pengertian r adalah rasio antara *delay* stuktur *driver* kaskada dengan *propagation delay* rata-rata gerbang, dapat dirumuskan:

$$r = \frac{t_{cat}}{t_{dir}} = \frac{nat_{apd}}{t_{apd}C_L/C_L} = \frac{n\Gamma C_G}{C_L}$$
(2.67)

(2.65)

Namun yang menjadi persoalan adalah bagaimana memininialisasi r sehingga meminimkan *delay* rangkaian secara total. Variabel n dapat dihilangkan sehingga,

$$\mathbf{r} = \frac{\ln(C_L/C_G)}{C_L/C_G} \cdot \frac{\mathbf{r}}{\ln \mathbf{r}}$$
(2.68)



e 3

5

e

Menurut Persamaan (2.68) dapat dipakai untuk meminimalisasi r. Gambar 2.14 menunjukkan hubungan antara . dengan /ln . Dalam grafik terlthat bahwa nilai minimum /ln dicapai ketika =e dengan nilai e. Gambar 3.4 menunjukkan hubungan antara n dengan C_L/C_G . Hubungan nilai (=e, =3 dan =5 ditunjukkan dalam Gambar 2.15.



Sumber : Geiger, 1990 : 172

n adalah jumlah stage yang dikaskada. n merupakan sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktik nilai *diset* pada nilai yang lebih besar dan e untuk menghasilkan pengurangan jumlah *stage* kaskada. Pada Persamaan (2.66) ditunjukkan bahwa untuk load rasio yang kecil peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh, menurut Persamaan (2.67) kaskada tujuh tingkat dengan ukuran yang dioptimalkan yang digunakan untuk menggerakkan beban kapasitif dengan rasio 1100C_G menghasilkan *propagation delay* 1.7% dibanding *propagation delay* yang dibutuhkan gerbang dasar.

Hal yang perlu diperhatikan dalam perancangan adalah bila jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk nilai n yang besar luasan area total yang dihasilkan oleh driver kaskada terlalu besar.

2.5 Multiplekser dan Demultiplekser

Multiplekser adalah sebuah rangkaian logika kombinasional yang berfungsi sebagai sebuah rangkaian pemilih sinyal masukan dengan satu saluran keluaran. Pemilihan sinyal masukan ini dilakukan dengan memberikan sinyal kontrol yang mana banyaknya sinyal kontrol ini ditentukan oleh banyaknya saluran masukan. Syarat perancangan sebuah multiplekser adalah $m 2^n$ dengan m adalah banyaknya saluran masukan dan n adalah banyaknya sinyal kontrol.

Demultiplekser merupakan suatu rangkaian yang memiliki prinsip kerja berkebalikan dengan multiplekser. Pada sebuah rangkaian demultiplekser sinyal masukan yang diterima memiliki jumlah yang lebih sedikit daripada sinyal keluarannya dengan jumlah sinyal kontrol yang ditentukan oleh banyaknya saluran keluaran. Syarat perancangan sebuah demultiplekser adalah $m 2^n$ dengan m adalah banyaknya saluran keluaran dengan n adalah banyaknya sinyal kontrol (Mismail, 1998:155).



BAB III

METODOLOGI PENELITIAN

Dalam metodologi akan diuraikan cara-cara yang dilakukan dalam proses perancangan 8 bit multiplekser-demultiplekser dengan menggunakan teknologi HCMOS. Langkah-langkah yang akan dilakukan sebagai berikut:

3.1 Studi Literatur

Studi Literatur yang dilakukan dalam proses perancangan 8 bit Multiplekserdemultiplekser adalah sebagai berikut:

- 1) Studi tentang prinsip kerja, struktur geometris dari MOSFET, karakteristik arus tegangan dan persamaan-persamaan yang menjelaskan berbagai macam kondisi operasi, *propagation delay*, dan disipasi daya dalam CMOS.
- 2) Studi tentang cara kerja gerbang inverter, NAND, karakteristik alih tegangan, persamaan-persamaan yang diperoleh dalam berbagai kondisi operasi dan *noise margin*.
- 3) Studi tentang rangkaian logika multiplekser dan demultiplekser.
- Studi tentang parameter proses teknologi dalam desain rangkaian terpadu yang digunakan sebagai parameter dasar dari perancangan dan perhitungan yang mendukung perancangan IC.
- Studi tentang perangkat lunak B²Spice untuk analisis karakteristik alih tegangan, dan propagation delay, serta design rules dalam pembuatan layout gerbang CMOS dengan perangkat lunak microwind2.

3.2 Proses Perancangan

Perancangan desain rangkaian IC ini memiliki spesifikasi sebagai berikut:

- Memiliki 8 masukan untuk Multiplekser dan 1 masukan untuk Demultiplekser serta 1 keluaran untuk Multiplekser dan 8 keluaran untuk Demultiplekser.
- 2) Memiliki 3 buah saluran pemilih atau sinyal kontrol dan 1 buah *enable*.
- 3) Memiliki driver kaskada 2 tingkat.

Diagram blok untuk rangkaian 8 bit Multiplekser-Demultiplekser ini ditunjukkan dalam Gambar 3.1.



Gambar 3. 1. Diagram Blok Rangkaian 8 Bit Multiplekser- Demultiplekser

Daftar kebenaran untuk rangkaian 8 bit Multiplekser-Demultiplekser ditunjukkan dalam Tabel 3.1.

Tabel 3. 1. Dat	ftar Kebenaraı	n Rangkaian	8 Bit Multip	lekser-Demultipl	ekser

Е	K	Sinya Kontro	l ol	Q	Ŭ	E	Mult	ipleks	er 8:1	Š.		
	S0	S1	S2	IO	_11	I2	-I3	I4	_ I 5	I6	I7	Y
1	0	0	0	1		1 7		1 I I I I I I I I I I I I I I I I I I I	UL	-	-	1
1	0	0	1	- 7	1-			144	SA.	-	-	1
1	0	1	0	- 7	4	1	THE .	D -7		-	-	1
1	0	1	1	-	14	114	1		31-	-	-	1
1	1	0	0	-	177	111		1	21-	-	-	1
1	1	0	1	-	69		2 -/	- して		-	-	1
1	1	1	0	-	-	\Box	U Ì	-	-	1	-	1
1	1	1	1	-	-	-	-	-	-	-	1	1
\mathbf{T}		Sinva	1									
		Jiiiya	1			1	Domu	Itinlal	roon 1.	Q		
Е	K	Sinya Kontro	ol]	Demu	ltiplek	ser 1:	8		
Е	<u>K</u> S0	Sillya Kontro S1	ol S2	In	YO] Y1	Demu Y2	ltiplek Y3	xser 1: Y4	8 Y5	Y6	Y7
Е 0	K S0 0	Kontro S1 0	S2	In 1	Y0	Y1	Demu Y2 -	ltiplek Y3 -	xser 1: Y4 -	8 Y5 -	<u>Y6</u>	<u>Y7</u>
E 0 0	K S0 0 0	Kontro S1 0 0	s 2 0 1	In 1 1	Y0 1 -	Y1 - 1	Demu Y2 - -	ltiplek Y3 -	xser 1: Y4 -	8 Y5 -	¥6	<u>Y7</u>
E 0 0 0	80 0 0 0 0	Sontro S1 0 0 1	S2 0 1 0	In 1 1 1	Y0 1	Y1 - 1 -	Demu <u>Y2</u> - 1	Itiplek Y3 -	xser 1: Y4 - -	8 Y5	¥6 - -	<u>Y7</u>
E 0 0 0 0	S0 0 0 0 0 0	Sontro S1 0 0 1 1	S2 0 1 0 1	In 1 1 1 1	Y0 1 -] Y1 - 1 - -	Demui Y2 - 1 -	Itiplek Y3 - - 1	xser 1: Y4 - - -	8 Y5	¥6	<u>Y7</u>
E 0 0 0 0 0	B B B C C C C C C C C C C	Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution Solution	S2 0 1 0 1 0	In 1 1 1 1 1	Y0 1 - -] Y1 - 1 - - -	Demu <u>Y2</u> - 1 - 1	Itiplek Y3 - - 1 -	xser 1: <u>Y4</u> - - 1	8 <u>Y5</u> - -	<u>Y6</u>	<u>Y7</u>
E 0 0 0 0 0 0 0	B B B B C C C C C C C C C C	Xontre S1 0 0 1 1 0 0	si si 0 1 0 1 0 1 0 1 0	In 1 1 1 1 1 1 1	Y0 1 - - -	- 1 - -	Demu Y2 - 1 - -	Itiplek Y3 - - 1 -	Y4 - - 1	8 Y5 - - 1	<u>Y6</u>	<u>Y7</u>
E 0 0 0 0 0 0 0 0	K S0 0 0 0 0 0 1 1 1 1	Xontro S1 0 0 1 1 0 0 1 0 1	l ol S2 0 1 1 0 1 1 0 1 1 1 0 1 1 1 1 1 1 1 1 1 1 1 1 1	In 1 1 1 1 1 1 1 1 1 1	Y0 1 - - -] Y1 - - - -	Demu Y2 - 1 - - - -	ttiplek Y3 - - 1 - -	Y4 - - 1 -	8 <u>Y5</u> - - 1	Y6	Y7
Dari tabel kebenaran yang ditunjukkan dalam Tabel 3.1 maka dibuat suatu persamaan aljabar boole yang menyatakan hubungan antara masing-masing masukan dengan sinyal kontrol, keluaran dan *enable*. Persamaan aljabar boole ini selanjutnya akan diimplementasikan ke dalam rangkaian logika.

3.3 Proses Analisis

Teknologi HCMOS merupakan pengembangan dari teknologi CMOS untuk mencapai *propagation delay* secepat TTL dengan penggerak beban kapasitif. Perancangan rangkaian 8 bit Multiplekser-Demultiplekser meliputi spesifikasi rangkaian yang dimaksudkan untuk menentukan rangkaian 8 bit Multiplekser Demultiplekser yang akan digunakan dalam proses perancangan, dan analisis karakteristik alih tegangan maupun analisis *propagation delay*.

Analisis karakteristik alih tegangan dilakukan untuk mendapatkan nilai V_{OH} , V_{IL} , V_{OL} , dan V_{IH} yang mana nilai ini diperoleh dengan memasukkan parameter nilai tertentu ke dalam suatu persamaan dan hasilnya akan digunakan untuk memperoleh besarnya *noise margin*.

Analisis *propagation delay* dilakukan dengan mendesain nilai *L* dan *W* pada transistor. Dalam analisis *propagation delay*, proses perancangan dimulai dengan menentukan nilai *propagation delay* yang dikehendaki sebagai parameter perancangan dimana rangkaian akan dirancang dengan nilai t_{PLH} dan t_{PHL} yang sama agar memiliki keluaran yang simetris.

3.4 Proses Simulasi

Hasil analisis dan perhitungan matematis perlu disimulasikan untuk mengetahui kebenaran perancangan yang telah dilakukan. Simulasi dilakukan untuk mengetahui nilai VTC, *rise time, fall time*, dan *propagation delay*. Nilai-nilai yang didapatkan dari tampilan grafik simulasi akan dibandingkan dengan karakteristik dari IC TTL dan CMOS, kemudian dari perbandingan tersebut dapat diketahui teknologi mana yang lebih baik dalam perancangan IC berdasar pada kondisi ideal.

Untuk mengetahui kebenaran hasil perancangan perlu diketahui terlebih dahulu tampilan VTC (*Voltage Transfer Characteristic*) pada hasil simulasi. Dari hasil simulasi VTC dengan menggunakan B^2Spice akan diketahui nilai-nilai V_{OH}, V_{IL}, V_{OL}, dan V_{IH}, kemudian akan dibandingkan kondisi mana yang lebih baik antara IC 8 bit Multiplekser-Demultiplekser HCMOS dengan TTL dan CMOS. Kondisi ideal untuk tampilan VTC adalah nilai V_{OH} semakin mendekati nilai tegangan masukan dan untuk

 V_{OL} mendekati nilai tegangan *ground* (0V), serta selisih antara nilai V_{IL} dan V_{IH} semakin kecil.

Proses simulasi selanjutnya adalah simulasi *Unit Step* yaitu rangkaian diberi masukan satu gelombang (*step*) sinyal pulsa. Pada sinyal keluaran akan diamati nilai *propagation delay* (t_{PLH} dan t_{PHL}) untuk kemudian diambil perbandingan antara 8 bit Multiplekser-Demultiplekser HCMOS dengan teknologi TTL dan CMOS.

3.5 Proses Penggambaran Layout

Proses terakhir yang dilakukan adalah penggambaran *layout* rangkaian 8 bit Multiplekser-Demultiplekser dengan menggunakan program *Microwind2*.

Gambar 3.3 menunjukkan diagram alir perancangan IC 8 bit Multiplekser-Demultiplekser HCMOS



Gambar 3. 2. Diagram Alir Perancangan IC 8 bit Multiplekser-Demultiplekser HCMOS

Setelah studi literatur, ditentukan spesifikasi dari rangkaian 8 bit Multiplekser-Demultiplekser. Selanjutnya, ketika spesifikasi rangkaian diketahui, dimulai dengan perancangan rangkaian skematik 8 bit Multiplekser-Demultiplekser, kemudian dilakukan analisis terhadap karakteristik alih tegangan dan analisis *propagation delay*. Setelah itu simulasi dilakukan dengan menggunakan program B^2 spice. Hasil analisis dan simulasi dibandingkan untuk mengetahui apakah rancangan tersebut telah sesuai dengan spesifikasi dan parameter-parameter yang telah direncanakan. Jika telah sesuai maka proses dilanjutkan dengan penggambaran *layout* dengan program *Microwind2*, namun jika tidak sesuai maka harus kembali lagi ke langkah penentuan spesifikasi rangkaian pada awal proses.

BAB IV

PERANCANGAN RANGKAIAN MULTIPLEKSER DAN DEMULTIPLEKSER

Bab ini membahas tahapan-tahapan dalam merancang IC 8 Bit Multiplekser dan Demultiplekser yang meliputi penentuan rangkaian logika IC 8 Bit Multiplekser dan Demultiplekser, penentuan konfigurasi rangkaian 8 bit multiplekser dan demultiplekser, parameter transistor NMOS dan PMOS yang digunakan dalam perhitungan, dan perancangan nilai W/L yang digunakan sebagai dasar untuk analisis VTC dan *propagation delay*.

4.1 Perancangan Rangkaian Logika 8 Bit Multiplekser dan Demultiplekser HCMOS

Rangkaian 8 Bit Mux-Demux terdiri atas rangkaian 8 to 1 Multiplexer dan 1 to 8 Demultiplexer yang dibuat dalam satu rangkaian, sehingga dibutuhkan suatu Enable yang berfungsi untuk menentukan rangkaian tersebut berfungsi sebagai multiplekser atau demultiplekser. Pada perancangan ditentukan bahwa multiplekser akan aktif ketika Enable berlogika 1 dan demultiplekser akan aktif ketika Enable berlogika 0. Sesuai dengan syarat perancangan multiplekser dan demultiplekser yaitu $m 2^n$ dimana m adalah masukan atau keluaran dan n adalah sinyal kontrol, maka untuk merancang sebuah rangkaian 8 bit Mux-Demux dibutuhkan sebanyak 3 buah sinyal kontrol.

Hubungan antara masukan dan keluaran, sinyal kontrol serta *enable* pada rangkaian ini ditunjukkan dalam Tabel 3.1. Setelah diketahui hubungan antara masukan dan keluaran, sinyal kontrol serta *enable* maka diperoleh fungsi persamaan keluaran (Y, $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$) sebagai berikut.

$$Y = EI_0S_0'S_1'S_2' + EI_1S_0'S_1'S_2 + EI_2S_0'S_1S_2' + EI_3S_0'S_1S_2 + EI_4S_0S_1'S_2' + EI_5S_0S_1'S_2 + EI_6S_0S_1S_2' + EI_7S_0S_1S_2$$

- $Y0 = EInS_0'S_1'S_2'$ $Y1 = EInS_0'S_1'S_2$ $Y2 = EInS_0'S_1S_2'$
- $Y3 = EInS_0'S_1S_2$
- $\mathbf{Y4} = \mathbf{EInS}_{0}\mathbf{S}_{1}\mathbf{'S}_{2}\mathbf{'}$
- $\mathbf{Y5} = EInS_0S_1 \mathbf{'}S_2$
- $\mathbf{Y6} = \mathbf{EInS}_0\mathbf{S}_1\mathbf{S}_2\mathbf{'}$
- $Y7 = EInS_0S_1S_2$





Gambar 4. 1. Rangkaian Logika 8 Bit Multiplekser dan Demultiplekser

4.2 Konfigurasi Rangkaian 8 Bit Multiplekser dan Demultiplekser HCMOS

Gambar 4.2 menunjukkan konfigurasi rangkaian 8 bit multiplekser dan demultiplekser HCMOS. Dalam konfigurasi terdapat W_U yang menunjukkan *pull up* transistor MOSFET tipe-p dan W_D menunjukkan *pull down* transistor MOSFET tipe-n. Dua tipe MOSFET ini merupakan penyusun dalam konfigurasi CMOS tiap gerbang. C_L adalah semua kapasitansi baik internal maupun eksternal yang digerakkan oleh gerbang.

Resistansi keluaran merupakan komponen pembebanan lain selain kapasitansi. Namun yang dipakai hanya C_L karena hanya komponen kapasitansi yang mempengaruhi besarnya *propagation delay*. Dalam konfigurasi tersebut terdapat konfigurasi inverter yang dikenal sebagai *driver* kaskada, yang mana hal ini merupakan suatu perbedaan yang mendasar antara multiplekser dan demultiplekser CMOS dengan HCMOS. Dengan mengatur besarnya W dan L akan diperoleh *propagation delay* yang lebih baik dibandingkan dengan teknologi CMOS.



Gambar 4. 2. Konfigurasi 8 Bit Multiplekser dan Demultiplekser

Perancangan gerbang dilakukan dengan menerapkan Persamaan 2.64 (Bab II, halaman 24) dengan nilai k adalah 3 yang terdiri atas 1 gerbang dasar dan 2 buah kaskada, dan nilai optimum untuk adalah 3, sehingga diperoleh Persamaan 4.1 sampai 4.3 sebagai berikut.

1. Persamaan Gerbang Dasar

$$\begin{split} W_{dk} &= {}^{k-1} W_{d1} \\ Dengan \ & k = 1 \ dan &= 3 \ maka \ diperoleh \\ W_{dk} &= 3^{1-1} \ W_{d1} \ sehingga \\ W_{dk} &= W_{d1} \qquad (4.1) \\ W_{U1} &= W_P \\ L_{U1} &= L_P \\ W_{D1} &= W_N \\ L_{D1} &= L_N \end{split}$$

2. Persamaan Kaskada Pertama

 $\mathbf{W}_{dk} = {}^{k-1} \mathbf{W}_{d1}$ Dengan k = 2 dan = 3 maka dipeoleh $W_{dk} = 3^{2-1} W_{d1}$ sehingga $W_{dk} = 3W_{d1}$ $W_{U2} = W_{D2} = 3W_N$ $L_{U2} = L_{D2} = L_N$ $W_{D2} = 3W_{D1} = 3W_N$ $L_{D2} = L_{D1} = L_N$ BRAWIUAL 3. Persamaan Kaskada Kedua $\mathbf{W}_{dk} = {}^{k-1}\mathbf{W}_{d1}$ Dengan k = 3 dan = 3 maka diperoleh $W_{dk} = 3^{3-1}W_{d1}$ sehingga $W_{dk} = 9W_{d1}$ $W_{U3} = W_{D3} = 9W_N$ $L_{U3} = L_{D3} = L_N$ $W_{D3} = 9W_{D1} = 9W_N$ $L_{D3} = L_{D1} = L_N$

4.3 Perancangan Transistor 8 Bit Multiplekser dan Demultiplekser

Perancangan transistor untuk rangkaian 8 bit multiplekser dan demultiplekser dilakukan pada masing-masing gerbang penyusun IC, dimana tiap gerbang tersusun atas rangkaian transistor PMOS dan NMOS.

Inverter tersusun atas satu pasang PMOS dan NMOS dimana *gate* pada PMOS dan NMOS terhubung menjadi satu, *source* pada PMOS terhubung dengan VCC, *drain* pada NMOS terhubung dengan *ground* dan drain pada PMOS serta *source* pada NMOS terhubung menjadi satu ditunjukkan dalam Gambar 4.3.



Gambar 4. 3. (a) Rangkaian Logika Inverter (b) Rangkaian Transistor Inverter (*Software* B^2Spice)

(4.2)

(4.3)

Gerbang logika NAND 2 input tersusun atas 2 buah transistor PMOS yang dirangkai paralel dan 2 buah transistor NMOS yang dirangkai seri yang mana masingmasing *gate* PMOS dan NMOS terhubung menjadi satu, *source* pada transistor PMOS terhubung dengan VCC dan *drain* pada NMOS terhubung dengan *ground* seperti yang ditunjukkan dalam Gambar 4.4. Begitu pula dengan gerbang logika NAND 4 input dan 8 input yang masing-masing tersusun atas 4 buah transistor PMOS dan 8 buah transitor PMOS yang tersusun paralel dan 4 buah transistor NMOS serta 8 buah transitor NMOS yang tersusun secara seri. Dengan hubungan antara masing-masing *gate, drain* dan *source* seperti pada rangkaian logika NAND 2 input dan ditunjukkan dalam Gambar 4.6.







Gambar 4. 5. (a) Rangkaian Logika NAND 2 Input (b) Rangkaian Transistor NAND 2 Input (*Software* B^2 *Spice*)

BRAWIJAYA



Gambar 4. 6. (a) Rangkaian Logika NAND 8 Input (b) Rangkaian Transistor NAND 8 Input (Software B²Spice)

Rangkaian 8 bit multiplekser dan demultiplekser HCMOS tersusun dari 5 gerbang inverter yang terdiri atas 10 transistor PMOS dan NMOS, 16 gerbang NAND 4 input yang terdiri atas 128 transistor PMOS dan NMOS, 9 gerbang NAND 2 input yang terdiri atas 36 transistor PMOS dan NMOS, 1 gerbang NAND 8 input yang terdiri atas 16 transistor PMOS dan NMOS dan 18 inverter kaskada yang membutuhkan 36 transistor PMOS dan NMOS, sehingga keseluruhan rangkaian 8 bit multiplekser dan demultiplekser HCMOS menggunakan 226 transistor yang ditunjukkan dalam Gambar 4.7.



Gambar 4. 7. Rangkaian Transistor 8 Bit Multiplekser-Demultiplekser (Software B²Spice)

4.4 Parameter Dasar Transistor MOSFET

Dalam merancang IC HCMOS terdapat beberaoa parameter proses yang telah diketahui nilai dan satuannya yang mana parameter ini digunakan untuk lebih mendekati karakter device dan mempermudah proses analisis. Beberapa parameter dasar tersebut ditunjukkan dalam Tabel 4.1 yang merupakan parameter owner's manual dan rule file dalam perangkat lunak Microwind2 dengan teknologi 0.12µm CMOS proses (0.06µm).

Tabel 4. 1. Parameter Desain Transistor CMOS					
Simbol	NMOS PMOS		Keterangan		
ох	2.3 x 10	$-2^{23}F/cm$	Konstanta dielektrik polisilikon		
μ_e/μ_n	$580 \text{ cm}^2/\text{V.s}$ -		Mobilitas rata-rata elektron dalam saluran antar		
			drain dan source		
$\mu_{\rm h}/\mu_{\rm p}$		$230 \text{ cm}^2/\text{V.s}$	Mobilitas rata-rata hole dalam saluran antara		
	UAU		drain dan source		
V _T	1V	-1V	Tegangan ambang pada PMOS dan NMOS		
	0.4	$V^{0.5}$	Gamma, Bulk threshold parameter		
2 _F	0	3V	Phi, surface potential at strong inversion		
t _{ox}	15	nm	Ketebalan oksida gerbang (Gate)		
V _{DD}	5	V	Tegangan catu		
K _n	$300\mu A/V^2$	SOAW	Parameter transkonduktansi transitor NMOS		
K _p	P-AS	$120\mu A/V^2$	Parameter transkonduktansi transistor PMOS		
1 3 34	(5	umber Owner	's manual Microwind?)		

Untuk menentukan nilai W dan L pada MOS tipe-p dan tipe-n pada gerbang dasar perlu mempertimbangkan interaksi antara tegangan masukan dan keluaran gerbang. Proses analisis dalam perancangan nilai W dan L HCMOS bertujuan agar rangkaian 8 bit multiplekser demultiplekser ini mendekati kondisi ideal terutama aspek *propagation delay* yang cepat, disipasi daya yang rendah dan kondisi output yang simetris. Analisa juga dilakukan untuk memperoleh suatu kondisi karakteritik alih tegangan (VTC) yang simetris, agar diperoleh tanggapan transien yang simetris pula. VTC yang simetris terjadi ketika tegangan *threshold switching* (V_{th}) inverter setengah dari tegangan catu V_{DD}, dan V_{T,n} = |V_{T,p}|. Perhitungan V_{th} berdasarkan pada Persamaan 2.60 (Bab II, halaman 23) adalah sebagai berikut:



Dengan $\mu_n = 580 \text{ cm}^2/\text{V.s}$ dan $\mu_p = 230 \text{ cm}^2/\text{V.s}$, maka diperoleh *ratio* $\frac{\text{Wp}}{\text{Lp}}$ dan $\frac{\text{Wn}}{\text{Ln}}$

sebagai berikut:

$$\frac{Kn}{Kp} = \frac{\mu n Cox\left(\frac{W}{L}\right)n}{\mu p Cox\left(\frac{W}{L}\right)p}$$
$$1 = \frac{580 \text{ cm}2/\text{V.s}\left(\frac{W}{L}\right)r}{230 \text{ cm}2/\text{V.s}\left(\frac{W}{L}\right)p}$$

$$1 = 2.52 \frac{\left(\frac{W}{L}\right)n}{\left(\frac{W}{L}\right)p}$$
$$\frac{Wp}{Lp} \quad 2.5 \frac{Wn}{Ln}$$

Untuk menentukan nilai W dan L pada masing-masing transistor harus dilakukan analisis silang dan aturan perancangan IC. Lebar polisilikon dalam suatu persilangan transitor MOS disimbolkan L dan lebar difusi disimbolkan dengan W, lebar minimum polisilikon adalah 2 . Dengan memberikan nilai 2 pada L_N dan L_P maka Persamaan 4.4 menjadi:

$$\frac{Wp}{2} = 2.5 \frac{Wn}{2}$$
$$W_{P} = 2.5 W_{N}$$

Nilai C_{OX} berubah sesuai dengan ketebalan oksida *gate* t_{OX}. Nilai t_{OX} diasumsikan sesuai dengan parameter dasar transistor yaitu sebesar 15nm, sehingga dadapatkan nilai C_{OX} :

$$C_{ox} = \frac{V_{ox}}{t_{ox}}$$
$$C_{ox} = \frac{2.3 x 10^{-13}}{15 x 10^{-7}} = 1.53 x 10^{-7} \text{F/cm}^2$$

untuk menghitung besarnya *ratio* $\frac{W_p}{L_p}$ dilakukan dengan pendekatan sebagai berikut:

$$K_n = \mu_n C_{ox} \frac{W_n}{L_n}$$
$$\frac{W_n}{L_n} = \frac{k_n}{\mu_n C_{ox}}$$

Dengan memasukkan nilai parameter dasar $\mu_n = 580 \text{cm}^2/\text{V.s}$ dan $K_n = 300 \mu \text{A}/\text{V}^2$

serta
$$C_{ox} = 1.53 \times 10^{-7} \text{F/cm}^2$$

$$\frac{W_{n}}{L_{n}} = \frac{300 \times 10^{-6}}{580 \times 1.53 \times 10^{-7}} = 3.4$$

$$\frac{W_{n}}{L_{n}} \approx 3$$
(4.6)
Maka

$$\frac{W_p}{L_p} \approx 2.5 \text{ x } 3 \rightarrow \frac{W_p}{L_p} \approx 7.5$$
(4.7)

Berdasarkan pada Persamaan 4.6 dan 4.7 diperoleh analisis awal dengan ukuran polisilikon 2 maka nilai W_N dan W_P sebesar 6 dan 15. Dalam perancangan dengan menggunakan *Microwind2* nilai =0.06 μ m.

(4.4)

(4.5)

 $W_P = 15 = 0.9 \mu m \text{ dan } L_P = 2 = 0.12 \mu m$

 $W_N = 6 \ = 0.36 \ \mu m \ dan \ L_N = 2 \ = 0.12 \ \mu m$

Nilai W dan L untuk kaskada, yaitu:

1. Kaskada Pertama

 $W_P = W_N = 3W_{N1} = 1.08 \ \mu m \ dan \ L_P = L_N = 0.12 \ \mu m$

2. Kaskada Kedua

 $W_P = W_N = 9W_{N1} = 3.24 \ \mu m \ dan \ L_P = L_N = 0.12 \ \mu m$

4.6 Analisis Matematis V_{IL}, V_{OH}, V_{OL}, V_{IH} dan Noise Margin Rangkaian

4.6.1 Analisis Matematis V_{IL} dan V_{OH}

Nilai V_{IL} adalah nilai tegangan masukan maksimum yang dapat dinyatakan sebagai logika 0. Untuk menentukan besarnya V_{IL} dapat menggunakan Persamaan 2.51 (Bab II, halaman 22).

Dalam perancangan, nilai $k_R \approx 1$ dengan nilai $V_{T,n} = 1$ V dan $V_{T,p} = -1$ V maka diperoleh fungsi V_{IL} sebagai fungsi V_{OUT} adalah:

$$V_{IL} = \frac{2V_{OUT} - 1 - 5 + (1)(1)}{1 + 1}$$

$$V_{IL} = \frac{2V_{OUT} - 5}{2}$$

$$V_{IL} = V_{OUT} - 2,5 \text{ atau}$$

$$V_{OUT} = V_{IL} + 2,5$$
(4.8)
Substitusi Persamaan (4.8) ke dalam Persamaan (2.49) (Bab II, halaman 22)

dengan $k_n = k_p$, $V_{in} = V_{IL} dan V_{out} = V_{IL} + 2.5 maka$

$$\begin{split} (V_{IL}-1)^2 &= [2(V_{IL}-5+1)(V_{IL}+2.5-5)-(V_{IL}+2.5-5)^2] \\ V_{IL}^2 &- 2V_{IL}+1 = 2(V_{IL}^2-6.5V_{IL}+10)-(V_{IL}^2-5V_{IL}+6.25) \\ V_{IL}^2 &- 2V_{IL}+1 = 2V_{IL}^2-13 \ V_{IL}+20-V_{IL}^2+5V_{IL}-6.25 \\ V_{IL}^2 &- 2V_{IL}+1 = V_{IL}^2-8V_{IL}+13.75 \\ & 6V_{IL} = 12.75 \\ V_{IL} &= 2.125V \end{split}$$

Dari Persamaan (4.8), maka tegangan keluaran ketika masukan V_{IL} adalah: $V_{OUT} = V_{IL} + 2.5 = 2.125V + 2.5V = 4.625V$

Jadi tegangan keluaran minimum yang dapat dinyatakan sebagai logika 1 (V $_{OH}$) adalah 4.625V

 V_{IH} merupakan nilai tegangan masukan minimum yang dapat dinyatakan sebagai logika 1. Untuk menentukan besarnya V_{IH} menggunakan Persamaan (2.56) (Bab II, halaman 22). Sesuai dengan perancangan, maka nilai $k_R \approx 1$, $V_{T,n} = 1V$ dan $V_{T,p} = -1V$ sehingga diperoleh fungsi V_{IL} sebagai fungsi V_{OUT} adalah

$$V_{\rm IH} = \frac{5 - 1 + 1(2V_{OUT} + 1)}{1 + 1}$$
$$= \frac{5 + 2V_{OUT}}{2}$$

 $V_{IH} = 2.5 + V_{OUT} \label{eq:VIH}$

 $V_{OUT} = V_{IH} - 2.5$

Substitusi Persamaan (4.9) ke dalam Persamaan (2.53) (Bab II, halaman 22) dengan nilai Kn = Kp, Vin = V_{IH} , dan $V_{OUT} = V_{IH} - 2.5$ maka

$$\frac{1}{2} \Big[2 \cdot (V_{IH} - 1) (V_{IH} - 2,5) - (V_{IH} - 2,5)^2 \Big] = \frac{1}{2} \cdot (V_{IH} - 5 + 1)^2$$
$$[2 \cdot (V_{IH}^2 - 3.5V_{IH} + 2.5) - (V_{IH} - 2.5)^2] = (V_{IH} - 4)^2$$
$$2 \cdot V_{IH}^2 - 7 \cdot V_{IH} + 5 - V_{IH}^2 + 5 \cdot V_{IH} - 6.25 = V_{IH}^2 - 8 \cdot V_{IH} + 16$$
$$6 \cdot V_{IH} = 17.25$$
$$V_{IH} = 2.875 \cdot V_{IH} = 2.875 \cdot V_{IH} + 10$$

Dari Persamaan (4.9) maka

 $V_{OUT} = V_{IH} - 2.5 = 2.875 - 2.5 = 0.375 V$

Jadi tegangan keluaran maksimum yang dapat dinyatakan sebagai logika 0 adalah 0.375V

4.6.3 Analisis Matematis V_{TH}

Tegangan *threshold switching* terjadi saat $V_{in} = V_{out} = V_{th}$ yang ditentukan oleh Persamaan 2.60 (Bab II, halaman 23) dengan $k_R \approx 1$, $V_{T,n} = 1V$ dan $V_{T,p} = -1V$, sehingga diperoleh besarnya V_{th} sebagai berikut:

$$V_{th} = \frac{1 + \sqrt{1}(5 - 1)}{1 + \sqrt{1}}$$
$$= \frac{1 + 5 - 1}{1 + 1}$$
$$= 2.5 \text{ V atau } V_{DD}/2$$

(4.9)

4.6.4 Noise Margin

Setelah mengetahui besarnya nilai $V_{IL} = 2.125V$, $V_{IH} = 2.875V$, $V_{OL} = 0.375V$ dan $V_{OH} = 4.625V$, maka *noise margin* rangkaian dapat ditentukan dengan Persamaan (2.29) dan Persamaan (2.30), yaitu:

 $1. \quad NM_{\rm H} = V_{\rm OH} - V_{\rm IH}$

= 4.625V - 2.875V = 1.75V

 $2. \quad NM_L = V_{IL} - V_{OL}$

$$= 2.125V - 0.375V = 1.75V$$



Gambar 4. 8. Noise Margin Hasil Perhitungan

4.7 Analisis Propagation Delay dan Disipasi Daya

Parameter yang digunakan sebagai pembanding besarnya *propagation delay* pada IC 8 Bit Multiplekser dan Demultiplekser HCMOS adalah nilai *propagation delay* pada *datasheet*

- IC DM74LS151 dengan $t_{PD}=12.5$ ns, nilai C = 15pF
- IC 74LS138 dengan $t_{PD} = 20$ ns pada C = 15pF
- IC MC74HC151A dengan $t_{PD} = 34$ ns pada C = 50pF
- IC MC74HC138A dengan $t_{PD} = 27$ ns pada C = 50pF

Sehingga dalam perancangan IC HCMOS harus memiliki kecepatan yang lebih tinggi dari IC TTL dengan disipasi daya yang rendah. Dalam perancangan ini nilai *propagation delay* yang diharapkan adalah 12ns.

Mengacu pada pernyataan nilai parameter transkonduktansi (K) maka analisis perancangan secara manual menggunakan nilai K yang bervariasi. Perancangan nilai K ini bertujuan untuk mendapatkan *propagation delay* yang lebih cepat dengan perbandingan nilai K_N/K_P adalah 2.5. Selain nilai K, besarnya C juga berpengaruh dalam menentukan besarnya *propagation delay*. Sehingga perhitungan dilakukan

dengan beberapa variasi parameter transkonduktansi K dan besarnya C yang ditunjukkan dalam Tabel 4.2.

Doromotor	Variasi Nilai						
r ai ainetei	I	II	III	IV	V	VI	VII
Kn	20	25	30	35	40	45	50
Кр	8	10	12	14	16	18	20
С		0.5pF,	1 pF, 5	pF, 10p	F, 15pF	, 50 pF	

Tabel 4. 2. Variasi Parameter Transkonduktansi dan Nilai Kapasitor

Setelah parameter transkonduktansi dan nilai kapasitor ditentukan maka proses perhitungan manual dilakukan dengan menggunakan variasi nilai tersebut.

1. $K_N = \mu_{N} \cdot C_{OX} = 20 \mu A / V^2$

 $\mathbf{K}_{\mathbf{P}} = \boldsymbol{\mu}_{\mathbf{P}} \cdot \mathbf{C}_{\mathbf{OX}} = \mathbf{8} \ \boldsymbol{\mu} \mathbf{A} / \mathbf{V}^2$

a.

Untuk C = 0.5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 8 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 2.67 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 20 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 2.67 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.67 \text{ ns} = 5.34 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.67 \text{ ns} = 5.34 \text{ ns}$

b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 8 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 5.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 20.10^{-6} \left(\frac{3}{1}\right) 5} = 5.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 5.3$ ns = 10.6 ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 5.3$ ns = 10.6 ns BRAWIJAYA

c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 8 \cdot 10^{-6} \left(\frac{7 \cdot 5}{1}\right) 5} = 26.67 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 20 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 26.67 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 26.67$ ns = 53.34 ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 26.67$ ns = 53.34 ns

d. Untuk C = 10pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.10.10^{-12}}{\frac{1}{2}.8.10^{-6}\left(\frac{7.5}{1}\right)5} = 53 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.10.10^{-12}}{\frac{1}{2}.20.10^{-6}\left(\frac{3}{1}\right)5} = 53 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 53 \text{ ns} = 106 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 53 \text{ ns} = 106 \text{ ns}$

e. Untuk
$$C = 15 p I$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8.15 \cdot 10^{-12}}{\frac{1}{2} \cdot 8.10^{-6} \left(\frac{7.5}{1}\right) 5} = 80 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8.15 \cdot 10^{-12}}{\frac{1}{2} \cdot 20.10^{-6} \left(\frac{3}{1}\right) 5} = 80 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 80 \text{ ns} = 160 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 80 \text{ ns} = 160 \text{ ns}$

f. Untuk C = 50 pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 8 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 266.67 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 20.10^{-6} \left(\frac{3}{1}\right) 5} = 266.67 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 266.67 \text{ ns} = 533.34 \text{ ns}$

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 266.67 \text{ ns} = 533.34 \text{ ns}$

2. $K_N = \mu_N \cdot C_{OX} = 25 \mu A/V^2$

$K_P = \mu_P \cdot C_{OX} = 10 \mu A / V^2$

a. Untuk C = 0.5 pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{0x} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 10 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 2.13 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{0x} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 25 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 2.13 \text{ ns}$$
Rise time, t_{r} , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.13 \text{ ns} = 4.26 \text{ ns}$
Fall time, t_{f} , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.13 \text{ ns} = 4.26 \text{ ns}$
Untuk $C = 1 \text{ pF}$

$$t_{PLH} = \frac{0.8C}{1 + 0.6} \left(\frac{W}{W}\right) \cdot V_{DD} = \frac{0.8 \cdot 1.10^{-12}}{1 \cdot 10 \cdot 10^{-6} (7.5) \cdot 5} = 4.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.13 \text{ ns} = 4.26 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.13 \text{ ns} = 4.26 \text{ns}$

b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p}} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 10.10^{-6} \left(\frac{7.5}{1}\right)5} = 4.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N}} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 25.10^{-6} \left(\frac{3}{1}\right)5} = 4.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 4.3 \text{ ns} = 8.6 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 4.3 \text{ ns} = 8.6 \text{ns}$

Untuk C = 5pFc.

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 10 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 21.3 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0.8C}{\frac{1}{2}.\mu_{\text{N}}C_{\text{OX}}\left(\frac{W}{L}\right)_{\text{N}}.V_{\text{DD}}} = \frac{0.8.5.10^{-12}}{\frac{1}{2}.25.10^{-6}\left(\frac{3}{1}\right)5} = 21.3\text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 21.3 \text{ ns} = 42.6 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 21.3 \text{ ns} = 42.6 \text{ns}$

d. Untuk C = 10pF

$$t_{\rm PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{\rm p}C_{\rm OX}\left(\frac{W}{L}\right)_{\rm p}}.V_{\rm DD}} = \frac{0.8.10.10^{-12}}{\frac{1}{2}.10.10^{-6}\left(\frac{7.5}{1}\right)5} = 43 \text{ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_N C_{OX} \left(\frac{W}{L}\right)_N \cdot V_{DD}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 25.10^{-6} \left(\frac{3}{1}\right)^5} = 43 \text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 43 \text{ ns} = 86 \text{ns}$

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 43 \text{ ns} = 86 \text{ns}$

e. Untuk C = 15pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 15 \cdot 10^{-12}}{\frac{1}{2} \cdot 10 \cdot 10^{-6} \left(\frac{7.5}{1}\right) \cdot 5} = 64 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 15 \cdot 10^{-12}}{\frac{1}{2} \cdot 25 \cdot 10^{-6} \left(\frac{3}{1}\right) \cdot 5} = 64 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 64 \text{ ns} = 128 \text{ns}$

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 64 \text{ ns} = 128 \text{ ns}$

f. Untuk
$$C = 50 pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.10.10^{-6}\left(\frac{7.5}{1}\right)5} = 213.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.25.10^{-6}\left(\frac{3}{1}\right)5} = 213.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 213.3 \text{ ns} = 426.6 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 213.3 \text{ ns} = 426.6 \text{ns}$

3. $K_N = \mu_N \cdot C_{OX} = 30 \mu A/V^2$ $K_P = \mu_P \cdot C_{OX} = 12 \mu A/V^2$

a. Untuk
$$C = 0.5 pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 12 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 1.78 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 30 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 1.78 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 1.78 \text{ ns} = 3.56 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 1.78 \text{ ns} = 3.56 \text{ns}$ b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 12.10^{-6} \left(\frac{7.5}{1}\right) 5} = 3.5 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 30.10^{-6} \left(\frac{3}{1}\right) 5} = 3.5 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 3.5$ ns = 7ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 3.5$ ns = 7ns

c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 12 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 17.78 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 30 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 17.78 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 17.78 \text{ ns} = 35.56 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 17.78 \text{ ns} = 35.56 \text{ns}$

d. Untuk
$$C = 10pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 12.10^{-6} \left(\frac{7.5}{1}\right)^{5}} = 35.5 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 30.10^{-6} \left(\frac{3}{1}\right)^{5}} = 35.5 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 35.5 \text{ ns} = 71 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 35.5 \text{ ns} = 71 \text{ ns}$

e. Untuk C = 15pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.12.10^{-6}\left(\frac{7.5}{1}\right)5} = 53.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.30.10^{-6}\left(\frac{3}{1}\right)5} = 53.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 53.3 \text{ ns} = 106.6 \text{ns}$

UNL.

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 53.3 \text{ ns} = 106.6 \text{ns}$

f. Untuk C = 50pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 12.10^{-6} \left(\frac{7.5}{1}\right) 5} = 177.78 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 30.10^{-6} \left(\frac{3}{1}\right) 5} = 177.78 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 177.78 \text{ ns} = 355.56 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 177.78$ ns = 355.56ns

- 4. $K_N = \mu_N C_{OX} = 35 \mu A/V^2$
 - $K_P = \mu_P \cdot C_{OX} = 14 \mu A/V^2$

a. Untuk
$$C = 0.5 pF$$

Rise time,
$$t_{\rm F}$$
, $t_{\rm TLH} = 2 \ge t_{\rm PLH} = 2 \ge 177.78 \text{ ns} = 355.56\text{ns}$
Fall time, $t_{\rm f}$, $t_{\rm THL} = 2 \ge t_{\rm PHL} = 2 \ge 177.78 \text{ ns} = 355.56\text{ns}$
 $\mathbf{K}_{\rm N} = \mu_{\rm N}.\mathbf{C}_{\rm OX} = 35\mu \mathrm{A}/\mathrm{V}^2$
 $\mathbf{K}_{\rm P} = \mu_{\rm P}.\mathbf{C}_{\rm OX} = 35\mu \mathrm{A}/\mathrm{V}^2$
Untuk C = 0.5pF
 $t_{\rm PLH} = \frac{0.8\text{C}}{\frac{1}{2}\mu_{\rm p}\mathrm{C}_{\rm OX}\left(\frac{\mathrm{W}}{\mathrm{L}}\right)_{\rm p}}.\mathrm{V}_{\rm DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.14.10^{-6}\left(\frac{7.5}{1}\right)5} = 1.52\text{ns}$
 $t_{\rm PHL} = \frac{0.8\text{C}}{\frac{1}{2}\mu_{\rm N}\mathrm{C}_{\rm OX}\left(\frac{\mathrm{W}}{\mathrm{L}}\right)_{\rm N}}.\mathrm{V}_{\rm DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.35.10^{-6}\left(\frac{3}{1}\right)5} = 1.52\text{ns}$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 1.52 \text{ ns} = 3.04 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 1.52 \text{ ns} = 3.04 \text{ns}$

b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_p C_{OX} \left(\frac{W}{L}\right)_p \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 14.10^{-6} \left(\frac{7.5}{1}\right)5} = 3.1 \text{ns}$$

$$t_{\text{PHL}} = \frac{0.8\text{C}}{\frac{1}{2}.\mu_{\text{N}}\text{C}_{\text{OX}}\left(\frac{\text{W}}{\text{L}}\right)_{\text{N}}.\text{V}_{\text{DD}}} = \frac{0.8.1.10^{-12}}{\frac{1}{2}.35.10^{-6}\left(\frac{3}{1}\right)5} = 3.1\text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 3.1 \text{ ns} = 6.2 \text{ ns}$

- Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 3.1 \text{ ns} = 6.2 \text{ns}$
- c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 14 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 15.2 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_N C_{OX} \left(\frac{W}{L}\right)_N \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 35 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 15.2 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 15.2 \text{ ns} = 30.4 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 15.2 \text{ ns} = 30.4 \text{ ns}$

d. Untuk C = 10pF

$$t_{PLH} = \frac{0,8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0,8.10.10^{-12}}{\frac{1}{2}.14.10^{-6}\left(\frac{7.5}{1}\right)5} = 30.5 \text{ ns}$$
$$t_{PHL} = \frac{0,8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0,8.10.10^{-12}}{\frac{1}{2}.35.10^{-6}\left(\frac{3}{1}\right)5} = 30.5 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 30.5 \text{ ns} = 61 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 30.5 \text{ ns} = 61 \text{ ns}$

e. Untuk
$$C = 15pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.14.10^{-6}\left(\frac{7.5}{1}\right)5} = 45.7 \text{ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.35.10^{-6}\left(\frac{3}{1}\right)5} = 45.7 \text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 45.7 \text{ ns} = 91.4 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 45.7 \text{ ns} = 91.4 \text{ ns}$

f. Untuk C = 50 pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 14.10^{-6} \left(\frac{7.5}{1}\right) 5} = 152.38 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 50.10^{-12}}{\frac{1}{2} \cdot 35.10^{-6} \left(\frac{3}{1}\right) 5} = 152.38 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 152.38$ ns = 304.76ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 152.38$ ns = 304.76ns A.

BRAWIJAYA

5. $K_N = \mu_N \cdot C_{OX} = 40 \mu A / V^2$

$K_P = \mu_P \cdot C_{OX} = 16 \mu A/V^2$

a. Untuk C = 0.5 pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.16.10^{-6}\left(\frac{7.5}{1}\right)5} = 1.3ns$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.40.10^{-6}\left(\frac{3}{1}\right)5} = 1.3ns$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 1.3 \text{ ns} = 2.6 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 1.3 \text{ ns} = 2.6 \text{ns}$

b. Untuk C = 1pF

Rise time, t_r, t_{TLH} = 2 x t_{PLH} = 2 x 1.3 ns = 2.6ns
Fall time, t_f, t_{THL} = 2 x t_{PHL} = 2 x 1.3 ns = 2.6ns
Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{0X}\left(\frac{W}{L}\right)_{p}}.V_{DD}} = \frac{0.8.1.10^{-12}}{\frac{1}{2}.16.10^{-6}\left(\frac{7.5}{1}\right)5} = 2.67ns$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{0X}\left(\frac{W}{L}\right)_{N}}.V_{DD}} = \frac{0.8.1.10^{-12}}{\frac{1}{2}.40.10^{-6}\left(\frac{3}{1}\right)5} = 2.67ns$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.67 \text{ ns} = 5.34 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.67 \text{ ns} = 5.34 \text{ ns}$

c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 16 \cdot 10^{-6} \left(\frac{7 \cdot 5}{1}\right) 5} = 13 \text{ ns}$$

$$t_{\rm PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{\rm N} C_{\rm OX} \left(\frac{W}{L}\right)_{\rm N} \cdot V_{\rm DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 40.10^{-6} \left(\frac{3}{1}\right) 5} = 13 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 13 \text{ ns} = 26 \text{ ns}$

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 13 \text{ ns} = 26 \text{ns}$

d. Untuk C = 10pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}}.V_{DD}} = \frac{0.8.10.10^{-12}}{\frac{1}{2}.16.10^{-6}\left(\frac{7.5}{1}\right)5} = 26.67 \text{ns}$$

$$t_{\text{PHL}} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{\text{N}} C_{\text{OX}} \left(\frac{W}{L}\right)_{\text{N}} \cdot V_{\text{DD}}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 40.10^{-6} \left(\frac{3}{1}\right) 5} = 26.67 \text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 26.67$ ms = 53.34 ms Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 26.67$ ms = 53.34 ms

e. Untuk C = 15pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 15 \cdot 10^{-12}}{\frac{1}{2} \cdot 16 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 40 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 15 \cdot 10^{-12}}{\frac{1}{2} \cdot 40 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 40 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 40 \text{ ns} = 80 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 40 \text{ ns} = 80 \text{ns}$

f. Untuk
$$C = 50 pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}} \cdot V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.16.10^{-6}\left(\frac{7.5}{1}\right)5} = 133.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}} \cdot V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.40.10^{-6}\left(\frac{3}{1}\right)5} = 133.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 133.3$ ns = 266.6ns Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 133.3$ ns = 266.6ns

6. $K_N = \mu_N \cdot C_{OX} = 45 \mu A/V^2$ $K_P = \mu_P \cdot C_{OX} = 18 \mu A/V^2$

a. Untuk
$$C = 0.5 pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 18 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 1.2 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 0.5 \cdot 10^{-12}}{\frac{1}{2} \cdot 45 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 1.2 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 1.2$ ns = 2.4ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 1.2$ ns = 2.4ns

b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.1.10^{-12}}{\frac{1}{2}.18.10^{-6}\left(\frac{7.5}{1}\right)5} = 2.37 \text{ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.1.10^{-12}}{\frac{1}{2}.45.10^{-6}\left(\frac{3}{1}\right)5} = 2.37 \text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.37 \text{ ns} = 4.74 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.37 \text{ ns} = 4.74 \text{ ns}$

c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p}, V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 18 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 12 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N}, V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 45 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 12 \text{ ns}$$
Rise time, t., t_{TR} u = 2 x t_{PR} = 2 x 12 \text{ ns} = 24 \text{ ns}

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 12 \text{ ns} = 24 \text{ ns}$

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 12 \text{ ns} = 24 \text{ ns}$

d. Untuk
$$C = 10 pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8.10 \cdot 10^{-12}}{\frac{1}{2} \cdot 18 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 23.7 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 10 \cdot 10^{-12}}{\frac{1}{2} \cdot 45 \cdot 10^{-6} \left(\frac{3}{1}\right) 5} = 23.7 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 23.7 \text{ ns} = 47.4 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 23.7 \text{ ns} = 47.4 \text{ ns}$

e. Untuk
$$C = 15 pH$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.18.10^{-6}\left(\frac{7.5}{1}\right)5} = 35.5 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.45.10^{-6}\left(\frac{3}{1}\right)5} = 35.5 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 35.5$ ns = 71ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 35.5$ ns = 71ns f. Untuk C = 50pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{0X}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.18.10^{-6}\left(\frac{7.5}{1}\right).5} = 118.5 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{0X}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.45.10^{-6}\left(\frac{3}{1}\right).5} = 118.5 \text{ ns}$$
Rise time, t_{r} true = 2 x true = 2 x 118.5 ns = 237 ns

Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 118.5 \text{ ns} = 237 \text{ns}$

- 7. $K_N = \mu_N \cdot C_{OX} = 50 \mu A / V^2$ $K_P = \mu_P.C_{OX} = 20\mu A/V^2$
- a. Untuk C = 0.5 pF

Fall time, t_f, t_{THL} = 2 x t_{PHL}=2 x 118.5 ns = 237ns

$$\mathbf{K}_{N} = \mu_{N}.\mathbf{C}_{OX} = 50\mu A/V^{2}$$

 $\mathbf{K}_{P} = \mu_{P}.\mathbf{C}_{OX} = 20\mu A/V^{2}$
Untuk C = 0.5pF
 $t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.20.10^{-6}\left(\frac{7.5}{1}\right)5} = 1.06ns$
 $t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.0.5.10^{-12}}{\frac{1}{2}.50.10^{-6}\left(\frac{3}{1}\right)5} = 1.06ns$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 1.06 \text{ ns} = 2.12 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 1.06 \text{ ns} = 2.12 \text{ ns}$

b. Untuk C = 1pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-12}}{\frac{1}{2} \cdot 20.10^{-6} \left(\frac{7.5}{1}\right) 5} = 2.13 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 1.10^{-6}}{\frac{1}{2} \cdot 50.10^{-6} \left(\frac{3}{1}\right) \cdot 5} = 2.13 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 2.13 \text{ ns} = 4.26 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 2.13 \text{ ns} = 4.26 \text{ns}$

c. Untuk C = 5pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 5 \cdot 10^{-12}}{\frac{1}{2} \cdot 20 \cdot 10^{-6} \left(\frac{7.5}{1}\right) 5} = 10.6 \text{ ns}$$

$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.5.10^{-12}}{\frac{1}{2}.50.10^{-6}\left(\frac{3}{1}\right)5} = 10.6ns$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 10.6 \text{ ns} = 20.12 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 10.6 \text{ ns} = 20.12 \text{ ns}$

d. Untuk C = 10pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{p} C_{OX} \left(\frac{W}{L}\right)_{p} \cdot V_{DD}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 20.10^{-6} \left(\frac{7.5}{1}\right).5} = 21.3 \text{ ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2} \cdot \mu_{N} C_{OX} \left(\frac{W}{L}\right)_{N} \cdot V_{DD}} = \frac{0.8 \cdot 10.10^{-12}}{\frac{1}{2} \cdot 50.10^{-6} \left(\frac{3}{1}\right).5} = 21.3 \text{ ns}$$

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 21.3 \text{ ns} = 42.6 \text{ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 21.3 \text{ ns} = 42.6 \text{ns}$

e. Untuk
$$C = 15pF$$

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}} \cdot V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.20.10^{-6}\left(\frac{7.5}{1}\right)5} = 32ns$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}} \cdot V_{DD}} = \frac{0.8.15.10^{-12}}{\frac{1}{2}.50.10^{-6}\left(\frac{3}{1}\right)5} = 32ns$$
Bise time, t, true = 2 x true = 2 x 32 ns = 64ns

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 32 \text{ ns} = 64 \text{ ns}$ Fall time, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 32 \text{ ns} = 64 \text{ ns}$

f. Untuk C = 50 pF

$$t_{PLH} = \frac{0.8C}{\frac{1}{2}.\mu_{p}C_{OX}\left(\frac{W}{L}\right)_{p}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.20.10^{-6}\left(\frac{7.5}{1}\right)5} = 106.67 \text{ns}$$
$$t_{PHL} = \frac{0.8C}{\frac{1}{2}.\mu_{N}C_{OX}\left(\frac{W}{L}\right)_{N}.V_{DD}} = \frac{0.8.50.10^{-12}}{\frac{1}{2}.50.10^{-6}\left(\frac{3}{1}\right)5} = 106.67 \text{ns}$$

Rise time, t_r , $t_{TLH} = 2 \ge t_{PLH} = 2 \ge 106.67$ ns = 213.34ns Fall time, t_f , $t_{THL} = 2 \ge t_{PHL} = 2 \ge 106.67$ ns = 213.34ns

BRAWIJAYA

K / K -	Parameter	eter C _L (pF)					
κ _N / κ _P	(ns)	0.5	1	5	10	15	50
$K_N = 20 \mu A/V^2$	t _{PHL}	2.67	5.3	26.67	53	80	266.67
$K_P=8 \ \mu A/V^2$	t _{PLH}	2.67	5.3	26.67	53	80	266.67
$K_N\!\!=\!\!25\mu A/V^2$	t _{PHL}	2.13	4.3	21.3	43	64	213.3
$K_P=10\mu A/V^2$	t _{PLH}	2.13	4.3	21.3	43	64	213.3
$K_N=30\mu A/V^2$	t _{PHL}	1.78	3.5	17.78	35.5	53.3	177.78
$K_P=12\mu A/V^2$	t _{PLH}	1.78	3.5	17.78	35.5	53.3	177.78
	I E I						
$K_N=35\mu A/V^2$	t _{PHL}	1.52	3.1	15.2	30.5	45.7	152.38
$K_P=14\mu A/V^2$	t _{PLH}	1.52	3.1	15.2	30.5	45.7	152.38
		v I			~1		
$K_N=40\mu A/V^2$	t _{PHL}	1.3	2.67	13	26.67	40	133.3
$K_P=16\mu A/V^2$	t _{PLH}	1.3	2.67	13	26.67	40	133.3
					, X		
$K_N=45\mu A/V^2$	t _{PHL}	1.2	2.37	12	23.7	35.5	118.5
$K_P=18\mu A/V^2$	t _{PLH}	1.2	2.37	12	23.7	35.5	118.5
		A YA					
$K_N = 50 \mu A/V^2$	t _{PHL}	1.06	2.13	10.6	21.3	32	106.67
$K_P=20\mu A/V^2$	t _{PLH}	1.06	2.13	10.6	21.3	32	106.67

Tabel 4. 3. Data Hasil Perhitungan Analisis Propagation delay

Berdasarkan pada hasil analisis manual dengan beberapa variasi nilai parameter transkonduktansi (K) maka perancangan IC 8 Bit Multiplekser dan Demultiplekser adalah $K_N=45\mu A/V^2$ dan $K_P=18\mu A/V^2$ dengan nilai $C_L = 5pF$. Pemilihan nilai tersebut didasarkan pada datasheet dan sesuai dengan besarnya *propagation delay* yang diinginkan.

Rise time, t_r , $t_{TLH} = 2 \times t_{PLH} = 2 \times 12 \text{ ns} = 24 \text{ ns}$ *Fall time*, t_f , $t_{THL} = 2 \times t_{PHL} = 2 \times 12 \text{ ns} = 24 \text{ ns}$ Average *Propagation Delay* adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{12ns + 12ns}{2} = 12ns$$

Analisis disipasi daya dilakukan dengan membandingkan nilai pada datasheet dan menggunakan variasi frekuensi dan nilai kapasitor pada $K_{N}\!\!=\!\!45\mu A/V^{2}$ dan $K_P \!\!=\! 18 \mu A \!/\! V^2$

Disipasi daya pada frekuensi 1MHz adalah

 $P_D = C \cdot V_{DD}^2 \cdot f$ $= 5.10^{-12} \cdot 5^2 \cdot 1.10^6$

 $= 125 \mu W = 0.125 mW$

Dengan nilai propagation delay 12ns maka: BRAWIUAL

J.E

 $P_{DP} = t_{PD} \ . \ P_D$

 $= 12.10^{-9} \cdot 125.10^{-6}$

= 1.5pJ

BAB V

SIMULASI DAN PEMBUATAN LAYOUT

Bab ini akan membahas mengenai simulasi dan penggambaran *layout* 8 Bit Multiplekser dan demultiplekser. Proses simulasi yang dilakukan yaitu simulasi unit step untuk mengetahui besarnya delay dengan variasi besarnya nilai C_L dengan menggunakan *Transient Test* pada program B^2Spice . Untuk simulasi karakteristik alih tegangan (VTC) ditunjukkan oleh nilai tegangan dari hasil *DC Sweep Test* pada program B^2Spice .

Komponen transistor yang digunakan dalam simulasi adalah transistor level 1 karena pada level ini model yang digunakan sederhana dan kondisi ideal.

5.1 Simulasi Unit Step

Simulasi *Unit Step* dilakukan untuk mengetahui besarnya *Propagation delay* dengan memberikan variasi nilai kapasitor pada keluaran yaitu 0.5pF, 1pF, 5pF, 10pF, 15pF dan 50pF. Simulasi dilakukan dengan kondisi aktif Multiplekser kemudian kondisi aktif Demultiplekser dengan hasil simulasi diuraikan sebagai berikut.

5.1.1 Simulasi Unit Step dengan C_L 0.5pF

a. Kondisi Aktif Multiplekser



Gambar 5. 1. Grafik *Unit Step* IC dengan C_L 0.5pF pada Kondisi Aktif Multiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 0.5pF ditunjukkan dalam Gambar 5.1 dengan nilai *propagation delay* sebagai berikut:

$t_{PLH} = 0.359 ns$	$t_r=0.97ns$
$t_{PHL} = 0.11 ns$	$t_{\rm f}=0.05ns$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0.359 + 0.11}{2} = 0.2345 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 0,5pF, t_{PD} = 0.2345 ns, maka:

 $PD = C_L V_{DD}^2 f = 0.5 \times 10^{-12} \times 5^2 \times 1.10^6 = 12.5 \times 10^{-6} = 0.0125 \text{ mW}$

$$PDP = t_{PD}.PD = 0.2345 \text{ x } 10^{-9} \text{ x } 12,5 \text{ x } 10^{-6} = 2.93125 \text{ x } 10^{-15} = 2.93125 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,0125 mW dan PDP adalah 2.93125 fJ.

b. Kondisi Aktif Demultiplekser



Gambar 5. 2. Grafik Unit Step IC dengan C_L 0.5pF pada Kondisi Aktif Demultiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 0.5pF ditunjukkan dalam Gambar 5.2 dengan nilai propagation delay sebagai berikut:

$p_{\rm PLH} = 0.408 {\rm ms}$	t _r =0.765ns
$P_{\rm PHL} = 0.12 \rm ns$	t _f =0.05ns

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{PD} = \frac{tPLH + tPHL}{2} = \frac{0.408 + 0.12}{2} = 0.264 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 0,5pF, t_{PD} = 1.129 ns, maka:

$$PD = C_L V_{DD}^{2} f = 0.5 \times 10^{-12} \times 5^2 \times 1.10^{6} = 12.5 \times 10^{-6} = 0.0125 \text{ mW}$$

PDP =
$$t_{PD}$$
.PD = 0.264 x 10⁻⁹ x 12,5 x 10⁻⁶ = 3.3 x 10⁻¹⁵ = 3.3 fJ

Diperoleh nilai disipasi daya adalah 0,0125 mW dan PDP adalah 3.3 fJ.

5.1.2 Simulasi Unit Step dengan C_L 1pF

a. Kondisi Aktif Multiplekser



Gambar 5. 3. Grafik *Unit Step* IC dengan C_L 1pF pada Kondisi Aktif Multiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 1pF ditunjukkan dalam Gambar 5.3 dengan nilai *propagation delay* sebagai berikut:

$$t_{PLH} = 0.79 \text{ ns}$$
 $t_r = 1.58 \text{ ns}$
 $t_{PHL} = 0.13 \text{ ns}$ $t_f = 1 \text{ ns}$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{\rm PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0.79 + 0.13}{2} = 0.46 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 1pF, t_{PD} = 0.46 ns, maka:

$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 1.10^6 = 12,5 \times 10^{-6} = 0,025 \text{ mW}$$

 $PDP = t_{PD}.PD = 0.46 \text{ x } 10^{-9} \text{ x } 25 \text{ x } 10^{-6} = 11.5 \text{ x } 10^{-15} = 11.5 \text{ fJ}$

Diperoleh nilai disipasi daya adalah 0,025 mW dan PDP adalah 11.5 fJ.

b. Kondisi Aktif Demultiplekser



Gambar 5. 4. Grafik *Unit Step* IC dengan C_L 1pF pada Kondisi Aktif Demultiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik Unit Step untuk C_L 1pF ditunjukkan dalam Gambar 5.4 dengan nilai propagation delay sebagai berikut:

 $t_{PLH} = 0.509 \text{ns}$ $t_r = 1.501 \text{ns}$ $t_{PHL} = 0.13 \text{ns}$ $t_f = 1 \text{ns}$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

 $t_{\rm PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0.509 + 0.13}{2} = 0.3195 ns$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 1pF, t_{PD} = 0.3195 ns, maka:

$$PD = C_L V_{DD}^{2} f = 1 \times 10^{-12} \times 5^2 \times 1.10^6 = 12,5 \times 10^{-6} = 0,025 \text{ mW}$$

$$PDP = t_{PD}.PD = 0.3195 \text{ x } 10^{-9} \text{ x } 25 \text{ x } 10^{-6} = 7.9875 \text{ x } 10^{-15} = 7.9875 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,025 mW dan PDP adalah 7.9875 fJ.

5.1.3 Simulasi Unit Step dengan C_L 5pF

a. Kondisi Aktif Multiplekser





Grafik *Unit Step* untuk C_L 5pF ditunjukkan dalam Gambar 5.5 dengan nilai *propagation delay* sebagai berikut:

 $t_{PLH} = 3.160 \text{ns}$ $t_r = 6.318 \text{ns}$ $t_{PHL} = 1 \text{ns}$ $t_f = 3 \text{ns}$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{\rm PD} = \frac{t_{\rm PLH} + t_{\rm PHL}}{2} = \frac{3.160 + 1}{2} = 2.08 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 5pF, t_{PD} = 11.0325 ns, maka:

 $PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 1.10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$

$$PDP = t_{PD}.PD = 2.08 \text{ x } 10^{-9} \text{ x } 125 \text{ x } 10^{-6} = 260 \text{ x } 10^{-15} = 0.26 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 0.26pJ.

b. Kondisi Aktif Demultiplekser



Gambar 5. 6. Grafik *Unit Ste*p IC dengan CL 5pF pada Kondisi Aktif Demultiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 5pF ditunjukkan dalam Gambar 5.6 dengan nilai *propagation delay* sebagai berikut:

t _{PLH} =3.2ns	$t_r = 6.122 ns$		
$t_{PHL} = 1n$	t _f =3ns		

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{\rm PD} = \frac{t_{\rm PLH} + t_{\rm PHL}}{2} = \frac{3.2 + 1}{2} = 2.1 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 5pF, t_{PD} = 2.1 ns, maka:

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 1.10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$$

 $PDP = t_{PD}.PD = 2.1 \times 10^{-9} \times 125 \times 10^{-6} = 262.5 \times 10^{-15} = 0.2625 \text{ pJ}$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 0.2625pJ.

BRAWIJAYA

5.1.4 Simulasi Unit Step dengan C_L 10pF

a. Kondisi Aktif Multiplekser



Gambar 5. 7. Grafik Unit Step IC dengan C_L 10pF pada Kondisi Aktif Multiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik Unit Step untuk C_L 10pF ditunjukkan dalam Gambar 5.7 dengan nilai propagation delay sebagai berikut:

 $t_{PLH} = 6.318 \text{ns}$ $t_r = 11.056 \text{ns}$

t_f=5ns

 $t_{PHL} = 2ns$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

 $t_{\rm PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{6.318 + 2}{2} = 4.159 ns$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 10pF, t_{PD} = 4.159 ns, maka:

 $PD = C_L V_{DD}{}^2f = 10 \times 10^{-12} \times 5^2 \times 1.10^6 = 125 \times 10^{-6} = 0.25 \text{ mW}$

 $PDP = t_{PD}.PD = 4.159 \text{ x } 10^{-9} \text{ x } 250 \text{ x } 10^{-6} = 1039.75 \text{ x } 10^{-15} = 1.03975 \text{ pJ}$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 1.03975pJ.

b. Kondisi Aktif Demultiplekser



Gambar 5. 8. Grafik *Unit Step* IC dengan C_L 10pF pada Kondisi Aktif Demultiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 10pF ditunjukkan dalam Gambar 5.8 dengan nilai *propagation delay* sebagai berikut:

 $t_{PLH} = 6.531 ns$ $t_r = 13 ns$ $t_{PHL} = 2 ns$ $t_f = 5 ns$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

 $t_{\rm PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{6.531 + 2}{2} = 4.2655 ns$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 10pF, t_{PD} = 23.2 ns, maka:

 $PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 1.10^6 = 125 \times 10^{-6} = 0.25 \text{ mW}$

 $PDP = t_{PD}.PD = 4.2655 \ x \ 10^{-9} \ x \ 250 \ x \ 10^{-6} = 1066.375 \ x \ 10^{-15} = 1.066375 \ pJ$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 1.066375 pJ.

5.1.5 Simulasi Unit Step dengan C_L 15pF

a. Kondisi Aktif Multiplekser



Gambar 5. 9. Grafik Unit Step IC dengan C_L 15pF pada Kondisi Aktif Multiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 15pF ditunjukkan dalam Gambar 5.9 dengan nilai *propagation delay* sebagai berikut:

 $t_{PLH} = 7.318 \text{ns}$ $t_r = 19.056 \text{ns}$ $t_{PHL} = 3 \text{ns}$ $t_f = 9 \text{ns}$

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{PD} = \frac{tPLH + tPHL}{2} = \frac{7.318 + 3}{2} = 5.159ns$$
Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 15pF, t_{PD} = 5.159 ns, maka:

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1.10^6 = 375 \times 10^{-6} = 0,375 \text{ mW}$$

 $PDP = t_{PD}.PD = 5.159 \text{ x } 10^{-9} \text{ x } 375 \text{ x } 10^{-6} = 1934.625 \text{ x } 10^{-15} = 1.934625 \text{ pJ}$

Diperoleh nilai disipasi daya adalah 0,375 mW dan PDP adalah 1.934625pJ.

b. Kondisi Aktif Demultiplekser





Grafik *Unit Step* untuk C_L 15pF ditunjukkan dalam Gambar 5.10 dengan nilai *propagation delay* sebagai berikut:

$t_{PLH} = 7.531 ns$	t _r =20.428ns
$t_{\rm PHL} = 3 ns$	t _f =7ns

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{\rm PD} = \frac{t_{PLH} + t_{PHL}}{2} = \frac{7.531 + 3}{2} = 5.2655 ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 15pF, t_{PD} = 35.03 ns, maka:

 $PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1.10^6 = 375 \times 10^{-6} = 0,375 \text{ mW}$

PDP = t_{PD} .PD = 5.2655 x 10⁻⁹ x 375 x 10⁻⁶ = 1974.5625 x 10⁻¹⁵ = 1.9745625 pJ Diperoleh nilai disipasi daya adalah 0,375 mW dan PDP adalah 1.9745625 pJ.

5.1.6 Simulasi Unit Step dengan C_L 50pF





Gambar 5. 11. Grafik *Unit Step* IC dengan C_L 50pF pada Kondisi Aktif Multiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik *Unit Step* untuk C_L 50pF ditunjukkan dalam Gambar 5.11 dengan nilai *propagation delay* sebagai berikut:

$t_{PLH} = 22.636 ns$	t _r =59.478ns
t _{PHL} = 6ns	t _f =19ns

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata propagation delay

yaitu:

$$t_{PD} = \frac{tPLH + tPHL}{2} = \frac{22.636 + 6}{2} = 14.318ns$$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 50pF, t_{PD} = 14.318 ns, maka:

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1.25 \text{ mW}$$

 $PDP = t_{PD}.PD = 14.318 \text{ x } 10^{-9} \text{ x } 1250 \text{ x } 10^{-6} = 17897.5 \text{ x } 10^{-15} = 17.8975 \text{ pJ}$

Diperoleh nilai disipasi daya adalah 1.25 mW dan PDP adalah 17.8975.

b. Kondisi Aktif Demultiplekser



Gambar 5. 12. Grafik *Unit Step* IC dengan C_L 50pF pada Kondisi Aktif Demultiplekser. Input Tegangan (Grafik Atas) dan Output Tegangan (Grafik Bawah) Hasil Simulasi. Sumbu X adalah Time(s); Sumbu Y adalah Tegangan (V).

Grafik Unit Step untuk C_L 50pF ditunjukkan dalam Gambar 5.12 dengan nilai propagation delay sebagai berikut:

$t_{PLH} = 23.061 ns$	t _r =59.061ns
$t_{PHL} = 5 ns$	t _f =19ns

Berdasarkan pada data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

 $t_{\rm PD} = \frac{tPLH + tPHL}{2} = \frac{23.061 + 5}{2} = 14.0305 ns$

Dalam B^2Spice tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.34) (Bab II, halaman 17) dan Persamaan (2.36) (Bab II, halaman 18) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan C = 50pF, t_{PD} = 14.0305 ns, maka:

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1.25 \text{ mW}$$

$$PDP = t_{PD}.PD = 14.0305 \text{ x } 10^{-9} \text{ x } 1250 \text{ x } 10^{-6} = 17538.125 \text{ x } 10^{-15} = 17.538125 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1.25 mW dan PDP adalah 17.538125pJ.

5.2 Simulasi Karakteristik Alih Tegangan (VTC)



Gambar 5. 13. Grafik Karakteristik Alih Tegangan (VTC)

Gambar 5.13 menunjukkan grafik alih tegangan IC 8 Bit Multiplekser dan Demultiplekser dengan kondisi aktif Multiplekser maupun Demultiplekser memiliki nilai V_{OH} , V_{IL} , V_{IH} , dan V_{OL} yang sama. Kondisi ideal terjadi ketika V_{OL} mendekati *ground* dan V_{OH} mendekati nilai tegangan V_{DD} yaitu 5V dan selisih antara V_{IL} dan V_{IH} sangat kecil. Dari grafik dalam Gambar 5.13 menunjukkan nilai V_{OH} , V_{IL} , V_{IH} , dan V_{OL} sebagai berikut:

$$V_{OH} = 5V$$
 $V_{IL} = 2.695V$
 $V_{IH} = 2.805V$ $V_{OL} = 0V$

Setelah diketahui besarnya V_{OH} . V_{IL} , V_{IH} , dan V_{OL} maka perhitungan *noise margin* dapat dilakukan dengan menggunakan persamaan (2.29) dan persamaan (2.30) sebagai berikut:

$$NM_{H} = V_{OH} - V_{IH}$$
(2.29)

$$NM_{H} = 5 - 2.805 = 2,195V$$

$$NM_{L} = V_{IL} - V_{OL}$$
(2.30)

$$NM_{L} = 2,695 - 0 = 2,695V$$

Noise margin hasil simulasi, dimana tegangan input yang dinyatakan sebagai logika LOW adalah 0 V – 2,195 V dan range tegangan input yang dinyatakan sebagai logika HIGH adalah 2,695 V – 5V. Sedangkan tegangan output yang dinyatakan sebagai logika LOW adalah 0 V dan range tegangan output yang dinyatakan sebagai logika HIGH adalah 5 V. Dengan demikian amplitudo sinyal masukan noise yang diperbolehkan masuk ke rangkaian maksimal 2,195 V. Noise diharapkan tidak melampaui kondisi tersebut agar tidak merubah batas logika tinggi dan rendah IC.

5.3 Perbandingan Hasil Analisis dengan Perhitungan

Berdasarkan pada hasil simulasi IC 8 Bit Multiplekser dan Demultiplekser dalam subbab 5.1 dan 5.2 diperoleh data simulasi yang dapat menjadi pembanding dengan data analisis perhitungan serta datasheet yang telah ditetapkan. Tabel 5.1 menunjukkan data hasil simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan kondisi aktif Multiplekser.

Parameter												
i urumotor .	0.5pF	1pF	5pF	10pF	15pF	50pF						
tPLH(ns)	0.359	0.79	3.16	6.318	7.318	22.636						
tPHL(ns)	0.11	0.13		2	3	6						
t _r (ns)	0.97	1.58	6.318	11.056	19.056	59.478						
t _f (ns)	0.05	1	3	5	9	19						
tPD(ns)	0.2345	0.46	2.08	4.159	5.159	14.318						
PD(mW)	0.0125	0.025	0.125	0.25	0.375	1.25						
PDP (fJ)	2.93125	11.5	260	1039.75	1934.625	17897.5						

Tabel 5. 1 Hasil Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan Kondi	si
Aktif Multiplekser	

Tabel 5.2 menunjukkan data hasil simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan kondisi aktif Demultiplekser.

Parameter	C_L											
	0.5pF	1pF	5pF	10pF	15pF	50pF						
tPLH(ns)	0.408	0.509	3.2	6.531	7.531	23.061						
tPHL(ns)	0.12	0.13	- 1	2	3	5						
t _r (ns)	0.765	1.501	6.122	13	20.428	59.061						
t _f (ns)	0.05	1	3	5	7	19						
tPD(ns)	0.264	0.3195	2.1	4.2655	5.6255	14.0305						
PD(mW)	0.0125	0.025	0.125	0.25	0.375	1.25						
PDP (fJ)	3.3	7.9875	262.5	1066.375	1974.5625	17538.125						

Tabel 5. 2. Hasil Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan Kondisi Aktif Demultiplekser

Berdasarkan pada Tabel 5.1 dan Tabel 5.2 diperoleh *propagation delay*, *power dissipation* dan *power delay product* yang semakin besar jika kapasitor yang digunakan semakin besar.

Tabel 5.3 menunjukkan perbandingan hasil perhitungan, simulasi, VTC dan *Noise Margin* dengan perhitungan *absolute error* yang ditunjukkan dalam Persamaan (5.1) (Rif'an, 2004: 4)

 $e = Y_n - X_n$

(5.1)

Tabel 5. 3. Perbandingan Data Hasil Perhitungan dan simulasi VTC dengan Datasheet IC DM74LS151 dan IC MC74HC151A

Parameter	Da	tasheet	Perhitungan	Simulasi	F
	DM74LS151	MC74HC151A	- I clintungun	Simulasi	L
V _{IH} (V)	2	3.125	2.875	2.805	0.07
$V_{IL}(V)$	0.8	0.9	2.125	2.695	0.57
V _{OH} (V)	3.4	4.4	4.625	5	0.375
$V_{OL}(V)$	0.35	0.1	0.375	0	0.375
$N_{MH}\left(V ight)$	1.4	1.275	1.75	2.195	0.445
$N_{ML}(V)$	0.45	0.8	1.75	2.695	0.945

Berdasarkan pada Tabel 5.3 dapat diketahui bahwa hasil simulasi dan perhitungan nilai VTC dan *noise margin* tidak memiliki perbedaan yang cukup besar dengan *error* yang kecil. Tabel perbandingan nilai *propagation delay* pada kondisi aktif Multiplekser dan Demultiplekser ditunjukkan dalam Tabel 5.4 dan Tabel 5.5.

TIN	Dat	asheet	Sim	ulasi	Perh	itungan
Parameter	DM74LS151	MC74HC151A	15pF	50pF	15pF	50pF
	CL = 15 pF	CL = 50 pF				
t _{PLH} (ns)	21	34	7.318	22.636	35.5	118.5
t _{PHL} (ns)	20	34	3	6	35.5	118.5
t _{PD} (ns)	12.5	34	5.159	14.318	35.5	118.5

Tabel 5. 4. Perbandingan Nilai Propagation Delay pada Kondisi Aktif Multiplekser

Tabel 5. 5. Perbandingan Nilai Propagation Delay pada Kondisi Aktif Demultiplekser										
	Dat	asheet	Sim	ulasi	Perhitungan					
Parameter	74LS138	MC74HC138A	15pF	50pF	15pF	50pF				
	CL = 15 pF	CL = 50 pF								
t _{PLH} (ns)	13	27	7.531	23.061	35.5	118.5				
t _{PHL} (ns)	27	27	3	5	35.5	118.5				
t _{PD} (ns)	20	27	5.6255	14.0305	35.5	118.5				

Berdasarkan pada Tabel 5.4 dan Tabel 5.5 diperoleh hasil perbandingan antara simulasi dan perhitungan yang memiliki perbedaan cukup jauh karena pada perhitungan hanya menggunakan parameter yang terbatas dan simulasi yang dilakukan dengan program B^2Spice menggunakan transistor level 1 yang merupakan transistor dengan kondisi ideal. Tetapi dapat dilihat bahwa dari hasil simulasi didapatkan nilai *propagation delay* yang kecil yang menunjukkan bahwa IC ini memiliki proses kerja yang cepat.

Tabel 5. 6. Data Hasil Perbandingan Power Dissipation dan Power Delay Product dengan

Datasheet											
Parameter	DM74LS151	MC74HC151A	Sim	ulasi Perhitungan							
bSIL	C _L =15pF	C _L =50pF	C _L =15pF	C _L =50pF	C _L =15pF	C _L =50pF					
$t_{PD}(ns)$	12,5	34	5.159	14.318	35.5	118.5					
PD (mW)	30	500	0.375	1.25	0.375	1.25					
PDP (pJ)	375	17000	1.9346	17.8975	13.3125	148.125					
Parameter	74LS138	MC74HC138A	Sim	ulasi	Perhitungan						
	C _L =15pF	C _L =50pF	C _L =15pF	C _L =50pF	C _L =15pF	C _L =50pF					
t _{PD} (ns)	20	27	5.6255	14.0305	35.5	118.5					
PD (mW)	32	500	0.375	1.25	0.375	1.25					
PDP (pJ)	640	13500	1.97456	17.538	13.3125	148.125					

BRAWIJAYA

5.4 Pembuatan Stick Diagram dan Layout

Setelah mengetahui nilai W dan L masing-masing transistor penyusun gerbang 8Bit Multiplekser dan Demultiplekser, hasil simulasi sesuai dengan spesifikasi yang ditentukan, proses selanjutnya adalah penggambaran stick diagram dan penggambaran *layout*. Stick diagram bertujuan untuk mempermudah penggambaran *layout* dengan memberikan gambaran awal posisi transistor yang akan di desain namun belum memuat besarnya W dan L. Untuk membedakan lapisan yang satu dengan yang lain digunakan warna merah untuk polisilikon, kuning untuk difusi-p, hijau untuk difusi-n, biru muda untuk metal 1, dan biru tua untuk metal 2. Seperti yang ditunjukkan dalam Gambar 5.14



Penggambaran *layout* dilakukan dengan menggunakan program *Microwind2* dengan teknologi $0.12\mu m$ CMOS proses (= $0.06\mu m$).



Gambar 5. 15. Layout untuk Gerbang NAND 2 Input

Gambar 5.15 menunjukkan *layout* dari salah satu gerbang penyusun rangkaian 8 bit Multiplekser-Demultiplekser yaitu gerbang NAND 2 Input. *Layout* secara keseluruhan dari rangkaian 8 bit Mux-Demux ditunjukkan dalam Gambar 5.16.



Gambar 5. 16. Layout Rangkaian 8 Bit Multiplekser-Demultiplekser Tanpa Pad I/O

				8								12				-	10 49 10	10 0 20 1
(2)	(d) (d)	-	-		-		-		-					-	+		-22	12 I
8			1		10		1			3		-		÷	19 () ()	TIN BUT IN THE		Í
121			÷.		\tilde{E}	÷	32		20	3	80	89	13	1	83			- 10
\$			23	24	17	2	1	13	28	1	20	22	10	12	10	THATATA	-	
\$i	1000		22	92	25	23	1	3	22	3	<u>19</u>	12	12	12	1	: [E		
8	10000				20		23	3	1		80	5			-			.
e .			2	98	25		1	12	10	3	12	12	12	άį.	25	- HILL		
3			85	13		10	2	2	81	•	80	8		10	81	THEFT		
8	5. P.S.						2	1	5			5	1	•	-22			1.11
2			22	1	vi vi	1			1				-	-		THE PERSON NEWS		
21 19	-		10	10	80 94	20 20		26 12	10	2			5	5	16		-	
2			8	32	55	8	8	8	21	3	22	2	11	8	-22	a la		
22									ri -						i			
55	41 13		1							•				10			10	45 3
V.	8. JR			13								1					28	28 3
					••••		l	2	00	1	30	77		Jι	2			

Layout dengan Pad I/O ditunjukkan dalam Gambar 5.17.

Gambar 5. 17. Layout dengan Pad I/O

IC 8 Bit Multiplekser dan Demultiplekser HCMOS mempunyai *layout* tanpa pad I/O dengan luasan 385.6µm x 25.7µm dan menggunakan pad I/O dengan luasan 1430.5µm x 1430.5µm.

PENUTUP

6.1 Kesimpulan

Berdasarkan pada hasil analisis dan hasil simulasi rangkaian 8Bit Multiplekser dan Demultiplekser HCMOS dapat diambil kesimpulan sebagai berikut :

- IC 8 Bit Multiplekser dan Demultiplekser HCMOS tersusun dari 5 gerbang inverter yang terdiri atas 10 transistor PMOS dan NMOS, 16 gerbang NAND 4 input yang terdiri atas 128 transistor PMOS dan NMOS, 9 gerbang NAND 2 input yang terdiri atas 36 transistor PMOS dan NMOS, 1 gerbang NAND 8 input yang terdiri atas 16 transistor PMOS dan NMOS dan 18 inverter kaskada yang membutuhkan 36 transistor PMOS dan NMOS, sehingga keseluruhan rangkaian 8 bit multiplekser dan demultiplekser HCMOS menggunakan 226 transistor.
- Perancangan IC 8 Bit Multiplekser dan Demultiplekser HCMOS mempunyai VTC yang simetris dengan N_{MH} dan N_{ML} masing-masing sebesar 1.75V dengan V_{IH} = 2.875 V, V_{IL} = 2.125V, V_{OH} = 4.625V dan V_{OL} = 0.375V, sedangkan hasil simulasi dengan menggunakan program B²Spice diperoleh N_{MH} = 2.195V, N_{ML} = 2.695V, V_{IH} = 2.805V, V_{IL} = 2.695V, V_{OH} = 5V dan V_{OL} = 0V.
- 3. IC 8 Bit Multiplekser dan Demultiplekser HCMOS dirancang dengan nilai propagation delay 12ns pada $C_L = 5pF$ dengan disipasi daya sebesar 0.125mW.
- 4. Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan menggunakan B^2Spice dilakukan dengan beberapa variasi C_L dan memiliki output yang simetris pada C_L = 5pF.
- 5. Simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan menggunakan B^2Spice pada C_L=5pF mrnghasilkan nilai *propagation delay* yang lebih kecil daripada perhitungan yaitu sebesar 2.1ns pada kondisi aktif Demultiplekser dan 2.08ns pada kondisi aktif Multiplekser.
- 6. Hasil perancangan dan simulasi IC 8 Bit Multiplekser dan Demultiplekser HCMOS dengan membandingkan pada nilai kapasitansi yang sama ($C_L = 15pF$ untuk TTL dan $C_L = 50pF$ untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik daripada IC DM74LS151 ($t_{PD}=12.5ns$ dan $P_{DP}=375pJ$), IC MC74HC151A ($t_{PD}=34ns$ dan $P_{DP}=17000pJ$), IC 74LS138 ($t_{PD}=20ns$ dan $P_{DP}=640pJ$) dan IC MC74HC138A ($t_{PD}=27ns$ dan $P_{DP}=13500pJ$).

6.2 Saran

Penelitian ini menggunakan transistor level 1 pada B^2Spice yang merupakan transistor sederhana dengan kondisi ideal sehingga penelitian selanjutnya dapat dikembangkan dengan menggunakan transistor level 2 atau level 3 yang lebih kompleks.

IVERSITAS

BRAWIJA

- Darmawansyah, Julius, Stefanie. Mei 2012. Rangkaian Terpadu 4 Bit Multiplexer-Demultiplexer (Multidem) HCMOS 0.12µm dengan Kaskada Dua Tingkat. Proceeding EECCIS 2012.
- Darmawansyah, Tibyani. Mei 2008. Perancangan IC Decoder Peraga Matriks 7 x 5 CMOS menggunakan Program Mikrowin. Jurnal Sains dan Teknologi EMAS, Vol. 18, No. 2.
- De Massa, Thomas A. Ciccone, Zack. 1996. *Digital Integrated Circuits*. Canada: John Wiley & Sons.
- Fairchild Semiconductor. 2000. ID Series Datasheet . www.alldatasheet.com. Diakses tanggal 11 Maret 2014.
- Geiger, Randall L., dkk. 1990. VLSI Design Techniques For Analog and Digital Circuits. Singapore: McGraw-Hill Book Co.
- Hodges, david A., Jackson, Horace G. 1987. *Analisis dan Desain Rangkaian Terpadu Digital*. Alih Bahasa Nasution, Sofyan. Jakarta: Erlangga.
- Kang, Sung-Mo, Leblebici, Yusuf. 1996. CMOS Digital Integrated Circuits : Analysis and Design Second Edition. Singapore: McGraw-Hill Book Co.
- Kehrer, Wohlmuth, Hnapp, Wurzer, Scholtz. November 2003. 40-Gb/s 2:1 Multiplexer and 1:2 Demultiplexer in 120-nm Standard CMOS. IEEE Journal of Solid State Circuits, Vol. 38, No. 11.
- Mismail, Budiono.1998. Dasar-Dasar Rangkaian Logika Digital. Bandung: Penerbit ITB
- Motorola Semiconductor Corporation. 2000. www.datasheetcatalog.com. Diakses tanggal 11 Maret 2014.

On Semiconductor. 2013. www.onsemi.com. Diakses tanggal 11 Maret 2014.

- Rabaey, jan M., dkk. 1999. Digital Integrated Circuits a Design Perspective Second Edition. New Jersey: Prentice Hall Electronics and VLSI series.
- Rif'an, Moch. 2004. Diktat Kuliah Pengukuran Besaran Elektrik. Malang: Jurusan Teknik Elektro Universitas Brawijaya.

Suprapto. 2000. Teknik Rangkaian Terpadu. Malang: FT.UNIBRAW.

Lampiran 1. Datasheet IC

