

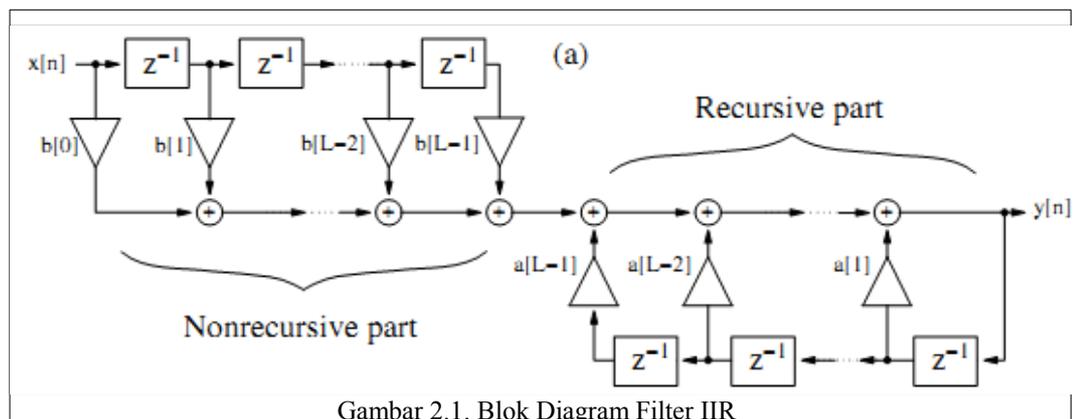
BAB II

TINJAUAN PUSTAKA

2.1 Filter Digital IIR

Filter digital secara umum adalah proses penghitungan atau algoritma yang mengubah urutan angka sinyal masukan menjadi urutan angka keluaran. Filter digital dapat melakukan berbagai fungsi seperti penurunan, pengintegralan, perkiraan dan seperti filter analog, mampu menyaring pita frekuensi yang tidak diinginkan.

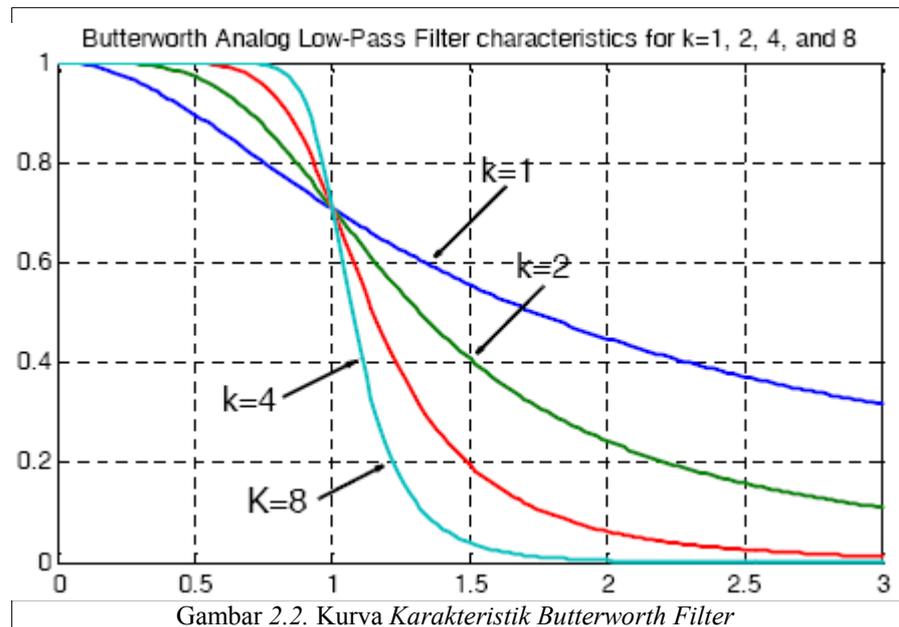
Filter digital IIR mempunyai tanggapan impuls tak hingga, sehingga bisa disamakan dengan filter analog, dimana keduanya memiliki tanggapan impuls yang panjangnya tak berhingga. Cara dasar untuk merancang filter IIR adalah mengubah filter analog yang sudah umum menjadi filter digital menggunakan pemetaan nilai kompleks. Kekurangan dari cara ini adalah kita tidak dapat mengatur karakteristik fasa dari filter IIR. Gambar 2.1 menunjukkan blok diagram.



Gambar 2.1. Blok Diagram Filter IIR
Sumber : Baese-Uwe Meyer(2007:219)

2.2 Filter Butterworth

Tanggapan frekuensi filter Butterworth berbentuk datar (tidak ada *ripple*) pada frekuensi *passband*, dan menurun menuju nol pada *stopband*. Transisi antara *passband* menuju *stopband* berbentuk landai. Untuk mendapatkan lebar pita transisi yang lebih kecil, filter Butterworth memerlukan orde filter yang lebih tinggi. Gambar 2.2 menunjukkan karakteristik filter Butterworth.

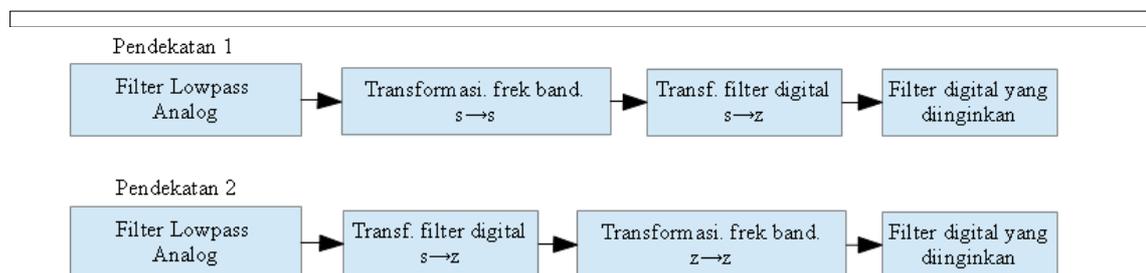


Gambar 2.2. Kurva Karakteristik Butterworth Filter

Sumber : Karris(2007:11-14)

2.3 Desain Filter Digital

Teknik dasar perancangan filter IIR adalah transformasi filter analog menjadi filter digital menggunakan pemetaan *complex-valued*. Teknik ini memiliki keuntungan, yaitu tabel AFD (*Analog Filter Design*) dan tabel pemetaan banyak tersedia di literatur. Teknik ini disebut *A/D (analog-to-digital) filter transformation*. Namun, tabel AFD hanya tersedia untuk filter lowpass, sehingga diperlukan transformasi frekuensi untuk mendapatkan tipe filter lainnya (highpass, lowpassm, bandpass). Terdapat dua pendekatan dalam perancangan filter IIR.



Gambar 2.3. Teknik perancangan filter digital

Kekurangan dari teknik *A/D filter transformation* adalah tidak mampu mengendalikan karakteristik fasa filter IIR. Oleh karena itu desain filter hanya diperlakukan sebagai rancangan *Magnitude* saja.

2.3.1 Fungsi Alih Filter Butterworth

Filter Butterworth memiliki karakteristik respon magnitude yang datar di passband dan stopband. Respon *magnitude* kuadrat dari filter *lowpass* orde-N adalah.

$$H_a(s)H_a(-s) = |H_a(j\Omega)|^2 = \frac{1}{1 + \left(\frac{s}{j\Omega_c}\right)^{2N}} = \frac{(j\Omega)^{2N}}{s^{2N} + (j\Omega_c)^{2N}} \quad (2.1)$$

Akar persamaan polinomial penyebut dari persamaan 2.1 adalah

$$p_k = (-1)^{\frac{1}{2N}} (j\Omega_c) = \Omega_c e^{j\frac{\pi}{2N}(2k+N+1)}, \quad k=0,1,\dots,2N-1 \quad (2.2)$$

dari persamaan 2.2 dapat diambil kesimpulan bahwa

Terdapat $2N$ buah tiang yang tersebar di lingkaran dengan radius Ω_c . Masing-masing tiang berjarak π/N radian.

1. Orde ganjil, tiang memiliki nilai $p_k = \Omega_c e^{j\frac{k\pi}{N}}$, $k=0,1,\dots,2N-1$.
2. Orde genap, tiang memiliki nilai $p_k = \Omega_c e^{j(\frac{\pi}{2N} + \frac{k\pi}{N})}$, $k=0,1,\dots,2N-1$.
3. Tiang tersebar secara simetris terhadap sumbu imajiner.
4. Tiang tidak pernah berada pada sumbu imajiner, namun terdapat pada sumbu real jika orde ganjil.

Filter stabil dan kausal bisa didapatkan dengan memilih tiang di kiri sumbu imajiner. Persamaan menunjukkan fungsi alih filter Butterworth.

$$H(s) = \frac{\Omega_c^N}{\prod_{LHP\ poles} (s - p_k)} \quad (2.3)$$

dengan:

Ω_c = frekuensi *cutoff*

N = orde filter

LHP poles = tiang di sebelah kiri sumbu imajiner domain Laplace

p_k = tiang ke- k

2.3.2 Transformasi Filter Digital

Transformasi bilinear berguna untuk mengubah persamaan filter analog menjadi digital. Transformasi ini mengubah domain s menjadi domain z . Persamaan menunjukkan 2.4 transformasi bilinear.

$$s = \frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}} \quad (2.4)$$

dengan:

T = waktu sampling.

2.4 Field Programmable Gate Array (FPGA)

FPGA adalah sebuah intergrated circuit yang didesain untuk dapat dikonfigurasi oleh user atau designer setelah keluar dari produksi. Pengkonfigurasian FPGA pada umumnya adalah spesifik menggunakan deskripsi bahasa hardware atau HDL (*Hardware Description Language*). FPGA dapat digunakan untuk diimplementasikan pada semua fungsi logika yang terdapat atau yang dapat dilakukan oleh ASIC (*Application Specification Integrated Circuit* atau IC yang dibuat untuk diciptakan secara khusus hanya untuk fungsi yang spesifik). Kemampuan FPGA dalam pemrograman ulang setelah *shipping* dan kebutuhan biaya yang relatif lebih kecil dibanding ASIC, menyebabkan FPGA merupakan sebuah keuntungan pada bermacam-macam aplikasi. Gambar 2.4 menunjukkan contoh fisik sebuah IC FPGA.



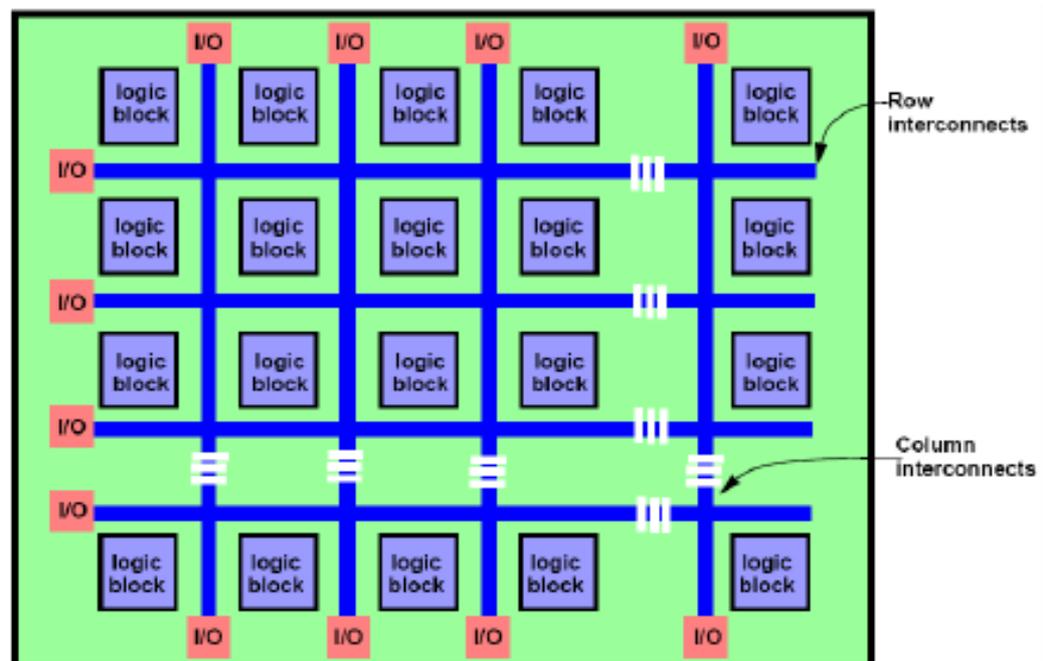
Gambar 2.4. Bentuk fisik FPGA
Sumber : Altera Stratix IV EP4SGX230 FPGA on a PCB

FPGA terdiri atas kumpulan komponen logika yang dapat diprogram ulang yang disebut dengan “logic block”, dan sebuah hirarki *reconfigurable interconnect* (koneksi jalur-jalur atau penjaluran yang dapat diatur-aturnya hubungannya antara jalur satu dan yang lain) sehingga memungkinkan adanya hubungan antar blok yang saling interkoneksi (wired together). Setiap logic block, dapat dikonfigurasi menjadi fungsi kombinasional yang kompleks, atau hanya menjadi sebuah gerbang sederhana (seperti gerbang AND dan XOR). Pada sebagian besar FPGA, dalam setiap logic block terdapat juga elemen-

elemen memori seperti flip-flop atau memori blok yang lebih kompleks.

2.4.1 Arsitektur FPGA

FPGA terdiri atas *Configurable Logic Block (CLB)*, *Input/Output Blocks (IOB)* dan interkoneksi. CLB merupakan blok untuk membangun komponen-komponen combinational/sequential. Untuk dapat membentuk CLB dibutuhkan truth table dalam membangun jalur logika. IOB merupakan blok yang digunakan untuk mengirimkan sinyal keluar dari chip dan sekaligus membaca sinyal yang masuk ke dalam chip. Interkoneksi merupakan penghubung yang bisa di atur sedemikian rupa untuk menghubungkan antara CLB dengan IOB secara horisontal maupun secara vertikal, serta dapat mengeluarkan fan-out (kemampuan untuk mengirimkan data ke banyak sumber untuk dijadikan input sekaligus) untuk multiple output. Arsitektur FPGA pada umumnya ditunjukkan dalam Gambar 2.5, tetapi masing-masing vendor memiliki cara tersendiri dalam mengatur isi dari struktur masing-masing blok.



Gambar 2.5. Arsitektur FPGA

Sumber : CERN Accelerator School

2.4.2 DSP48A1

DSP48A1 adalah slice pada FPGA yang berguna untuk pemrosesan sinyal digital seperti perkalian, penjumlahan dan penurangan. Banyak algoritma DSP yang

didukung dengan *general-purpose* logika FPGA sehingga menghasilkan performansi tinggi dan penggunaan device yang efisien namun berdaya rendah.

Slice DSP48A1 memiliki masukan 18 bit pre-adder, 18x18 bit pengali *two's complement*. Komponen lain slice ini adalah 48 bit *sign-extended adder/substracter/accumulator*.

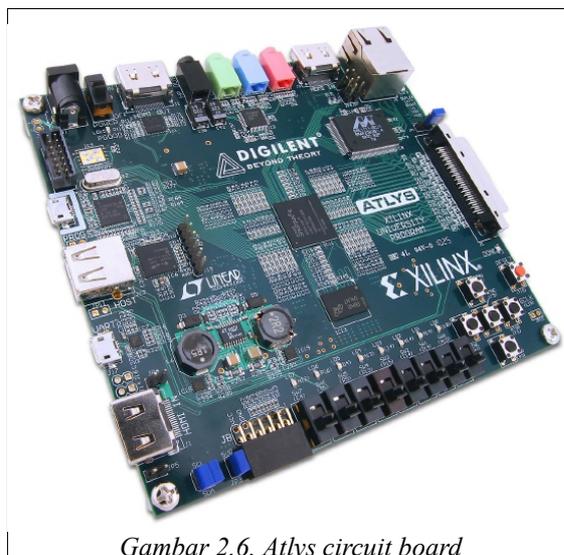
FPGA keluarga Spartan-6 memiliki rasio DSP48A1 yang tinggi sehingga ideal untuk perancangan aplikasi matematis. Tabel 2.1 menunjukkan banyaknya slice DSP48A1 pada keluarga Spartan-6.

Tabel 2.1. Jumlah slice DSP48A1 pada keluarga Spartan-6
sumber: *user-guide Spartan-6 FPGA DSP48A1 Slice*

Device	Total DSP48A1 Slices per Device	Number of DSP48A1 Columns per Device	Number of DSP48A1 Slices per Column
XC6SLX4	8	1	8
XC6SLX9	16	1	16
XC6SLX16	32	2	16
XC6SLX25	38	2	18/20
XC6SLX45	58	2	30/28
XC6SLX75	132	3	44/40/48
XC6SLX100	180	4	48/44/40/48
XC6SLX150	180	4	48/44/40/48
XC6SLX25T	38	2	18/20
XC6SLX45T	58	2	30/28
XC6SLX75T	132	3	44/40/48
XC6SLX100T	180	4	48/44/40/48
XC6SLX150T	180	4	48/44/40/48

2.4.3 Atlys Circuit Board

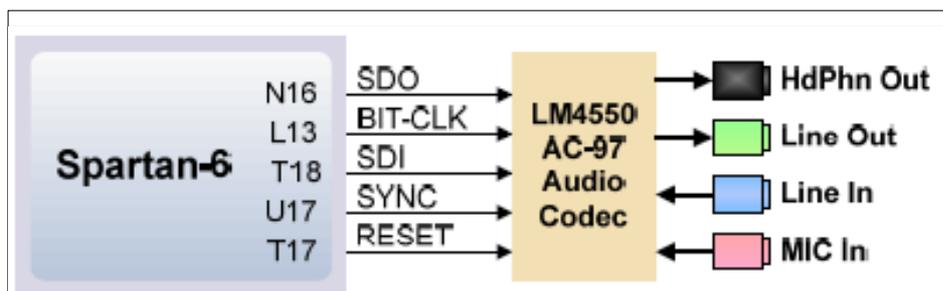
Atlys adalah *circuit board* yang dibuat oleh Digilent yang berbasis pada FPGA Xilinx Spartan-6 LX45. Pada *circuit board* ini terdapat beberapa *peripheral* yaitu Gbit Ethernet, HDMI video, 128 Mbyte 16-bit DDR2 *memory* dan USB serta AC-97 *audio* codec sebagai ADC/DAC. Atlys cocok dengan segala macam software CAD dari Xilinx. menunjukkan Atlys *circuit board*.



Gambar 2.6. Atlys circuit board
Sumber : Atlys Board Reference Manual

2.5 LM4550 AC-97 Audio Codec

LM4550 AC-97 adalah audio codec untuk sistem PC yang terpasang pada Atlys circuit board sebagai unit ADC/DAC. Codec ini memiliki data audio 18 bit dan mampu melakukan proses sampling dengan kecepatan dari 4KHz hingga 48KHz. Kecepatan sampling pada audio in dan audio out bisa berbeda. *Micophone jack* bersifat mono sedangkan *jack* lainnya stereo. Gambar 2.7 menunjukkan antarmuka Spartan 6 dengan AC-97.



Gambar 2.7. Gambar antarmuka Spartan 6 dengan AC-97
Sumber: Atlys Board Reference Manual

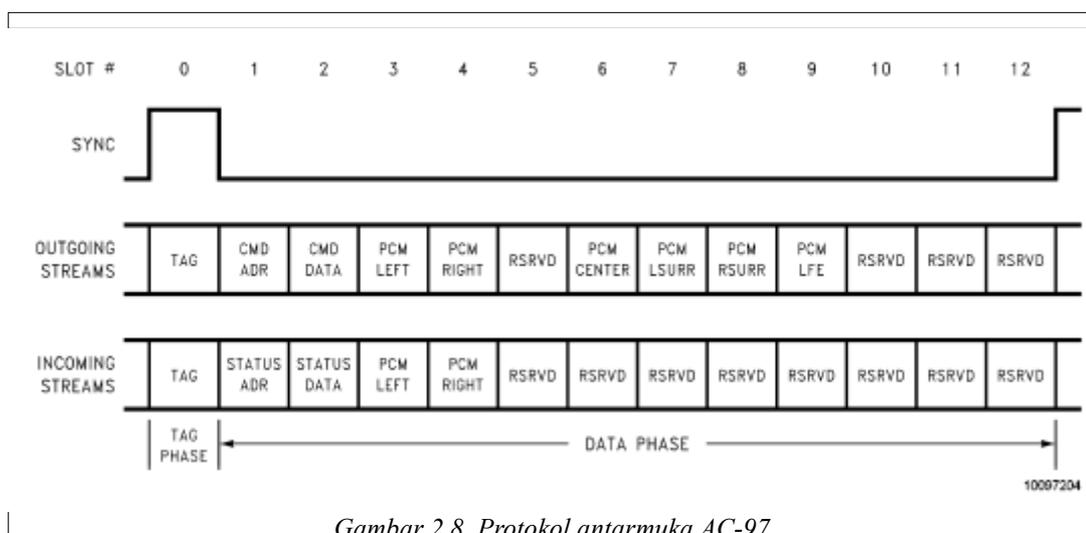
Berikut Tabel 2.2 menunjukkan penjelasan masing-masing port tersebut.

Tabel 2.2. Fungsi pin AC-97

Nama sinyal	Pin FPGA	Fungsi Pin
BIT_CLOCK	L13	adalah serial clock output sebesar 12.288 MHz, yang diambil dari setengah frekuensi ontrol input

		(XTAL_IN) sebesar 24.576 MHz.
SDATA_IN	T18	Serial Data In terdiri dari frame input AC97 link yang berisi konfigurasi dan data PCM audio. SDATA_IN data di picu oleh tepi naik dari BIT_CLOCK.
SDATA_OUT	N16	Serial Data Out dari FPGA. Data SDATA_OUT terdiri ontr frame AC97 yang berisi konfigurasi dan data audio DAC. SDATA_OUT di sampling oleh LM4550 pada tepi turun dari BIT_CLOCK.
SYNC	U17	Penanda frame AC link yang menandakan batas frame AC link. Setiap frame berlangsung selama 256 period dari BIT_CLOCK. SYNC biasanya berupa sebuah pulsa positif 48 kHz dengan duty cycle 6.25% (16/256). SYNC di sampling pada tepi naik dari BIT_CLOCK, dan sampling pertama dari SYNC mendefinisikan tanda mulai dari frame AC link yang baru. Jika pulsa SYNC terjadi pada periode 255 BIT_CLOCK pada frame start, maka akan di hiraukan. SYNC juga berperan sebagai Warm Reset yang digunakan untuk membersihkan status power down pada codec interface AC link.
RESET	T17	Berfungsi sebagai Cold Reset yaitu sinyal yang aktif pada logika rendah yang mengakibatkan reset secara hardware yang mengembalikan ontrol register dan semua sirkuit internal menjadi kondisi default.

Bentuk komunikasi data AC-97 adalah serial yang dibagi menjadi frame. Masing-masing frame terdiri dari 13 slot. Gambar 2.8 menunjukkan protokol antarmuka AC-97.



Gambar 2.8. Protokol antarmuka AC-97
sumber: datasheet LM4550 AC-97 Rev 2.1

Tabel 2.3 dan 2.4 masing-masing menjelaskan kegunaan slot SDATA_OUT dan SDATA_IN.

Tabel 2.3. Fungsi slot pada frame SDATA_OUT

Slot	Fungsi Slot
0	Slot ini memiliki lebar 16 bit. Bit pertama slot 0 sebagai bit penunjuk frame valid. Jika bit pertama bernilai 1, maka data pada frame tersebut berisi setidaknya satu slot data valid dan AC-97 akan mengambil empat bit berikutnya.
1	Slot 1 digunakan untuk menulis register LM4550 sekaligus membaca nilai register sekarang. MSB dari slot 1 (bit 19) menunjukkan operasi membaca atau menulis. Bit 18 hingga 12 digunakan untuk menunjukkan alamat register. Bit lainnya merupakan cadangan dan harus diberi nilai 0.
2	Slot 2 digunakan untuk mengirimkan 16 bit data kontrol LM4550 pada saat operasi tulis. 4 bit terakhir harus diberi nilai 0. Jika operasi yang dilakukan adalah operasi baca, maka seluruh bit harus diberi nilai 0.
3-4	PCM Audio Data untuk data DAC kanan dan kiri. Data yang digunakan adalah bit 19 hingga 2, sedangkan bit 1 dan 0 harus bernilai 0.
5	Cadangan
6	PCM Audio Data untuk LFESurround
7	PCM Audio Data untuk Surround kiri
8	PCM Audio Data untuk Surround kanan
9	PCM Audio Data untuk LFESurround
10-12	Cadangan

Tabel 2.4. Fungsi slot pada frame SDATA_IN

Slot	Fungsi Slot
0	Bit pertama SDATA_IN slot ini menunjukkan kapan Codec siap.
1	Slot ini memberitahukan register kontrol permintaan sebelumnya pada slot SDATA_OUT. Jika bit 11 dan 10 di set 0, maka kontroler harus merespon data PCM slot 3 dan 4 pada frame berikutnya. Jika bit 11 dan 10 di set 1, maka kontroler tidak boleh mengirimkan data pada frame berikutnya.
2	Slot ini mengembalikan data register kendali. Data yang dikembalikan diawali oleh permintaan baca pada SDATA_OUT slot.
3	PCM Record jalur kiri. Bit yang digunakan adalah bit 19 hingga 2.

4	PCM Record jalur kanan. Bit yang digunakan adalah bit 19 hingga 2.
5-12	Cadangan

2.5.1 AC-97 Hardware Driver

AC-97 Hardware Driver berguna untuk menerjemahkan stream data serial AC-97 agar dapat diproses oleh FPGA. Port masukan berupa reset aktif low, serial data in line, bit clock dari ac97, 3 bit pemilih source dan 5 bit kendali volume. Port keluaran berupa sinyal sync, serial data output dan reset ac97 aktif low.

2.6 Two Complement (2C)

Two complement merupakan salah satu sistem angka *fixed point*. Sistem ini merepresentasikan signed integer dengan range -2^{N-1} hingga $2^{N-1}-1$. Nilai yang direpresentasikannya dinyatakan sebagai berikut.

$$X = \sum_{n=0}^{N-2} x_n 2^n - 2^{N-1} + \sum_{n=0}^{N-2} x_n 2^n$$