

## ABSTRAK

Mahfi, Kanzi, Teknik Elektro, Konsentrasi Elektronika, Fakultas Teknik Universitas Brawijaya Malang, 2013. **Penerapan Floating Point Unit (FPU) Sebagai Co-Processor Yang Diimplementasikan Dengan Menggunakan FPGA.**

Pembimbing: Mohammad Rif an, ST., MT. dan Waru Djuriatno, S.T., M.T.

Kata-kata kunci: Floating-point, FPGA, Standar IEEE 754, Unit aritmatika, Operasi aritmatika.

Sirkuit aritmatika merupakan bagian penting dari sistem digital. Dengan kemajuan luar biasa dalam VLSI, banyak sirkuit yang kompleks, yang kemarin tak terpikirkan menjadi mudah terealisasi saat ini. Algoritma yang tampak mustahil untuk diterapkan sekarang memiliki kemungkinan implementasi yang menarik untuk masa depan. Ini berarti bahwa tidak hanya metode aritmatika konvensional tetapi juga metode-metode yang tidak konvensional layak untuk diselidiki sebagai desain baru.

Dalam skripsi ini unit aritmatika bekerja berdasarkan standar IEEE 754 untuk bilangan *floating point* presisi tunggal telah diimplementasikan pada FPGA Spartan 3E. Unit aritmatika yang diimplementasikan memiliki unit pengolahan 32 bit yang mampu untuk melakukan operasi aritmatika seperti, penjumlahan, pengurangan, perkalian dan pembagian serta mampu menangani operasi perhitungan khusus yang tidak bisa dikerjakan oleh model operasi standar. Setiap operasi dapat dipilih oleh kode operasi tertentu.

Sintesis FPGA untuk unit aritmatika dilakukan dengan menggunakan Xilinx ISE 11.1. Dan hasilnya unit aritmatika ini mampu bekerja menghitung dua buah bilangan *floating point* presisi tunggal standar IEEE 754 dengan waktu yang dibutuhkan sebesar 233.689ns. Artinya dalam satu detik unit aritmatika ini mampu melakukan operasi perhitungan dua buah bilangan *floating point* sebanyak 4279191 kali.



## PENGANTAR

Segala puji bagi Tuhan Yang Maha Esa pemilik alam semesta, atas rahmat dan ridho-Nya penulis akhirnya mampu menyelesaikan skripsi ini yang berjudul *Penerapan Floating Point Unit (FPU) Sebagai Co-Processor Yang Diimplementasikan Dengan Menggunakan FPGA*.

Tujuan dari penulisan skripsi ini, yaitu untuk memenuhi syarat kelulusan pendidikan yang penulis tempuh sebagai mahasiswa di jurusan Teknik Elektro Universitas Brawijaya.

Dalam rentang 2,5 tahun penulisan skripsi ini, tidak sedikit kesulitan dan hambatan yang penulis alami baik materi maupun psikologi. Namun berkat dukungan, dorongan dan semangat dari berbagai pihak, penulis mampu menyelesaikan penulisan skripsi ini. Oleh karena itu penulis memberikan penghargaan dan ucapan terima kasih yang sebesar-besarnya kepada:

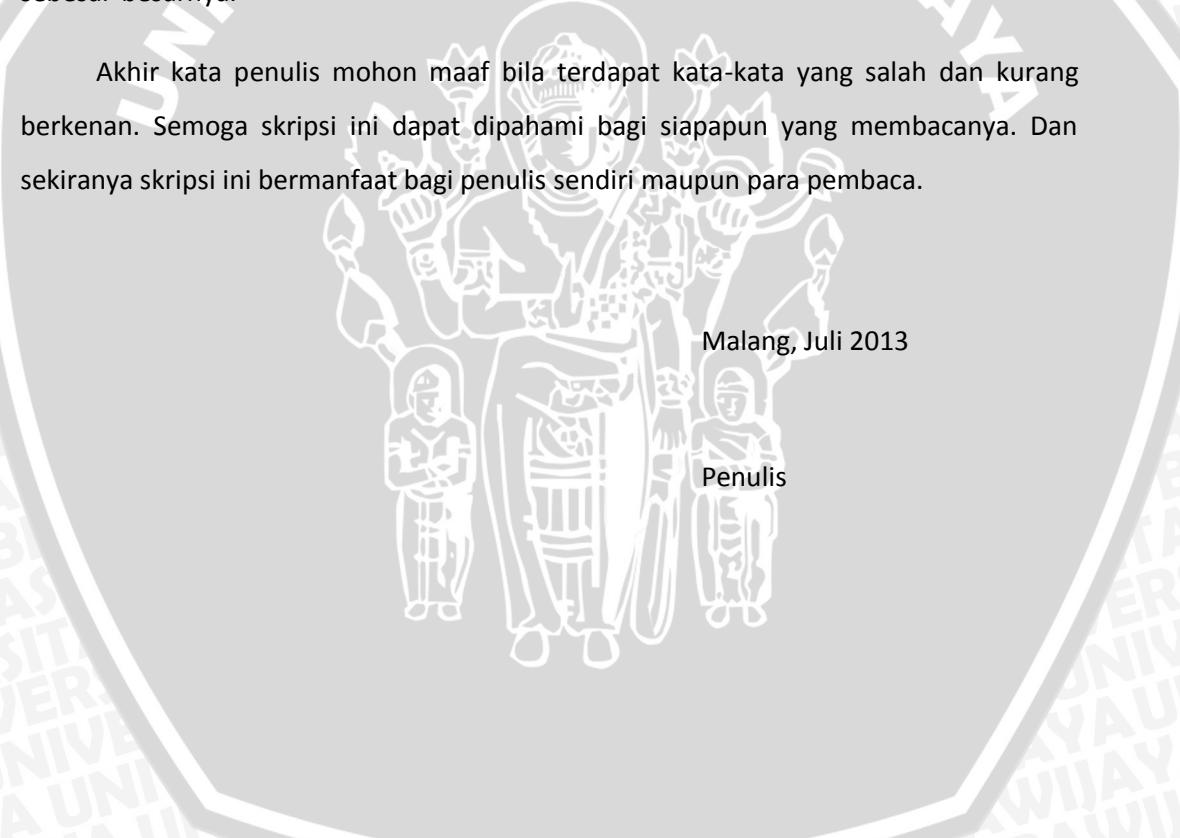
- 1) Bapak Dr. Ir. Sholeh Hadi Pramono, M.S. selaku Ketua Jurusan Teknik Elektro yang memberikan dukungan dan dorongan kepada penulis di masa-masa akhir studi.
- 2) Ibu Ir. Nurussa'adah, MT. selaku KKDK Teknik Elektronika yang memberikan perhatian dan dukungan moril atas terselesaiannya skripsi ini.
- 3) Bapak Moch. Rif'an, ST., MT. selaku Dosen Pembimbing I yang dengan sabar memberikan bimbingan dan saran kepada penulis.
- 4) Bapak Waru Djuriatno, S.T., M.T. selaku Dosen Pembimbing II yang rela meminjamkan FPGA kepada penulis untuk waktu yang lama serta memberikan ilmu dan saran kepada penulis.
- 5) Bapak dan Ibu Dosen serta karyawan Teknik Elektro Universitas Brawijaya.
- 6) Ibu dan Abi yang telah mengasuh dan mendidik penulis, serta Adik-adikku yang menemaniku dalam suka maupun duka.
- 7) Teman-teman seperjuangan di masa-masa aktif kuliah: Arif, Nindy, Litut, Nuke, Lunde, Rijal, dan Maksum yang melengkapi penulis dalam menuntut ilmu dan selalu rendah hati dalam menghadapi kesombongan penulis.



- 8) Teman-teman seperjuangan skripsi: Bima, Samuel, Dian Agung, dan Teman-teman seperjuangan lain yang bersama-sama menghadapi batas akhir masa studi.
- 9) Teman-teman elektro angkatan 2006, atas kebersamaan dan kepeduliannya.
- 10) Seluruh Guru-guru yang telah membimbing penulis mulai dari sekolah dasar sampai perguruan tinggi.

Menyadari keterbatasan penulis sebagai manusia, penulis berkeyakinan bahwa kesempurnaan skripsi ini sangat jauh dari apa yang diharapkan, dan Tuhan semata Yang Maha Sempurna. Karenanya penulis akan sangat berterima kasih apabila siapapun berkenan sudi memberikan kritik dan saran demi mendekati ke arah kesempurnaan skripsi ini. Maka pada tempatnya penulis menyampaikan rasa terima kasih yang sebesar-besarnya.

Akhir kata penulis mohon maaf bila terdapat kata-kata yang salah dan kurang berkenan. Semoga skripsi ini dapat dipahami bagi siapapun yang membacanya. Dan sekiranya skripsi ini bermanfaat bagi penulis sendiri maupun para pembaca.



Malang, Juli 2013

Penulis

**DAFTAR ISI**

ABSTRAK .....	i
PENGANTAR .....	ii
DAFTAR ISI.....	iv
DAFTAR GAMBAR .....	vii
DAFTAR TABEL .....	ix
1. PENDAHULUAN .....	1
1.1. Latar Belakang .....	1
1.2. Rumusan Masalah .....	2
1.3. Ruang Lingkup .....	2
1.4. Tujuan .....	2
2. KAJIAN PUSTAKA .....	3
2.1. Bilangan Floating Point .....	3
2.2. Floating Point Standar IEEE 754 .....	3
2.3. Floating Point Presisi Tunggal .....	5
2.4. Aritmatika Bilangan Floating Point.....	8
2.4.1. Invalid Operation .....	9
2.4.2. Division by Zero .....	9
2.4.3. Inexact .....	10
2.4.4. Overflow .....	10
2.4.5. Underflow .....	10
2.5. Field-Programmable Gate Array (FPGA) .....	11
2.5.1. Berbasis SRAM .....	12
2.5.2. Teknologi Antifuse .....	12
2.5.3. Teknologi EEPROM .....	13
2.5.4. Look-Up Table .....	13
3. METODE PENELITIAN .....	15
3.1. Penentuan Spesifikasi Rancangan .....	15
3.2. Perancangan Sistem .....	15
3.3. Pengujian .....	17
3.3.1. Pengujian Perblok .....	17
3.3.2. Pengujian Keseluruhan Sistem .....	19
4. PERANCANGAN .....	20
4.1. Sistem FPU .....	20
4.2. Pembangunan Hardware FPU .....	24
4.3. Algoritma FPU .....	26
4.3.1. Algoritma Penjumlahan dan Pengurangan .....	27



4.3.2. Algoritma Perkalian .....	29
4.3.3. Algoritma Pembagian .....	30
4.3.4. Algoritma Exception Handler .....	31
4.4. Perancangan Komponen FPU .....	32
4.4.1. Unit Operand Decoder .....	33
4.4.2. Arithmetic Unit .....	34
4.4.3. Unit Leading Zero Counter (LZC) .....	35
4.4.4. Unit Logical Right Shifter .....	36
4.4.5. Unit Logical Left Shifter .....	36
4.4.6. Unit Exception Handling .....	37
4.4.7. Unit Floating Point Encoder .....	39
4.4.8. Control Unit .....	39
4.4.9. Unit Input-Output .....	40
5. PENGUJIAN DAN ANALISIS .....	41
5.1. Pengujian Input-Output .....	42
5.1.1. Tujuan Pengujian .....	42
5.1.2. Peralatan Pengujian .....	42
5.1.3. Prosedur Pengujian .....	42
5.1.4. Data Hasil Pengujian .....	44
5.1.5. Analisis Hasil Pengujian .....	45
5.2. Pengujian Operand Decoder .....	46
5.2.1. Tujuan Pengujian .....	46
5.2.2. Peralatan Pengujian .....	46
5.2.3. Prosedur Pengujian .....	46
5.2.4. Data Hasil Pengujian .....	49
5.2.5. Analisis Hasil Pengujian .....	50
5.3. Pengujian Logical Right Shifter .....	51
5.3.1. Tujuan Pengujian .....	51
5.3.2. Peralatan Pengujian .....	51
5.3.3. Prosedur Pengujian .....	51
5.3.4. Data Hasil Pengujian .....	53
5.3.5. Analisis Hasil Pengujian .....	54
5.4. Pengujian Arithmetic Unit .....	55
5.4.1. Tujuan Pengujian .....	55
5.4.2. Peralatan Pengujian .....	55
5.4.3. Prosedur Pengujian .....	55
5.4.4. Data Hasil Pengujian .....	57
5.4.5. Analisis Hasil Pengujian .....	59
5.5. Pengujian Leading Zero Counter .....	60
5.5.1. Tujuan Pengujian .....	60
5.5.2. Peralatan Pengujian .....	61
5.5.3. Prosedur Pengujian .....	61
5.5.4. Data Hasil Pengujian .....	63

5.5.5. Analisis Hasil Pengujian .....	63
5.6. Pengujian Logical Left Shifter .....	64
5.6.1. Tujuan Pengujian .....	64
5.6.2. Peralatan Pengujian .....	64
5.6.3. Prosedur Pengujian .....	64
5.6.4. Data Hasil Pengujian .....	65
5.6.5. Analisis Hasil Pengujian .....	66
5.7. Pengujian Exception Handler .....	67
5.7.1. Tujuan Pengujian .....	67
5.7.2. Peralatan Pengujian .....	67
5.7.3. Prosedur Pengujian .....	67
5.7.4. Data Hasil Pengujian .....	70
5.7.5. Analisis Hasil Pengujian .....	71
5.8. Pengujian Floating Point Encoder .....	72
5.8.1. Tujuan Pengujian .....	72
5.8.2. Peralatan Pengujian .....	72
5.8.3. Prosedur Pengujian .....	72
5.8.4. Data Hasil Pengujian .....	75
5.8.5. Analisis Hasil Pengujian .....	76
5.9. Pengujian Floating Point Unit .....	77
5.9.1. Tujuan Pengujian .....	77
5.9.2. Peralatan Pengujian .....	77
5.9.3. Prosedur Pengujian .....	77
5.9.4. Data Hasil Pengujian .....	80
5.9.5. Analisis Hasil Pengujian .....	82
6. KESIMPULAN DAN SARAN .....	88
6.1. Kesimpulan .....	88
6.2. Saran .....	89
DAFTAR PUSTAKA .....	90
LAMPIRAN .....	91

## DAFTAR GAMBAR

Gambar 2.1. Tiga bidang float dalam format IEEE 754 .....	4
Gambar 2.2. Susunan bit bilangan floating point presisi tunggal .....	5
Gambar 2.3. Arsitektur dasar FPGA: array dua dimensi dari programmable logic cells, interkoneksi dan input/output. ....	12
Gambar 2.4. Metode pemrograman (a) koneksi SRAM (b) antifuse .....	13
Gambar 2.5. Look-up table diimplementasikan sebagai (a) Memori. (b) Multiplekser dan Memori. (c) Contoh konten memori untuk beberapa fungsi logika .....	13
Gambar 2.6. Implementasi 4-LUT dan isi tabel kebenarannya .....	14
Gambar 3.1. Diagram blok perancangan FPU .....	16
Gambar 4.1 Diagram alir pengerjaan FPU .....	22
Gambar 4.2 Diagram alir proses perhitungan pada FPU .....	22
Gambar 4.3. Blok Diagram FPU yang akan dirancang .....	25
Gambar 4.4. Diagram alir algoritma penjumlahan dan pengurangan .....	28
Gambar 4.5 Diagram alir untuk algoritma perhitungan perkalian .....	29
Gambar 4.6. Diagram alir untuk algoritma perhitungan pembagian .....	31
Gambar 4.7. Diagram alir algoritma exception handler .....	32
Gambar 4.8. Struktur sistem operand decoder .....	33
Gambar 4.9. Struktur sistem ALU .....	34
Gambar 4.10 Struktur sistem unit LZC .....	36
Gambar 4.11. Struktur sistem logical right shifter .....	36
Gambar 4.12. Struktur sistem logical left shifter .....	37
Gambar 4.13. Struktur sistem exception handler .....	38
Gambar 4.14. Struktur sistem floating point encoder .....	39
Gambar 4.16. Struktur sistem unit input-output .....	40
Gambar 5.1 (a) Peletakan input output SPARTAN XC3S500E. (b) Diagram blok pengujian input output .....	44
Gambar 5.2. (a) Hasil pengujian pada Tabel 5.1. no 2. (b) Hasil Pengujian pada Tabel 5.1 no 7 .....	45
Gambar 5.3 Peletakan input output SPARTAN XC3S500E untuk pengujian operand decoder. (b) Diagram blok pengujian operand decoder .....	48

Gambar 5.4. (a) Hasil pengujian pada Tabel 5.2 nomor 2. (b) Hasil Pengujian pada Tabel 5.2 nomor 7 .....	49
Gambar 5.5 Peletakan input output SPARTAN XC3S500E untuk pengujian logical right shifter. (b) Diagram blok pengujian logical right shifter .....	52
Gambar 5.6. (a) Hasil pengujian pada Tabel 5.3 nomor 2. (b) Hasil Pengujian pada Tabel 5.3 nomor 5 .....	53
Gambar 5.7. Peletakan input output SPARTAN XC3S500E untuk pengujian arithmetic unit. (b) Diagram blok pengujian arithmetic unit .....	57
Gambar 5.8. Hasil pengujian pada Tabel 5.4 nomor 3 untuk masing-masing keluaran ..	59
Gambar 5.9 Peletakan input output SPARTAN XC3S500E untuk pengujian leading zero counter. (b) Diagram blok pengujian leading zero counter .....	62
Gambar 5.12. (a) Hasil pengujian pada Tabel 5.6 nomor 3. (b) Hasil Pengujian pada Tabel 5.6 nomor 7 .....	66
Gambar 5.13 Peletakan input output SPARTAN XC3S500E untuk pengujian exception handler. (b) Diagram blok pengujian exception handler .....	69
Gambar 5.14. (a) Hasil pengujian pada Tabel 5.7 nomor 3. (b) Hasil Pengujian pada Tabel 5.7 nomor 8 .....	71
Gambar 5.15 Peletakan input output SPARTAN XC3S500E untuk pengujian floating point encoder. (b) Diagram blok pengujian floating point encoder .....	74
Gambar 5.16. (a) Hasil pengujian pada Tabel 5.8 nomor 2. (b) Hasil Pengujian pada Tabel 5.8 nomor 6 .....	76
Gambar 5.17 Peletakan input output SPARTAN XC3S500E untuk pengujian keseluruhan sistem FPU (b) Diagram blok pengujian FPU .....	79
Gambar 5.16. (a) Hasil pengujian pada Tabel 5.9 nomor 2. (b) Hasil Pengujian pada Tabel 5.9 nomor 7. (c) Hasil pengujian pada Tabel 5.9 nomor 9. (d) Hasil pengujian pada Tabel 5.9 nomor 15 .....	81

## DAFTAR TABEL

Tabel 5.1. Hasil Pengujian Input-output .....	44
Tabel 5.2. Hasil pengujian Operand Decoder .....	49
Tabel 5.3. Data hasil pengujian Logical right shifter .....	53
Tabel 5.4. Data Hasil Pengujian Arithmetic Unit .....	58
Tabel 5.5. Data hasil pengujian Leading Zero Counter .....	63
Tabel 5.6. Data hasil pengujian Logical left shifter .....	65
Tabel 5.7. Hasil pengujian Exception Handler .....	70
Tabel 5.8. Hasil pengujian Floating point encoder .....	75
Tabel 5.9. Hasil pengujian FPU .....	80
Tabel 5.10. Analisis Hasil Pengujian FPU secara keseluruhan .....	83

