

BAB II

TINJAUAN PUSTAKA

Bab ini membahas dasar teori yang merupakan hasil dari studi literatur tentang teori untuk merencanakan dan menganalisa IC Multiplexer 16 to 1 HCMOS. Multiplexer adalah rangkaian yang memilih sinyal. Sejumlah sinyal masukan diberikan ke multiplexer ini dengan pertolongan sinyal pengendali memilih beberapa sinyal yang jumlahnya lebih kecil dari masukannya untuk disalurkan. (Mismail, 1997 :155)

Syarat dari perancangan multiplexer adalah $m \leq 2^n$, dan macam dari multiplexer adalah yang pertama dari multiplexer 2 to 1, dengan jumlah sinyal control (n)=1, dilanjutkan dengan multiplexer 4 to 1, multiplexer 8 to 1, dan yang sekarang akan dibahas dalam penelitian ini adalah 16 to 1 dengan jumlah sinyal control = 4. Tetapi yang umum perancangan yang dilakukan langsung pada multiplexer 4 to 1 yang mempunyai masukan maksimal 4, lalu dikembangkan kembali menjadi multiplexer dual 4 to 1 yang mempunyai kapasitas menerima masukan sinyal lebih banyak yaitu 8.

Kemudian dilanjutkan dengan perancangan multiplexer 8 to 1 yang tidak perlu dengan gabungan multiplexer 4 to 1 yang mempunyai 2 keluaran. Semakin banyak sinyal masukan yang bisa diterima oleh suatu multiplexer, maka semakin baik multiplexer tersebut. Maka kelebihan multiplexer yang dirancang dalam penelitian ini adalah mempunyai masukan sinyal yang lebih banyak yaitu 16.

2.1 MOSFET

MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) adalah suatu transistor dari bahan semikonduktor (silikon) dengan tingkat konsentrasi ketidakmurnian tertentu. Tingkat dari ketidakmurnian ini akan menentukan jenis transistor tersebut, yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS). Bahan silikon ini yang akan digunakan sebagai landasan (*substrat*) dari penguras (*drain*), sumber (*source*), dan gerbang (*gate*). Selanjutnya transistor ini dibuat sedemikian rupa agar antara substrat dan gerbangnya dibatasi oleh oksida silikon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri dari kanal, sehingga transistor MOSFET akan mempunyai kelebihan dibanding dengan transistor BJT (*Bipolar Junction Transistor*), yaitu menghasilkan disipasi daya yang rendah.

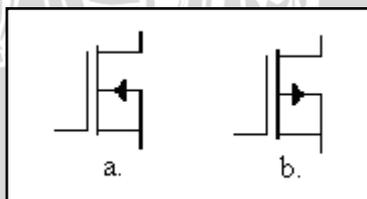
2.1.1 Jenis- Jenis MOS

MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) adalah suatu transistor dari bahan semikonduktor (silikon) dengan tingkat konsentrasi ketidakmurnian tertentu. Tingkat dari ketidakmurnian ini akan menentukan jenis transistor tersebut, yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS). Bahan silikon ini yang akan digunakan sebagai landasan (*substrat*) penguras (*drain*), sumber (*source*), dan gerbang (*gate*). Selanjutnya transistor ini dibuat sedemikian rupa agar antara substrat dan gerbangnya dibatasi oleh oksida silikon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri kanal, sehingga transistor MOSFET akan mempunyai kelebihan dibanding dengan transistor BJT (*Bipolar Junction Transistor*), yaitu menghasilkan disipasi daya yang rendah.

Bila dilihat dari cara kerjanya, transistor MOS dapat dibagi menjadi dua, yaitu:

1) Transistor Mode Pengosongan (Transistor Mode Depletion)

Pada transistor mode depletion, antara drain dan source terdapat saluran yang menghubungkan dua terminal tersebut, dimana saluran tersebut mempunyai fungsi sebagai saluran tempat mengalirnya elektron bebas. Lebar dari saluran itu sendiri dapat dikendalikan oleh tegangan gerbang. Transistor MOSFET mode pengosongan terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.1.



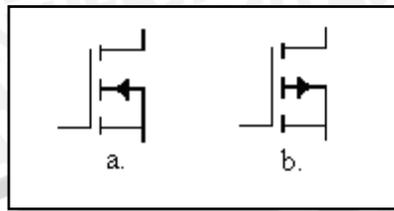
Gambar 2.1 Simbol Transistor MOSFET Mode *Depletion*

(a). N-Channel *Depletion* (b). P-Channel *Depletion*

2) Transistor Mode peningkatan (Transistor Mode Enhancement)

Transistor mode enhancement ini pada fisiknya tidak memiliki saluran antara drain dan sourcenya karena lapisan bulk meluas dengan lapisan SiO₂ pada terminal gate. Transistor MOSFET mode peningkatan

terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.2.



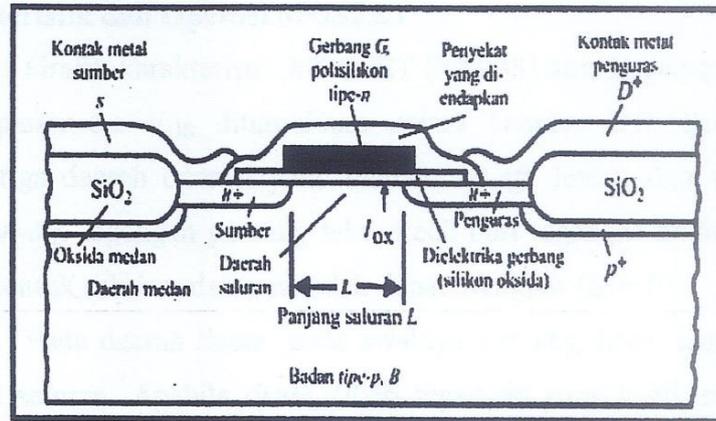
Gambar 2.2 Simbol Transistor MOSFET Mode *Enhancement*
(a). N-Channel *Enhancement* (b). P-Channel *Enhancement*

Dilihat dari jenis saluran yang digunakan, transistor MOSFET dapat dikelompokkan menjadi tiga, antara lain:

1) NMOS

Transistor NMOS terbuat dari substrat dasar tipe p dengan daerah source dan drain didifusikan tipe n^+ dan daerah kanal terbentuk pada permukaan tipe n. NMOS yang umumnya banyak digunakan adalah NMOS jenis *enhancement*, dimana pada jenis ini source NMOS sebagian besar akan dihubungkan dengan $-V_{ss}$ mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan $+V_{dd}$. Dalam aplikasi gerbang NMOS dapat dikombinasikan dengan resistor, PMOS, atau dengan NMOS lainnya sesuai dengan karakteristik gerbang yang akan dibuat. Sebagai contoh sebuah NMOS dan resistor digabungkan menjadi sebuah gerbang NOT.

Negatif MOS adalah MOSFET yang mengalirkan arus penguras sumber menggunakan saluran dari bahan electron, sehingga arus yang mengalir jika tegangan gerbang lebih positif dari substrat dan nilai mutlaknya lebih besar dari V_T (*Voltage Treshold*). Skematik MOSFET tipe-n ditunjukkan dalam Gambar 2.3.



Gambar 2.3 Skematik MOSFET tipe-n

Sumber: Hodges-Jackson 1987: 37

2) PMOS

Transistor PMOS terbuat dari substrat dasar tipe-n dengan daerah source dan drain didifusikan tipe p^+ dan daerah kanal terbentuk pada permukaan tipe p. *Positif* MOS adalah MOSFET yang mengalirkan arus penguras sumber melalui saluran positif berupa *hole*, dimana arus akan mengalir jika tegangan gerbang lebih negative terhadap substrat dan nilai mutlaknya lebih besar dari V_T .

PMOS yang umumnya banyak digunakan adalah PMOS jenis enhancement, dimana pada jenis ini source PMOS sebagian besar akan dihubungkan dengan $+V_{dd}$ mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan $-V_{ss}$. Dalam aplikasi gerbang PMOS dapat dikombinasikan dengan resistor, NMOS, atau dengan PMOS lainnya sesuai dengan karakteristik gerbang yang akan dibuat. Sebagai contoh sebuah PMOS dan resistor digabungkan menjadi sebuah gerbang NOT.

3) CMOS (Complementary MOS)

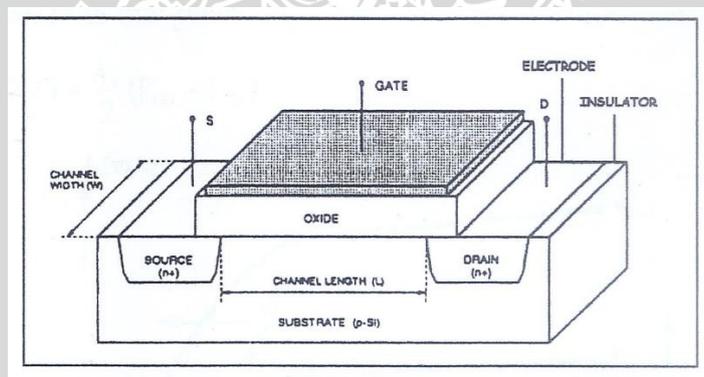
MOSFET tipe *complementary* ini mengalirkan arus penguras sumber melalui saluran tipe-n dan tipe-p secara bergantian sesuai dengan tegangan yang dimasukkan pada gerbangnya (*gate*).

2.1.2 Bentuk Dasar MOSFET

1) NMOS tipe Enhancement

Struktur transistor NMOS terdiri atas substrat tipe-p dengan daerah *source* dan *drain* diberi difusi n^+ . Diantara daerah *source* dan *drain* terdapat suatu daerah sempit dari substrat p yang disebut *channel* yang ditutupi oleh lapisan tang penghantar (isolator) yang terbuat dari SiO_2 . Panjang *channel* disebut *Length* (L) dan lebarnya disebut *Width* (W). Gerbang (*gate*) terbuat dari polisilikon dan ditutupi oleh penyekat yang diendapkan.

Struktur transistor NMOS terdiri atas substrat tipe-p dan tipe-n. kedua parameter ini sangat penting untuk mengontrol MOSFET. Parameter yang tidak kalah penting adalah ketebalan lapisan oksida yang menutupi daerah *channel* (t_{ox}). Di atas lapisan *insulating* tersebut didepositkan *polycrystalline silicon (polysilicone) electrode*, yang disebut dengan gerbang (*gate*). struktur fisik NMOSFET tipe *enhancement* ditunjukkan dalam Gambar 2.4.



Gambar 2.4 Struktur fisik N-MOSFET tipe *Enhancement*

2) PMOS tipe Enhancement

Struktur transistor PMOS terdiri atas substrat tipe-n dengan daerah *source* dan *drain* diberi difusi p^+ , dan untuk kondisi yang lain adalah sama dengan NMOS.

2.1.3 Karakteristik dan Operasi MOSFET

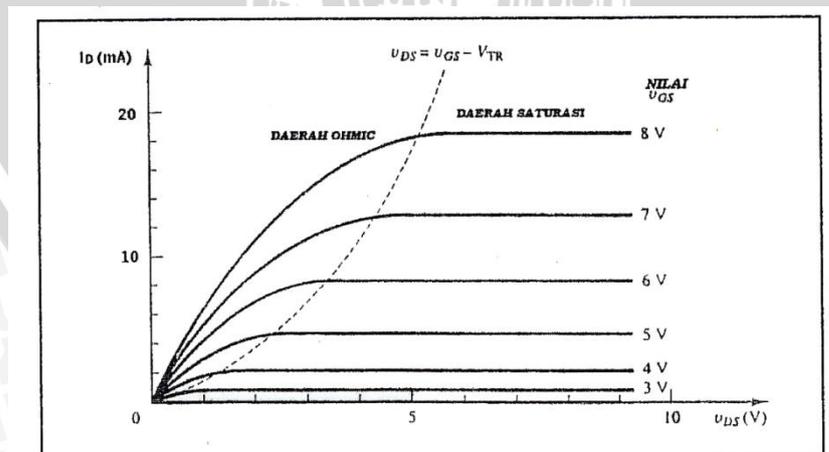
Grafik karakteristik MOSFET (NMOS) arus I_D sebagai fungsi V_{DS} dengan parameter V_{GS} ditunjukkan dalam Gambar 6.3. Pada MOSFET terdapat tiga daerah operasi yaitu daerah *cut-off*, linear dan saturasi. Pada daerah *cut-off*, tegangan gerbang lebih kecil dari tegangan ambang, sehingga tidak terbentuk saluran, dan arus tidak dapat mengalir ($I_D = 0$).

Pada daerah linear, pada awalnya gerbang diberi tegangan hingga terbentuk saluran. Apabila *drain* diberi tegangan yang kecil, maka elektron akan mengalir dari *source* menuju *drain* atau arus akan mengalir dari *drain* ke *source*. Selanjutnya saluran tersebut akan bertindak sebagai suatu tahanan, sehingga arus *drain* (I_D) akan sebanding dengan tegangan *drain*.

$$I_D (\text{LIN}) = k_n \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.1)$$

Apabila tegangan *drain* tersu ditingkatkan hingga tegangan pada *gate* menjadi netral, lapisan inversi saluran pada sisi *drain* akan hilang, dan mencapai suatu titik yang disebut titik pinch-off. Pada titik pinch-off ini merupakan permulaan dari daerah kerja saturasi. Apabila melebihi titik ini, peningkatan tegangan *drain* tidak akan mengubah arus *drain*, sehingga arus *drain* tetap (konstan).

$$I_D (\text{SAT}) = \frac{k_n}{2} (V_{GS} - V_{Tn})^2 \quad (2.2)$$



Gambar 2.5 Grafik karakteristik MOSFET arus I_D sebagai fungsi V_{DS} dengan parameter V_{GS}

Sumber: Geiger, Allen, Strader, 1990: 151

Bentuk operasi untuk MOSFET saluran-p adalah sama seperti pada transistor MOSFET saluran-n. pernyataan arus *drain* identik dengan polaritas tegangan dan arah arus terbalik.

- Cutoff = $V_{SG,p} \leq -V_{TP}$

$$I_D(\text{OFF}) = 0$$

- Linear = $V_{SG,p} \geq -V_{TP}$, dan $V_{SD,p} \leq V_{SG,p} + V_{TP}$

$$I_{D,p}(\text{LIN}) = k_p \left[(V_{SG,p} - V_{TP}) V_{SD,p} - \frac{V_{SD,p}^2}{2} \right] \quad (2.3)$$

- Saturasi = $V_{SG,p} \geq -V_{TP}$, dan $V_{SD,p} \geq V_{SG,p} + V_{TP}$

$$I_{D}(\text{SAT}) = \frac{k_p}{2} (V_{SG,p} - V_{TP})^2 \quad (2.4)$$

2.1.4 Tegangan Ambang (*Threshold Voltage*)

Tegangan ambang dapat didefinisikan sebagai tegangan minimal yang diperlukan suatu sistem (dalam hal ini transistor MOS) untuk mulai mengalir atau dalam sebuah MOS adalah tegangan antara *gate* dan *ground* yang menyebabkan arus antara *drain* dan *source* maksimal (saturasi). Tegangan ambang ini diatur dengan menggunakan perubahan konsentrasi *doping*.

Tegangan ambang untuk MOSFET dapat dinyatakan dengan persamaan sebagai berikut.

$$V_T = V_{T0} + \gamma \cdot \left(\sqrt{|-2\phi_F|} + V_{SB} - \sqrt{|2\phi_F|} \right) \quad (2.5)$$

Dengan :

V_T = tegangan ambang (V)

V_{TO} = tegangan ambang untuk $V_{SB} = 0$ (V)

γ = efek bias body ($V^{1/2}$)

V_{SB} = tegangan *source-body* (*bulk*)

ϕ_F = potensial fermi (V)

Dengan tegangan *body (bulk)* dihubungkan *ground* ($V_B = 0V$). Dalam analisis teknologi CMOS efek bias badan tidak perlu dimasukkan dalam perhitungan (Haznedar, 1990). Logika dasar CMOS dapat dibias dengan $V_T = V_{TO}$, sehingga untuk memudahkan penulisan, V_T akan digunakan untuk menyatakan tegangan ambang jika $V_T = V_{TO}$.

$$\gamma = \frac{\sqrt{2q \cdot N_a \cdot E_s}}{C_{OX}} \quad (2.6)$$

q adalah besar muatan, N_a adalah jumlah pembawa muatan mayoritas akseptor, E_s adalah permitivitas silikon, C_{OX} adalah kapasitansi persatuan luas. ϕ_F potensial fermi atau potensial keseimbangan elektrostatik (*equilibrium electrostatic*). Besarnya dapat ditentukan dengan persamaan :

$$\phi_F = \frac{kT}{q} \ln \left(\frac{n_i}{p} \right) \quad (\text{Semikonduktor tipe-p}) \quad (2.7)$$

$$\phi_F = \frac{kT}{q} \ln \left(\frac{n}{n_i} \right) \quad (\text{Semikonduktor tipe-n}) \quad (2.8)$$

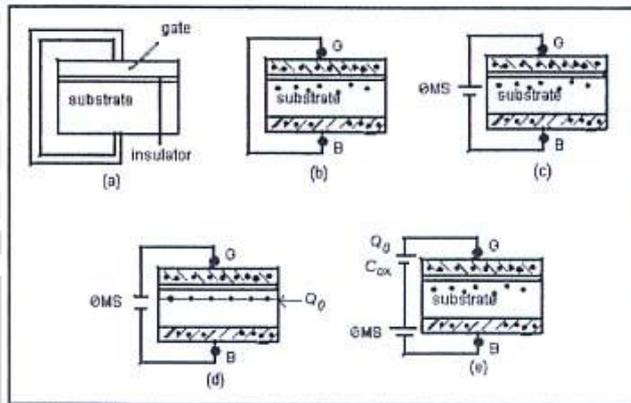
k adalah konstanta boltzman, T adalah temperatur dalam kelvin, q besaran muatan dalam coulomb, dan p dan n adalah konsentrasi pembawa muatan mayoritas (dianggap sama dengan konsentrasi *doping* N_a dalam Persamaan 2.6), n_i adalah konsentrasi pembawa muatan dalam semikonduktor intrinsik.

Jika VSB MOSFET adalah positif, maka akan meningkatkan tegangan ambang efektif untuk MOSFET kanal-n. ini disebut *efek bias body* yang terdapat dalam Persamaan 2.5. Dalam rangkaian terintegrasi NMOS, substrat selalu dihubungkan dengan tegangan paling negatif dalam sistem, sehingga analisis karakteristik fungsi alih akan mendekati keakuratannya.

Pada kebanyakan *chip* MOS, untuk mengubah tegangan ambang dilakukan dengan mengubah konsentrasi *doping* saluran yang diatur oleh banyaknya ion yang ditanamkan (*implant*) ke saluran. Penamahan *implant* tipe-p menyebabkan tegangan ambang lebih positif dan sebaliknya penambahan *implant* tipe-n menyebabkan tegangan ambang lebih negatif. Tegangan ambang disimbolkan dengan V_{TN} untuk *implant* tipe-n dan V_{TP} untuk *implant* tipe-p.

2.1.5 Persambungan MOSFET

Dalam persambungan MOSFET, untuk membedakan dengan terminal sumber S, terminal gerbang diberi simbol G dan terminal substrat diberi simbol B (*bulk/body*) seperti dalam Gambar 2.6.



Gambar 2.6. Struktur Persambungan MOSFET

Suprpto, 2000:7

Besarnya potensial statik di antara gerbang dan substrat tergantung pada konsentrasi atom ketidakmurniannya dan tidak bergantung pada bahan diantaranya. Secara matematis dapat ditulis.

$$\sum_{\text{gerbang}}^{\text{bulk}} (\text{potensial statik}) = \varphi_{\text{bulk}} \quad (2.9)$$

Dengan :

φ_{gerbang} = potensial batang gerbang

φ_{bulk} = potensial bahan substrat

Keberadaan potensial statik ini menyebabkan muatan timbul pada kedua sisi isolator, dalam hal ini silikon dioksida. Muatan batas ini akan hilang jika potensial total dalam *loop* tertutup gerbang *SiO2* substrat-gerbang sma dengan nol. Untuk mencapai kondisi demikian, maka:

$$V_{GB} = \varphi_{ms} \quad (2.10)$$

Dengan φ_{ms} adalah potensial statik antara gerbang dan *bulk*, didefinisikan sebagai:

$$\varphi_{ms} = \varphi_{gerbang} - \varphi_{bulk} \quad (2.11)$$

Potensial statik persambungan MOS tidak hanya dipengaruhi φ_{ms} . Pengaruh lainnya dihasilkan oleh muatan oksida silikon yang ditumbuhkan selama proses pabrikasinya. Proses konsaminasi dan ionisasi menyebabkan muatan timbul dalam silikon dioksida.

Pemberian muatan ini adalah penambahan muatan tidak bergerak yang besarnya tidak tergantung tegangan. Pengaruh muatan terhadap persambungan MOS dimodelkan sebagai suatu lapisan tunggal SiO_2 bermuatan Q_0 positif maka dalam substrat terbentuk atom-atom *acceptor*. Sedangkan di permukaannya tertumpuk elektron, sehingga saluran terbentuk.

Untuk menghilangkan pengaruh ini perlu diberikan muatan sebesar $-Q_0$ pada gerbang dengan jalan memberikan suatu sumber tegangan luar dengan terminal negatif pada gerbang.

Potensial oksida silikon (φ_{ox}) adalah potensial gerbang terhadap substrat melalui SiO_2 . Besarnya potensial ini adalah :

$$\varphi_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.12)$$

Dengan :

C_{ox} = kapasitansi persatuan luas

t_{ox} = ketebalan silikon dioksida

ϵ_{ox} = permitivitas ruang hampa = $8.86E^{-12}$ F/m

Untuk muatan maupun kapasitasnya dinyatakan dalam $\frac{Q_0}{A}$

dan $\frac{C_{ox}}{A}$. A adalah luas melintang dioksida silikon. Potensial oksida silikon (φ_{ox}) dapat dinyatakan:

$$\varphi_{ox} = \frac{-Q_0}{C_{ox}} \quad (2.13)$$

Tegangan yang digunakan untuk menetralkan persambungan MOS adalah tegangan pita datar (*flat Band Voltage*) dan disimbolkan dengan V_{FB} . Besarnya tegangan pita datar ini adalah :

$$V_{FB} = \varphi_{ox} = \frac{-Q_o}{C_{ox}} \quad (2.14)$$

Pada rangkaian tertutup persambungan MOS terdapat empat macam tegangan, yaitu:

- 1) Tegangan sumber luar (V_{GB})
- 2) Tegangan oksida silikon (φ_{ox})
- 3) Tegangan permukaan (φ_s)
- 4) Tegangan kontak (φ_{ms})

Tegangan sumber luar yang besarnya tidak sama menimbulkan tegangan permukaan di permukaan substrat. Hal ini terjadi untuk mencapai keadaan setimbang. Secara matematis dapat ditulis:

$$V_{GB} = \varphi_{ox} + \varphi_s + \varphi_{ms} \quad (2.15)$$

Karena φ_{ms} dan φ_{ox} konstan, maka perubahan nilai V_{GB} akan menyebabkan perubahan pada φ_s . variasi nilai V_{GB} dan V_{FB} memberikan empat macam keadaan pada persambungan MOS, yaitu:

- 1) Kondisi pita datar (*Flat Band Condition*)

Pada kondisi ini muatan permukaan dan tegangan permukaan tidak timbul atau sama dengan nol.

$$V_{GB} = V_{FB}, Q_{sc} = 0, \varphi_s = 0$$

- 2) Akumulasi (*Accumulation*)

Kondisi ini tercapai pada saat $V_{GB} < V_{FB}$. Pada saat ini muatan pada gerbang relatif lebih negatif terhadap muatan pada saat $V_{GB} = V_{FB}$. Oleh karena itu, lubang akan tertumpuk di permukaan sebagai akibatnya timbul muatan dan tegangan di permukaan:

$$V_{GB} < V_{FB}, Q_{sc} > 0, \varphi_s < 0$$

- 3) Pengosongan (*Depletion*)

Untuk $V_{GB} < V_{FB}$ maka muatan positif ditimbulkan di gerbang. Akibatnya lubang-lubang dipermukaan di tekan ke bawah dan meninggalkan ion-ion akseptor bermuatan

negatif. Muatan yang ditimbulkan oleh ion-ion ini disebut sebagai muatan pengaturan. Besarnya muatan di dalam semikonduktor yang ditimbulkan saat ini adalah:

$$Q_{sc} = Q_{SG} - Q_0 = (V_G - V_{FB} - \phi_s) \cdot C_{ox} \quad (2.16)$$

Sehingga besarnya pengaturan muatan pengaturan:

$$X_B = \frac{\sqrt{2\epsilon_s}}{qNa} \phi_s \quad (2.17)$$

Dimana ϵ_s adalah konstanta dielektrik silikon.

4) Kondisi pembalikan (*inversion*)

Untuk $V_{GB} > V_{FB}$ maka akan tertarik ke permukaan. Sehingga di permukaan substrat bertipe sebaiknya (n), elektron di dalam substrat sebagai pembawa minoritas.

2.1.6 Karakteristik Arus Tegangan

Bila V_{GS} lebih besar dari V_T terdapat sebuah saluran penghantar dan V_{DS} menyebabkan arus hanyut (I_D) mengalir dari *drain* ke *source*. Tegangan V_{DS} menyebabkan prategangan balik (*reverse bias*) yang besar dari *drain* ke *body* daripada dari *source* ke *body*. Jadi terdapat lapisan pengosongan yang lebih lebar pada *drain*.

$$I_D = k \frac{W}{L} \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.18)$$

Parameter traskonduktansi adalah $k = k (W/L)$. substitusi persamaan 6.19 dengan parameter traskonduksi menghasilkan persamaan:

$$I_D = \frac{k}{2} \left[(V_{GS} - V_T) V_{DS} - V_{DS}^2 \right]$$

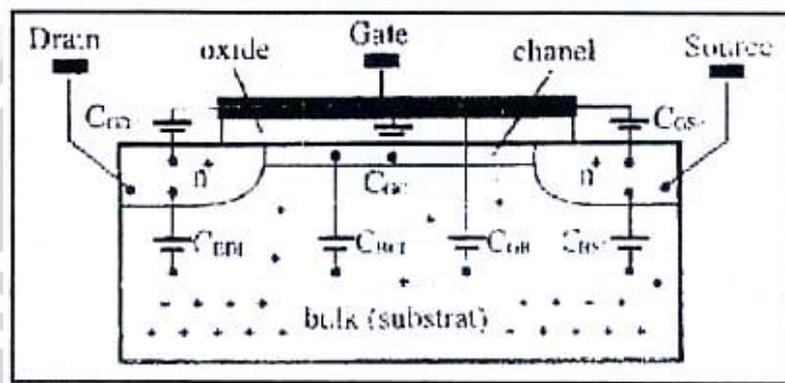
Jika : $V_{GS} = V_T$

$V_{DS} = (V_{GS} - V_T)$

$$\text{maka: } I_D = \frac{k}{2} (V_{GS} - V_T)^2 \quad (2.19)$$

2.1.7 Kapasitansi Transistor MOSFET

Semua waktu respon alih MOSFET digital sebanding dengan kapasitansi keluaran (C_{out}). Minimalisasi C_{out} menjadi objek terpenting dalam perancangan rangkaian logika berkecepatan tinggi. Kapasitansi serpih MOSFET akan dipertimbangkan dalam proses fabrikasi dan ukuran *layout*.



Gambar 2.7. Kapasitansi Parasitik MOSFET.

Sumber: Geiger, 1990: 162

Beberapa struktur kapasitansi terkumpul (*lumped*) setara yang dikenalkan sebagai model adalah *non-linier* (tergantung tegangan) ditunjukkan dalam Gambar 2.7. Perhitungan hanya dalam perkiraan rata-rata sehingga analisis yang lebih akurat memerlukan simulasi komputer.

Walaupun tidak dapat ditentukan dengan pasti simpul keluaran kapasitansi (C_{out}), tetapi perkiraan dapat diperoleh relatif langsung dengan pemodelan. Ini dilakukan dengan mengisolasi kapasitansi intrinsik. Kapasitansi MOSFET yang dibuta akan mendekati kesesuaian dengan setiap transistor dalam rangkaian. Nilai C_{out} untuk perantaraan gerbang logika dapat dibuat dengan menggabungkan kapasitansi MOSFET dengan kapasitansi saluran C_{out} . Karena keduanya adalah paralel, maka dapat langsung dijumlahkan dengan C_{out} sebagai kapasitansi tersendiri.

Besar kapasitansi C_{out} menentukan waktu tunda rambatan dan besar perkalian daya tunda (*power delay product*). Kapasitansi dalam model ditentukan juga oleh ukuran geometris dari panjang dan lebar gerbang serta ukuran panjang difusi muatan ion

dalam saluran dan sumber. Nilai kapasitansi parasitik MOSFET ditunjukkan dalam Tabel 2.1.

Tabel 2 .1 Nilai Kapasitansi Parasitik MOSFET

C	Daerah kerja		
	Cut-off	Linear	Jenuh
C_{GD}	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D$
C_{GS}	$C_{OX}WL_D$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$	$C_{OX}WL_D + \frac{1}{2}WLC_{OX}$
C_{BG}	$C_{OX}WL$	0	0
C_{BD}	C_{BDI}	$C_{BDI} + C_{BC} \frac{1}{2}$	C_{BDI}
C_{BS}	C_{BSI}	$C_{BSI} + C_{BC} \frac{1}{2}$	$C_{BSI} + \frac{2}{3}C_{BCI}$

Sumber: Geiger, 1990:164

Panjang fisik gerbang dirumuskan dengan:

$$L = L_s + L_d + L \tag{2.20}$$

Dengan L adalah panjang sebenarnya (panjang efektif) dari gerbang MOSFET (di antara daerah n^+ saluran dan sumber). L_s dan L_d memberikan jarak *overlap* pada gerbang saluran untuk membuat $L_s > 0$ dan $L_d > 0$ digunakan untuk operasional alat dan memastikan lapisan inversi dapat membuat hubungan dengan kedua daerah n^+ saluran dan sumber. Kapasitansi *overlap* dapat dihitung dengan:

$$C_{ols} = C_{ox}WL_s \quad C_{old} = C_{ox}WL_d \tag{2.21}$$

Dengan:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \tag{2.22}$$

C_{ols} adalah kapasitansi *overlap source* dan C_{old} adalah kapasitansi *overlap drain*. Dengan C_{ols} dan C_{ox} tetap sesuai dengan ukuran. Untuk kapasitansi yang lain adalah C_{gs} , C_{gd} , C_{gb} (kapasitansi parasit setiap terminal). Masing-masing kapasitor tersebut

dipengaruhi Oleh fungsi tegangan gerbang dan tegangan sumber, $f(V_{GS}, V_{GD})$ dengan persamaan:

$$C_{gs} = C_{ox}WLf_1(V_{GS}, V_{GD})$$

$$C_{gd} = C_{ox}WLf_2(V_{GS}, V_{GD})$$

Nilai f_1 dan f_2 adalah fungsi yang menyatakan ketergantungan tidak-linier pada tegangan dan C_{gb} adalah kapasitansi gerbang-badan berisi muatan tipe-p tergantung terhadap tegangan, dinyatakan sebagai:

$$C_{gd} = C_{ox}WLf_3(V_{GS}, V_{GD}, V_{SB}) \quad (2.23)$$

Dengan f_3 termasuk efek bias badan melalui VSB. Fungsi tegangan f_1 , f_2 , dan f_3 dapat dianalisis langsung, dengan asumsi langsung terhadap perubahan dalam kanal (lapisan inversi). Perhitungan nilai rangkaian perlu kombinasi kapasitansi terhadap kapasitansi *overlap*. Kapasitansi total diberikan:

$$C_G = C_{ox}WL \quad (2.24)$$

Apabila L adalah panjang gerbang. Total kapasitansi gerbang-sumber dinyatakan:

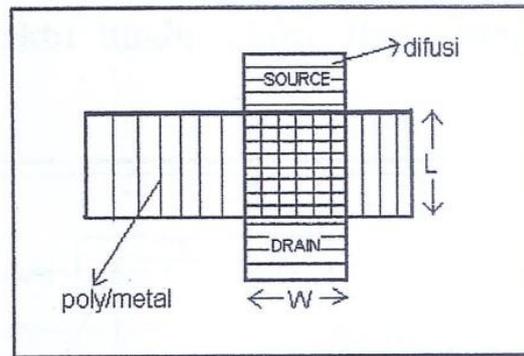
$$C_{GD} = C_{ols} + C_{gs} \quad (2.25)$$

Sedangkan total kapasitansi gerbang saluran:

$$C_{GD} = C_{ols} + C_{gd} \quad (2.26)$$

2.1.8 Lebar dan Panjang (*Width* dan *Lenght*)

Transistor MOS dapat dibuat dengan menyilangkan sebuah poly atau logam (metal) dengan sebuah difusi seperti dalam Gambar 2.8. Masing-masing poly atau metal dan difusi memiliki luas yang terdiri atas lebar (*Width*) dan panjang (*Length*) dan disimbolkan dengan W dan L . Nilai W dan L ini akan mempengaruhi dimensi dan beberapa parameter lain dalam perancangan.



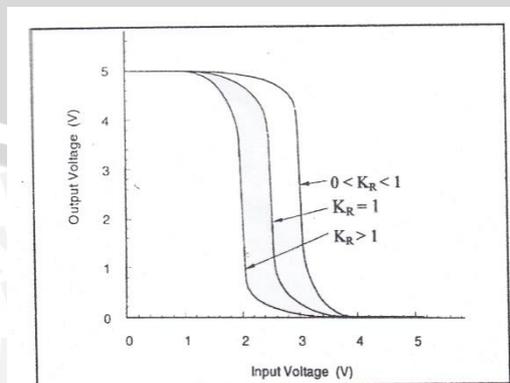
Gambar 2.8 Parameter W dan L Transistor MOS

Ukuran W dan L ini merupakan parameter terpenting dalam sebuah perancangan Transistor MOS. Perbedaan perbandingan ukuran W dan L diusahakan harus sekecil mungkin untuk memperoleh kerapatan rangkaian dan kecepatan proses yang tinggi, yang akhirnya akan menghasilkan performansi yang tinggi.

Parameter lain yang dipergunakan oleh nilai W dan L adalah parameter k_R , yang dapat dilihat dalam Persamaan (2-27),

$$k_R = \frac{\left[\mu_n C_{ox} \frac{W_n}{L_n} \right]}{\left[\mu_p C_{ox} \frac{W_p}{L_p} \right]} \quad k_R = \frac{k_n}{k_p} \quad (2.27)$$

W_n dan L_n merupakan lebar untuk difusi p^+ dan polisilikon dari transistor PMOS sedangkan W_p dan L_p menunjukkan lebar untuk difusi n^+ dan polisilikon dari transistor NMOS. Nilai k_R memberikan pengaruh terhadap kesimetrisan grafik alih tegangan antara tegangan keluaran dan masukan pada gerbang logika MOS. Gambar 2.9 menunjukkan pengaruh k_R terhadap kesimetrisan suatu grafik karakteristik alih tegangan.



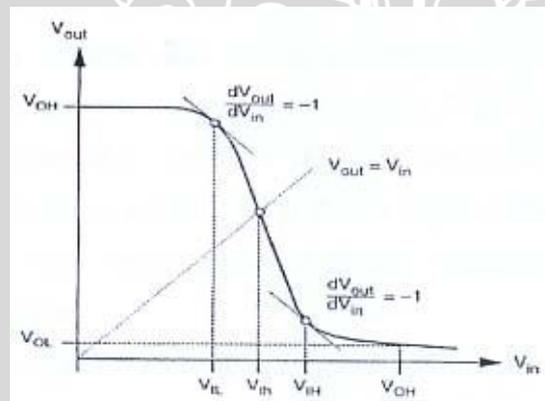
Gambar 2.9 Pengaruh Nilai k_R Pada Grafik V_{in} Terhadap V_{out}

Suatu gerbang dikatakan memiliki grafik karakteristik alih tegangan yang simetris apabila nilai $k_R = 1$, dimana pada saat ini berlaku hubungan yang ditunjukkan dalam Persamaan (2.27).

2.1.9 Definisi Level Logika dan *Noise Margin*

Sistem digital dalam skala besar selalu terdiri atas interkoneksi gerbang-gerbang dengan jenis *family* sama. Terdapat gerbang yang bertugas sebagai *input port* yang menerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain, yang tentunya dimungkinkan terdapat lagi gerbang setelahnya. Bila sebuah karakter digital ditransmisikan antar gerbang maka level tegangan $V(1)$, merepresentasikan logika 1 dan level tegangan $V(0)$ mempresentasikan logika 0. Setiap level tegangan harus secara konsisten diproduksi oleh setiap gerbang. Secara konversi, level tegangan $V(1)$ dan $V(0)$ dinamakan V_{OH} dan V_{OL} yang ditunjukkan dalam Gambar 2.10.

Nilai V_{OH} dan V_{OL} harus didefinisikan secara konsisten sehingga sebuah inverter yang menerima nilai V_{IL} harus didefinisikan secara konsisten sehingga tegangan V_{OH} . Bila inverter tersebut menerima V_{IH} sebagai masukan maka akan mengeluarkan tegangan V_{OL} .



Gambar 2.10. Karakteristik Alih Tegangan

Sumber: Kang, 1996: 137

Hubungan antara V_{OH} dan V_{OL} adalah hal yang cukup penting pada grafik VTC. Grafik VTC yang ditunjukkan dalam Gambar 6.5, kemiringan grafik untuk nilai yang dapat diterima minimal adalah -1. Kemiringan -1 terletak pada titik-titik kritis pada

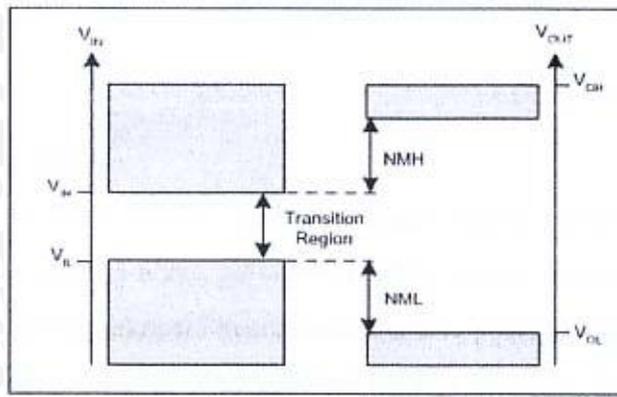
grafik (titik belok). Nilai tegangan keluaran di antara dua titik kemiringan ini dinamakan daerah logika tak tentu.

Pada kenyataannya, nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah V_{OH} atau diatas V_{OL} . fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen L dan C parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi seperti ini. Sebagai konsekuensi, sebuah gerbang harus memproses nilai tegangan yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai V_{OH} dan V_{OL} pada setiap *gate* harus direndam dan bukan diperkuat. Penguatan fluktuasi tngangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik VTC adalah -1 (titik kritis) didefinisikan nilai tegangan V_{IH} dan V_{IL} . Letak V_{IH} dan V_{IL} ditunjukkan dalam Gambar 2.10.

Nilai tegangan masukan ini menunjukkan nilai tertinggi tegangan masukan yang dapat diterima dengan nilai 0 dan masih bisa mengeluarkan nilai 1 yang dapat diterima oleh gerbang lain. V_{IH} didefinisikan sebagai nilai terkecil yang dapat diterima oleh sebuah gerbang dengan nilai 1 dan masih bisa mengeluarkan nilai 0 yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara V_{OH} , V_{IH} , V_{OL} , V_{IL} menjadi penting. Gambar 6.6 menunjukkan parameter lain yaitu *noise margin*. *Noise margin* menunjukkan kekebalan relatif sebuah famili logika terhadap *noise*. *Noise margin* sebuah famili logika diketahui dengan mengevaluasi karakteristik sebuah *single inverter*.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1 maka secara ideal, masukan untuk gerbang berikutnya bernilai V_{OH} . Namun seandainya nilai tersebut jatuh sehingga bernilai V_{IH} maka masih akan dianggap berlogika 1. Fluktasi *noise* akan menjadi permasalahan hanya jika tegangan jatuh di bawah nilai V_{IH} . Perbedaan nilai V_{OH} dan V_{IH} merepresentasikan daerah yang diterima berlogika 1, disebut NM_H ,



Gambar 2;11; Noise Margin

Sumber: Kang, 1996: 140

$$NM_H = V_{OH} - V_{IH} \tag{2.28}$$

dengan:

- V_{OH} = Nilai ideal logika 1
- V_{IH} = Nilai minimum logika 1 yang bisa diterima

Parameter NM_H berlaku untuk tegangan masukan tinggi. Semakin besar nilai NM_H maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 1.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0 maka secara ideal, masukan untuk gerbang berikutnya bernilai V_{OL} . namun seandainya nilai tersebut naik sehingga bernilai V_{IL} maka masih akan dianggap berlogika 0. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan naik di atas V_{IL} . Perbedaan nilai V_{IL} dan V_{OL} merepresentasikan daerah yang diterima berlogika 0, disebut NM_L ,

$$NM_L = V_{IL} - V_{OL} \tag{2.29}$$

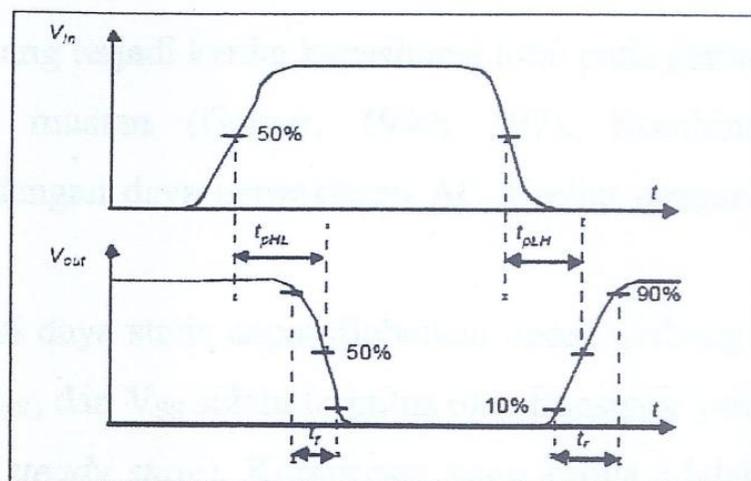
dengan :

- V_{OL} = Nilai ideal logika 0
- V_{IL} = Nilai maksimum logika 0 yang bisa diterima

Parameter NM_L berlaku untuk tegangan masukan rendah. Semakin besar nilai NM_L maka akan semakin tahan suatu gerbang terhadap perubahan level logika daripada daerah logika 0. Secara umum, suatu gerbang dikatakan memiliki *noise margin* tinggi bila memiliki NM_L dan NM_H yang besar.

2.1.10 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang.



Gambar 2.12 Definisi *Delay* dalam gerbang logika

Sumber: Rabaey, 1999: 117

Rise time (t_r) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10% V_{DD} ke 90% V_{DD} untuk gerbang dengan tegangan “LOW” 0V dan tegangan “HIGH” V_{DD} . *Fall time* (t_f) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90% V_{DD} ke 10% V_{DD} . *Propagation delay* diukur antara dua titik pada gelombang masukan dan keluaran seperti terlihat dalam Gambar 2.12. *Propogation Delay* ketika transisi keluaran dari logika “LOW” ke “HIGH” dinamakan t_{PLH} . Sedangkan transisi keluaran logika “HIGH” ke “LOW” dinamakan t_{PHL} . Rumus yang dipakai untuk menghitung *propagation delay* T_{PLH} dan T_{PLH} adalah

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L} \right)_p \cdot V_{DD}} \quad (2.30)$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_N C_{ox} \left(\frac{W}{L} \right)_N \cdot V_{DD}} \quad (2.31)$$

$$t_r, (t_{TLH}) = 2 \times t_{PHL} \quad (2.32)$$

$$t_f, (t_{THL}) = 2 \times t_{PHL} \quad (2.33)$$

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (2.34)$$

2.1.11 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu: disipasi daya statis, daya pensaklaran (*switching*) DC yang terjadi pada saat kedua transistor menghantarkan secara bersamaan dalam waktu yang sangat singkat dan daya pensaklaran AC yang terjadi ketika kapaitansi total pada gerbang menyimpan dan melepaskan muatan (Geiger, 1990: 597). Kombinasi dari daya pensaklaran DC dengan daya pensaklaran AC disebut dengan disipasi daya dinamis.

Disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Jalur DC antara V_{DD} dan V_{SS} selalu terputus oleh transistor yang *cut off* dalam keadaan mantap (*steady state*). Komponen yang kedua adalah disipasi daya yang disebabkan pensaklaran DC, terjadi karena masukan gerbang berada pada daerah transisi. Ketika kedua transistor menghantar membentuk jalur antara V_{DD} ke V_{SS} . Untuk gerbang logika disipasi daya rata-rata pensaklaran DC meningkat dengan meningkatnya waktu *switching* sinyal masukan. Disipasi daya yang disebabkan pensaklaran DC hanya berpengaruh sekitar 10% terhadap disipasi daya total sistem CMOS.

Komponen utama disipasi daya CMOS adalah daya pensaklaran AC. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah C dan nilai tegangan catu V_{DD} adalah V , maka energi yang diberikan pada kapasitor adalah

$$E = \int_0^{\infty} V_i(t) dt = CV^2 \quad (2.35)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah $\frac{1}{2}CV^2$ atau setengah dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan, mulai jumlah energi yang disimpan sebelumnya akan dilepaskan pula. Sehingga energi keseluruhan yang dilepas kapasitor dalam satu siklus adalah CV^2 . Bila frekuensi operasi, maka disipasi daya rata-rata adalah,

$$P = C_L V_{DD}^2 f \quad (2.36)$$

Analisis ini menunjukkan bahwa rata-rata disipasi daya AC pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi, frekuensi kerja akan naik karena ukuran transistor yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu dan kapasitansi gerbang diturunkan maka disipasi daya akan turun. Oleh karena itu, dalam rangkaian terintegrasi sistem logika CMOS banyak digunakan.

Dalam kondisi keluaran gerbang IC tanpa beban, jika I_{CCL} merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika rendah dan I_{CCH} merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika tinggi, maka daya rata-rata yang dikonsumsi sebuah IC adalah

$$\begin{aligned} P_D(\text{rata-rata}) &= \frac{I_{CCH} + I_{CCL}}{2} \times V_{DD} \\ &= I_{CC}(\text{rata-rata}) \times V_{DD} \end{aligned} \quad (2.37)$$

Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan ukuran kecepatan dan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata.

$$PDP = t_{dly} \cdot P \quad (2.38)$$

2.1.12 Fan Out Logika CMOS

Bila sebuah inverter referensi menggerakkan ke gerbang inverter yang berkonfigurasi sama, maka banyaknya k inverter yang tersambung akan memberikan pengaruh pada performansi rangkaian. Jumlah dari gerbang yang digerakkan oleh sebuah gerbang disebut *fan out* gerbang tersebut. Bila terdapat k gerbang yang tersambung maka *fan out* rangkaian tersebut adalah k. *DC transfer Characteristic* bebarapa famili logika yang umum tidak dipengaruhi oleh *fan out* terutama *family* logika yang akan dibuat menggunakan teknologi MOS. *Gate* transistor MOS dilapisi oksida *insulator* sehingga secara teori tidak ada arus DC yang mengalir melintasi *gate*. Oleh karena itu, secara teori arus masukan gerbang adalah nol dan *fan out* gerbang secara teori tidak berhingga.

2.2 NAND CMOS

Struktur Gerbang NAND pada dasarnya merupakan gerbang AND yang diberi inverter pada keluarannya dan hanya akan memiliki nilai logika keluaran 1 apabila salah satu masukannya 0, dan akan memiliki nilai keluaran 0 jika seluruh masukannya bernilai 1. Simbol gerbang NAND akan ditunjukkan dalam Gambar 6.7. D kebenaran akan ditunjukkan dalam Tabel 6.2 dan Gambar 6.8 memperlihatkan struktur gerbang NAND dengan CMOS



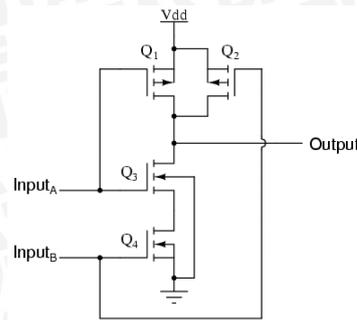
Gambar 2.14. Simbol Gerbang NAND

Sumber: Wikipedia.org

Tabel 2.2 Daftar kebenaran gerbang NAND

Masukan		Keluaran
A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0

Sumber : wikipedia.org



Gambar 2.15 Susunan NAND CMOS

Sumber: Kang, 1996:176

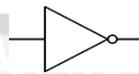
Pada NAND CMOS, jika A rendah, Q1 menyala dan Q4 mati, dan menyebabkan keluaran mempunyai tegangan sama dengan tegangan catu VDD (logika 1).

Demikian juga halnya jika B rendah, Q2 menyala dan keluarannya juga tinggi.

Jika A dan B keduanya tinggi, Q3 dan Q4 akan menyala, dan menyebabkan keluarannya bernilai logika 0, sehingga keluarannya merupakan fungsi NAND.

2.3 Inverter CMOS

Gerbang NOT atau gerbang inverter merupakan gerbang satu masukan yang berfungsi sebagai pembalik. Jika masukannya berlogika 1 maka keluarannya berlogika 0 dan Jika masukannya berlogika 0 maka keluarannya berlogika 1. Simbol gerbang NOT ditunjukkan Gambar 6.10 dan Daftar kebenaran gerbang NOT ditunjukkan dalam Tabel 6.3. Rangkaian inverter CMOS ditunjukkan dalam Gambar 6.11. Berdasarkan Gambar 6.11, tegangan masukan dihubungkan ke terminal gerbang dari kedua transistor NMOS dan PMOS. Jadi, kedua transistor secara langsung digerakkan oleh sinyal masukan (V_{in}). Substrat transistor NMOS terhubung ke *ground*, sedangkan substrat transistor PMOS terhubung ke catu daya rangkaian, V_{DD} tersambung ke *drain* dan sumber dibias balik.



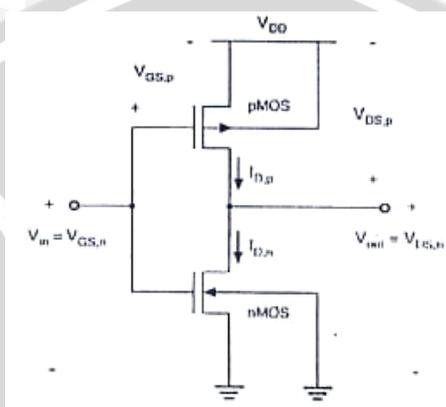
Gambar 2.16 Simbol Gerbang NOT

Sumber: Perancangan

Tabel 2.3 Daftar kebenaran gerbang NOT

Masukan	Keluaran
A	$Q=\bar{A}$
0	1
1	0

Sumber: Malvino, 1993:24



Gambar 2.17 Rangkaian Inverter CMOS

Sumber: Kang, 1996: 176

Berdasarkan Gambar 2.17 dapat diketahui bahwa

$$V_{GS,n} = V_{in} \quad (2.39)$$

$$V_{DS,n} = V_{out} \quad (2.40)$$

dan

$$V_{GS,p} = - (V_{DD} - V_{in}) \quad (2.41)$$

$$V_{DS,p} = - (V_{DD} - V_{out}) \quad (2.42)$$

Jika tegangan masukan lebih kecil daripada tegangan ambang NMOS, yakni $V_{in} < V_{T,n}$, maka transistor NMOS dalam kondisi *cut-off*. Pada saat yang sama, transistor sama dengan nol, yakni

$$I_{D,n} = I_{D,p} = 0 \quad (2.43)$$

Tegangan *drain-source* transistor PMOS juga sama dengan nol dan tegangan keluaran V_{OH} sama dengan tegangan catu, yakni

$$V_{out} = V_{OH} = V_{DD} \tag{2.44}$$

Jika tegangan masukan melebihi $V_{DD} = V_{T,p}$, transistor PMOS dalam kondisi *cut-off*. Dalam hal ini, transistor NMOS bekerja dalam daerah linear dan tegangan *drain-source* sama dengan nol karena kondisi Persamaan (6.42) terpenuhi. Akibatnya, tegangan keluaran dari rangkaian adalah:

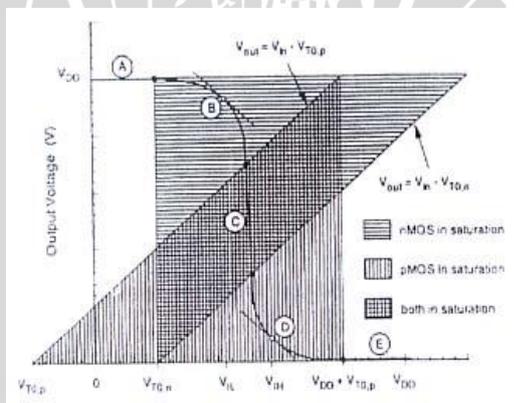
$$V_{out} = V_{OL} = 0 \tag{2.45}$$

Transistor NMOS bekerja dalam daerah saturasi, jika $V_{in} > V_{T,n}$ dan jika:

$$V_{DS,n} \geq V_{GS,n} - V_{T,n} \leftrightarrow V_{out} \geq V_{in} - V_{T,n} \tag{2.46}$$

Transistor PMOS bekerja dalam daerah saturasi, jika $V_{in} < (V_{DD} + V_{T0,p})$ dan jika :

$$V_{DS,p} \leq V_{GS,p} - V_{T,p} \tag{2.47}$$



Gambar 2.18. Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS

Sumber: Kang, 1996: 178

Tabel 2.4 Level Tegangan Input Output Inverter CMOS

Daerah Operasi	V_{in}	V_{out}
A	$<V_{T0,n}$	V_{OH}
B	V_{IL}	$High = V_{OH}$
C	V_{Th}	V_{Th}
D	V_{IH}	$Low = V_{OL}$
E	$>(V_{DD}+V_{T0,p})$	V_{OL}



Tabel 2.5 Kondisi Daerah Operasi Transistor

Daerah Operasi	PMOS	NMOS
A	Cut-off	Linear
B	Saturation	Linear
C	Saturation	Saturation
D	Linear	Saturation
E	Linear	Cut-off

Sumber: Kang, 1996: 179

Daerah operasi transistor NMOS dan PMOS inverter CMOS ditunjukkan dalam Gambar 6.12 dan Tabel 6.4 dan 6.5. Pada daerah A, dengan $V_{in} < V_{T,n}$, transistor NMOS dalam kondisi *cut-off* dan tegangan keluaran sama dengan $V_{OH} = V_{DD}$. Dengan tegangan masukan dinaikkan melampaui $V_{T,n}$ (daerah B), transistor NMOS mulai konduksi dalam mode saturasi dan tegangan keluaran mulai menurun dan tegangan kritis V_{IL} yang menunjukkan nilai $dV_{out}/dV_{in} = -1$ terletak pada daerah B.

Dengan tegangan keluaran terus menurun, transistor PMOS memasuki daerah saturasi pada batas daerah C. saat $V_{in} = V_{out}$ maka terletak pada daerah C. jika tegangan keluaran V_{out} turun di bawah $V_{in} - V_{T,n}$, transistor NMOS mulai bekerja dalam mode linear yang ditunjukkan dalam daerah D dan tegangan kritis V_{IH} dengan nilai $dV_{out}/dV_{in} = -1$ juga terletak pada daerah ini. Pada daerah E dengan tegangan masukan $V_{in} > V_{DD} + V_{T,p}$, transistor PMOS dalam kondisi *cut-off* dan tegangan keluaran adalah $V_{OL} = 0$.

Karakteristik dari inverter CMOS adalah hanya salah satu dari transistornya yang *ON* saat keadaan mantap, menyebabkan inverter CMOS memiliki sifat “*ratioless inverter*”. Sifat *ratioless inverter* adalah sifat sebuah *inverter* dimana tegangan keluaran dalam kondisi mantap, tidak dipengaruhi (*independent*) oleh rasio ukuran transistor *pull-up* dan *pull-down* adalah berakibat terhadap resistansi ekivalen transistor pada saat menghantar. Sehingga pengambilan ukuran dapat diarahkan pada kemampuan divais untuk mensuplai arus yang sama baik pada saat keluaran berlogika “HIGH” maupun “LOW”, sifat ini dinamakan “*symmetric output drive*”.

Bila resistansi ekivalen transistor tipe-n adalah R_N dan resistansi ekivalen untuk transistor tipe-p adalah R_p , maka berlaku kesebandingan,

$$R_N \propto \frac{L_N}{W_N K_N} \tag{2.48}$$

Dan,

$$R_P \propto \frac{L_P}{W_P K_P} \tag{2.49}$$

Dengan:

L_N dan L_P = panjang *channel*

W_N dan W_P = lebar *channel*

K_N dan K_P = parameter transkonduktansi

Keluaran akan bersifat *symmetric output drive* bila $R_N=R_P$. Jika diambil nilai yang umum untuk parameter transkonduktansi ($K_N=6.5 K_P$), maka

$$\frac{L_N W_P}{W_N L_P} = \frac{K_N}{K_P} = 2.5$$

2.3.2 Analisis Matematis Tegangan Masukan Rendah (V_{IL})

Kemiringan dari VTC sama dengan -1, yakni $dV_{out}/dV_{in} = -1$, ketika tegangan masukan $V_{in} = V_{IL}$. Dalam hal ini, transistor NMOS beroperasi dalam daerah saturasi, sedangkan transistor PMOS beroperasi dalam daerah linear. Dengan $I_{D,n} = I_{D,p}$, diperoleh persamaan arus yang diberikan oleh

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = [2 \cdot (V_{GS,p} - V_{T,p}) \cdot V_{DS,p} - V_{DS,p}^2] \tag{2.50}$$

Dengan menggunakan Persamaan (2.29) – (2.42), Persamaan (2.50) dapat ditulis:

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2 \cdot (V_{in} - V_{DD} - V_{T,p}) \cdot (V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \tag{2.51}$$

Dengan mendiferensialkan Persamaan (6.50) terhadap V_{in} diperoleh

$$k_n (V_{in} - V_{T,n}) = k_p \left[(V_{in} - V_{DD} - V_{T,p}) \left(\frac{dV_{out}}{dV_{in}} \right) + (V_{out} - V_{DD}) \left(\frac{dV_{out}}{dV_{in}} \right) \right] \quad (2.52)$$

Substitusi $V_{in} = V_{IL}$ dan $(dV_{out}/dV_{in}) = -1$ ke dalam Persamaan (6.51), diperoleh

$$k_n (V_{IL} - V_{T,n}) k_p (2V_{out} - V_{IL} - V_{T,p} - V_{DD})$$

Tegangan kritis V_{IL} dapat ditentukan sebagai fungsi dari tegangan keluaran V_{out} yang dinyatakan sebagai,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2.53)$$

Dengan :

$$k_R = \frac{k_n}{k_p}$$

2.3.3 Analisis Matematis Tegangan Masukan Tinggi (V_{IH})

Jika tegangan masukan sama dengan V_{IH} , transistor NMOS beroperasi dalam daerah linear, dan transistor PMOS beroperasi dalam mode saturasi. Dengan KCL pada titik keluaran diperoleh persamaan arus

$$\frac{k_n}{2} \cdot (V_{GS,n} - V_{T,n}) \cdot V_{DS,n} - V_{DS,n}^2 = \frac{k_p}{2} (V_{GS,n} - V_{T,p})^2 \quad (2.54)$$

Dengan menggunakan Persamaan (6.38) – (6.41), Persamaan (6.53) dapat ditulis :

$$\frac{k_n}{2} \cdot (V_{in} - V_{T,n}) \cdot V_{out} - V_{out}^2 = \frac{k_p}{2} (V_{in} - V_{T,p})^2 \quad (2.55)$$

Dengan mendiferensialkan Persamaan (6.54) terhadap V_{in} diperoleh

$$k_n \left[2 \cdot (V_{in} - V_{T,n}) \cdot \left(\frac{dV_{out}}{dV_{in}} \right) + V_{out} - V_{DD} - V_{T,p} \right] = k_p (V_{in} - V_{DD} - V_{T,p})^2 \quad (2.56)$$

Substitusi $V_{in} = V_{IH}$ dan (dV_{out}/V_{in}) ke dalam Persamaan (6.55) diperoleh

$$K_n (-V_{IH} + V_{T,n} + 2V_{out}) = k_p (V_{IH} - V_{DD} - V_{T,p}) \quad (2.57)$$

Tegangan kritis V_{IH} dapat ditentukan sebagai fungsi dari tegangan keluaran V_{out} yang dinyatakan sebagai

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R (2V_{out} + V_{T,n})}{1 + k_R} \quad (2.58)$$

2.3.4 Analisis Matematis Tegangan *Threshold Inverter* (V_{TH})

Tegangan *threshold inverter* ditentukan sebagai $V_{th} = V_{in} = V_{out}$. Karena inverter CMOS memberikan *noise margin* yang besar dan mempunyai bentuk transisi VTC yang curam, tegangan *threshold* merupakan suatu parameter karakteristik DC yang penting untuk menunjukkan kehandalan dari inverter. Untuk $V_{in} = V_{out}$ kedua transistor beroperasi dalam daerah saturasi. Dengan KCL dapat ditulis persamaan arus

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2 \quad (2.59)$$

Dengan mengganti $V_{GS,n}$ dan $V_{GS,p}$ dalam Persamaan (6.58) menurut Persamaan (6.38) dan (6.40), diperoleh

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} (V_{in} - V_{T,p})^2 \quad (2.60)$$

Persamaan ini dapat dibuat untuk tegangan masukan V_{in} :

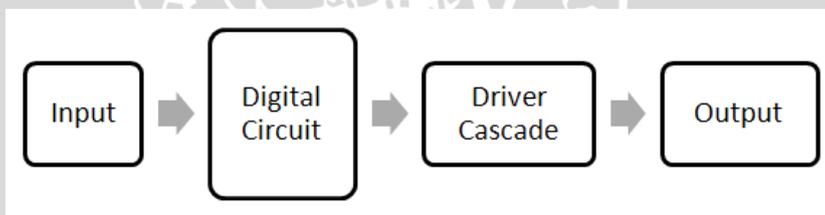
$$V_{in} \left(1 + \sqrt{\frac{k_p}{k_n}} \right) = V_{T,n} + \sqrt{\frac{k_p}{k_n} (V_{DD} + V_{T,p})} \quad (2.61)$$

Sehingga tegangan *threshold* inverter (*threshold switching*), V_{th} dinyatakan sebagai

$$V_{th} = \frac{V_{T,n} + \sqrt{\frac{1}{k_n} (V_{DD} + V_{T,p})}}{1 + \sqrt{\frac{1}{k_R}}} \quad (2.62)$$

2.4 Driver Kaskada

HCMOS merupakan hasil perkembangan dari teknologi CMOS, dengan bentuk struktur dasar yang sama yaitu terbentuk dari transistor NMOS dan PMOS. Keunggulan dari IC HCMOS adalah memiliki waktu tunda rambatan yang relative cepat dan disipasi daya yang kecil. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990: 591). Sehingga blok pembentuk IC HCMOS berupa rangkaian digital CMOS dan driver kaskada ditunjukkan dalam Gambar 2.21.



Gambar 2.19 Blok rangkaian IC HCMOS

Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990: 591). Dengan mengasumsikan sebuah sinyal keluaran dari gerbang referensi yang menggerakkan *load* kapasitansi C_L maka *propagation delay* rata-rata dapat dinyatakan dengan

$$t_{dr} = \frac{t_{apd} C_L}{C_G} \quad (2.63)$$

dengan:

$t_{pd} =$ rata-rata *delay* gerbang

$C_G =$ kapasitansi masukan gerbang referensi

Untuk setiap bilangan interger $n \geq 1$, didefinisikan α .

$$\alpha = \left(\frac{C_L}{C_G} \right)^{1/n} \quad (2.64)$$

n dapat direpresentasikan sebagai fungsi α sebagai,

$$n = \frac{\ln(C_L/C_G)}{\ln \alpha} \quad (2.65)$$

Konfigurasi ini terdiri dari gabungan n inverter (termasuk gerbang referensi awal). Jika masing-masing dirancang dengan rasio 4:1 artinya perbandingan antara ekuivalen resistansi transistor *pull up* dan *pull down*. Bila rasio perbandingan bukan 4:1 maka tidak menjadi masalah seperti pada logika CMOS yang dikenal bersifat *ratioless*. Setiap gerbang memiliki *drive capability* α -kali lebih besar dari stage sebelumnya. Karakteristik W dan L *stage* ke- k dijabarkan dengan persamaan berikut,

$$\begin{aligned} W_{dk} &= \alpha^{k-1} W_{d1} \\ L_{dk} &= L_{d1} \end{aligned} \quad (2.66)$$

$$\begin{aligned} W_{uk} &= W_{dk} \\ L_{uk} &= 4L_{dk} \end{aligned}$$

dengan:

$W_{dk} =$ W *pulldown* transistor kaskada inverter ke- k

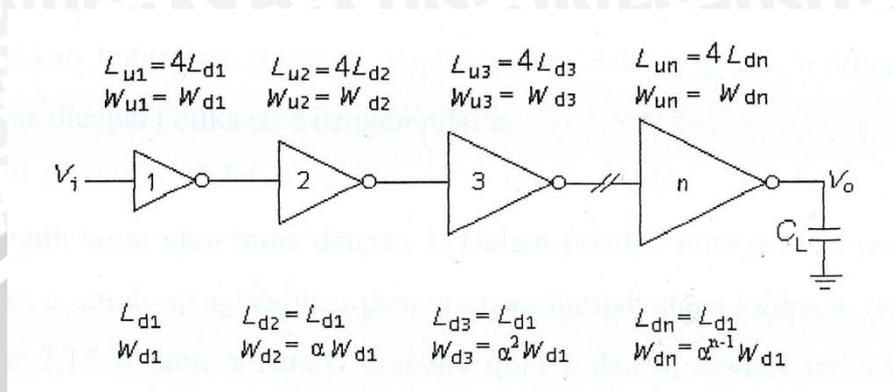
$L_{dk} =$ L *pulldown* transistor kaskada inverter ke- k

$W_{uk} =$ W *pullup* transistor kaskada inverter ke- k

$L_{uk} =$ L *pullup* transistor kaskada inverter ke- k

Load kapasitansi stage ke-k C relatif terhadap kapasitansi gerbang masukan C_G adalah

$$CL_k = \alpha^k C_G \quad (2.67)$$



Gambar 2.20 Driver kaskada

Sumber : Geiger, Allen, Strader, 1990 : 59

Dalam Gambar 2.20 untuk inverter yang pertama terdapat *propagation delay* sebesar αt_{apd} , sehingga total *propagation delay* struktur kaskada ini adalah

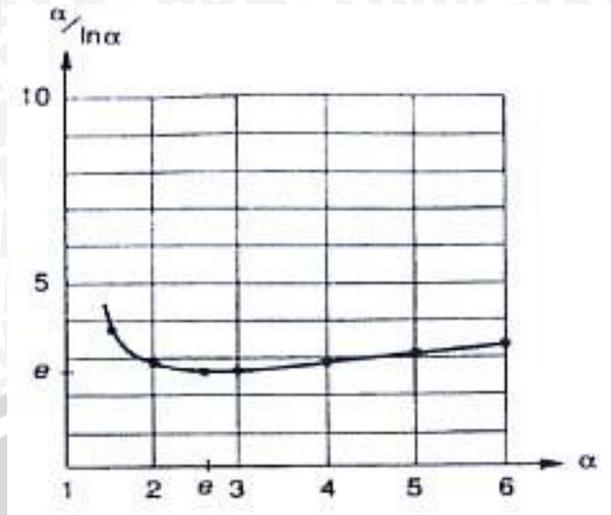
$$t_{cas} = n\alpha t_{apd} \quad (2.68)$$

Pengertian r adalah rasio antara *delay* struktur *driver* kaskada dengan *propagation delay* rata-rata gerbang, dapat dirumuskan:

$$r = \frac{t_{cat}}{t_{dir}} = \frac{n\alpha t_{apd}}{t_{apd} C_L / C_G} = \frac{n\alpha C_G}{C_L} \quad (2.69)$$

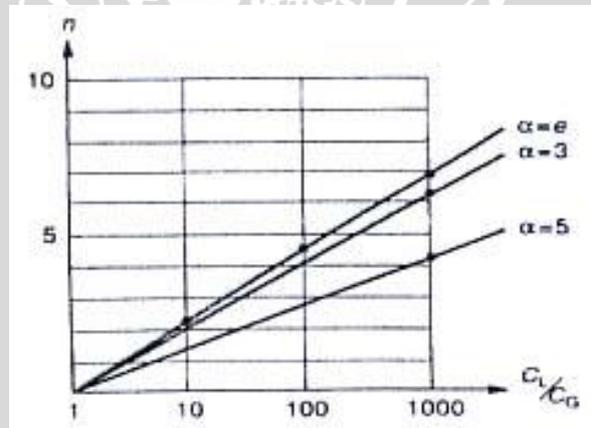
Namun yang menjadi persoalan adalah bagaimana meminimalisasi r sehingga meminimalkan delay rangkaian secara total. Variabel n dapat dihilangkan sehingga,

$$r = \frac{\ln(C_L / C_G)}{C_L / C_G} \cdot \frac{\alpha}{\ln \alpha} \quad (2.70)$$



3 Gambar 2.21 Grafik Hubungan α Dengan $\alpha/\ln\alpha$
 Sumber : Geiger, 1990 : 172

Menurut Persamaan (2.73) α dapat dipakai untuk meminimalisasi r . Gambar 2.21 menunjukkan hubungan antara α dengan $\alpha/\ln\alpha$. Dalam grafik terlihat bahwa nilai minimum $\alpha/\ln\alpha$ dicapai ketika $\alpha=e$ dengan nilai e . Gambar 2.22 menunjukkan hubungan antara n dengan C_L/C_G . Hubungan nilai ($\alpha=e$, $\alpha=3$ dan $\alpha=5$) ditunjukkan dalam gambar 2.22.



Gambar 2.22 Grafik Hubungan n Dengan C_L/C_G
 Sumber : Geiger, 1990 : 172

n adalah jumlah stage yang dikaskada. n merupakan sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktik nilai α diset pada nilai yang lebih besar dan e untuk menghasilkan pengurangan jumlah stage kaskada. Gambar 2.22 menunjukkan bahwa selama α berada diantara nilai 2 dan 4, deviasi terhadap minimum delay kurang dan 5%.

Pada Persamaan (2.69) ditunjukkan bahwa untuk load rasio yang kecil peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh, menurut Persamaan (2.70) kaskada tujuh tingkat dengan ukuran yang dioptimalkan yang digunakan untuk menggerakkan beban kapasitif dengan rasio $1100C_G$ menghasilkan *propagation delay* 1.7% dibanding *propagation delay* yang dibutuhkan gerbang dasar.

Hal yang perlu diperhatikan dalam perancangan adalah bila jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk nilai n yang besar luasan area total yang dihasilkan oleh driver kaskada terlalu besar. Sebagai contoh, rangkaian stage tujuh tingkat membutuhkan e^6 403 kali luasan gerbang dasar. Dengan luasan seperti ini tentu tidak akan efisien untuk rangkaian yang terintegrasi dengan jumlah yang banyak, misalnya dalam jumlah ribuan. Kedua hal ini perlu menjadi pertimbangan perancang dalam proses desain sebuah gerbang.

2.5 MULTIPLEKSER

Multiplekser adalah suatu rangkaian MSI yang mampu memilih sebuah bit masukan dari sebuah sejumlah sumber yang berlainan dan mengarahkan bit yang terpilih ini ke suatu saluran keluaran. Bit yang terpilih ditentukan oleh saluran-saluran alamat masukan yang sesuai. (Malvino, 1993:321)

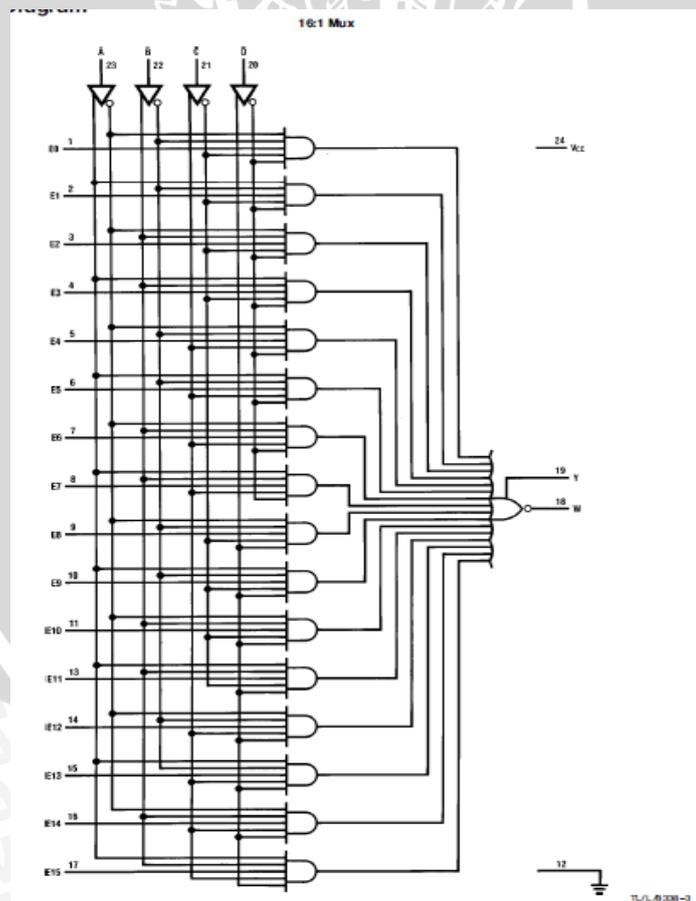
Multiplekser merupakan suatu rangkaian pemilih saluran masukan yang mempunyai dua atau lebih saluran masukan dan satu saluran keluaran.

Multiplekser mempunyai sinyal kontrol yang berfungsi memilih saluran masukan untuk mengarahkan sinyal masukan menuju saluran keluaran. Banyaknya sinyal control ditentukan oleh banyaknya saluran masukan pada Multiplekser. Syarat perancangan sebuah Multiplekser adalah $m \leq 2^n$ dengan m adalah banyaknya saluran masukan dan n adalah banyaknya sinyal kontrol.

Daftar kebenaran Multiplekser 16 to 1 ditunjukkan dalam Tabel 6.6 yang dibutuhkan 4 sinyal kontrol yaitu A,B,C,D, dan E , 1 enable yaitu W yang aktif jika berlogika rendah, serta mempunyai 1 keluaran yaitu Y . Rangkaian Multiplekser 16 to 1 ditunjukkan dalam Gambar 6.14

Tabel 2.6 Daftar kebenaran rangkaian logika 16 to 1

Select input				output	
D	C	B	A	W	Y
L	L	L	L	$\overline{E0}$	E0
L	L	L	H	$\overline{E1}$	E1
L	L	H	L	$\overline{E2}$	E2
L	L	H	H	$\overline{E3}$	E3
L	H	L	L	$\overline{E4}$	E4
L	H	L	H	$\overline{E5}$	E5
L	H	H	L	$\overline{E6}$	E6
L	H	H	H	$\overline{E7}$	E7
H	L	L	L	$\overline{E8}$	E8
H	L	L	H	$\overline{E9}$	E9
H	L	H	L	$\overline{E10}$	E10
H	L	H	H	$\overline{E11}$	E11
H	H	L	L	$\overline{E12}$	E12
H	H	L	H	$\overline{E13}$	E13
H	H	H	L	$\overline{E14}$	E14
H	H	H	H	$\overline{E15}$	E15



Gambar 2.23 Rangkaian logika Multiplexer 16 to 1

Sumber : alldatasheet.com