

# PERANCANGAN IC MULTIPLEKSER 16 TO 1 DENGAN MENGGUNAKAN TEKNOLOGI HIGH SPEED CMOS (HCMOS)

Oleh:

Ceri Ahendyarti

Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya

Pembimbing: 1. Ir. M. Julius St, MS.

2. Raden Arief Setyawan, ST., MT

Perancangan ini bertujuan untuk menganalisis dan merancang IC Multiplexer 16 to 1 dengan menggunakan teknologi *High Speed CMOS (HCMOS)*. Pembuatan ini gambar rangkaian HCMOS menggunakan *software DSCH* dan penggambaran *layout* rangkaian menggunakan *software Microwind2*. Pengujian spesifikasi rangkain menggunakan *software PSPICE*. Spesifikasi catu tegangan yang digunakan adalah 5V dengan nilai kapasitor kopling  $\leq 5\text{pF}$ , frekuensi maksimal 10MHz dengan menggunakan parameter nilai  $K_N = 40 \mu\text{A/V}^2$  dan  $K_P = 16\mu\text{A/V}^2$  sehingga diperoleh nilai *average propagation delay*  $\leq 70\text{ns}$ .

Spesifikasi hasil simulasi karakteristik alih tegangan (VTC) adalah  $V_{IL} = 2,92$ ;  $V_{OL} = 0\text{V}$ ;  $V_{IH} = 2,94\text{V}$ ;  $V_{OH} = 5\text{V}$ ; dengan *Noise Margin*  $N_{MH} = 2,06\text{V}$  dan  $N_{ML} = 2,92\text{V}$ . Hasil simulasi waktu tunda (*propagation delay*) adalah  $t_{PLH} = 9,79\text{ns}$ ,  $t_{PHL} = 3,92\text{ns}$ , dan  $t_{PD} = 6,85\text{ns}$ . Disipasi daya yang dihasilkan sebesar  $0,125\text{mW}$ . Ukuran layout tanpa *pad I/O* adalah  $1189,1 \mu\text{m} \times 23,3 \mu\text{m}$  dan menggunakan *pad I/O* dengan luasan  $1625,5 \mu\text{m} \times 1625,5 \mu\text{m}$ . Berdasarkan hasil simulasi dan perancangan menunjukkan bahwa spesifikasi IC Multiplexer 16 to 1 dengan menggunakan teknologi High Speed CMOS (HCMOS) mempunyai kecepatan dan disipasi daya yang lebih baik daripada IC TTL DM74150 dan IC CMOS MM54C150J.

**Kata Kunci:** Multiplexer, teknologi HCMOS, propagation delay, PSPICE

## I. PENDAHULUAN

### 1.1 LATAR BELAKANG

Perkembangan teknologi saat ini telah mengalami kemajuan yang sangat pesat. Salah satu perkembangan teknologi adalah kemajuan teknologi di bidang elektronika. Perkembangan teknologi elektronik diawali dengan penggunaan tabung hampa sebagai bagian pokok suatu alat elektronik. Kemudian ditemukanlah transistor sebagai pengganti tabung hampa. Perkembangan selanjutnya di teknologi mikroelektronik. Implementasi teknologi mikroelektronik ini adalah munculnya rangkaian terpadu (*Integrated Circuit*) yang mengkombinasikan berbagai komponen bipolar (*resistor, transistor*) dalam satu chip.

Berdasarkan kepadatan komponen keluarga IC dibagi menjadi empat kelompok yaitu SSI (*Small Scale Integration*), MSI (*Medium Scale Integration*), LSI (*Large Scale Integration*) dan VLSI (*Very Large Scale Integration*). Berdasarkan penggunaannya, IC dibagi menjadi dua kelompok yaitu IC analog dan IC digital. IC digital lebih umum digunakan dalam berbagai macam peralatan yang beroperasi secara digital.

IC digital sendiri dibuat dengan menggunakan teknologi MOS (Metal Oxide Semiconductor) dan teknologi bipolar. IC dengan menggunakan teknologi bipolar antara lain RTL, DTL, TTL, ECL dan HTL. Namun teknologi Bipolar mempunyai kelemahan dengan adanya disipasi daya yang tinggi. Sedangkan untuk teknologi CMOS keunggulannya pada disipasi daya yang rendah (dalam orde  $\mu\text{W}$ ), *fan out* yang tinggi, dan *noise margin* yang baik daripada teknologi

bipolar. CMOS juga memiliki kelemahan utama yaitu bila digunakan untuk menggerakkan beban kapasitif. *Propagation delay* CMOS menjadi lebih lambat bila menggerakkan beban dengan kapasitansi besar (meskipun dikatakan "besar" orde kapasitansinya adalah dalam orde pF), sedangkan teknologi bipolar memiliki *propagation delay* lebih cepat. Untuk mengatasi masalah ini telah dikembangkan teknologi lain seperti BiCMOS, namun bentuk VTC (*Voltage Transfer Characteristic*) yang tidak sebagus CMOS menimbulkan masalah lain. Dan selain itu ada teknologi HCMOS (*High Speed Complementary Metal Oxide Semiconductor*), yang sekaligus adalah teknologi yang dibahas dalam penelitian ini. Teknologi HCMOS adalah teknologi CMOS yang didesain secara khusus sehingga memiliki *propagation delay* yang sama atau lebih baik dari teknologi bipolar terutama untuk menggerakkan beban dengan kapasitansi yang besar.

Penerapan teknologi HCMOS dalam perancangan ini adalah dalam perencanaan IC Multiplexer 16 to 1. Dalam perancangan dikehendaki hasil yang ideal. Kondisi ideal yang diharapkan antara lain nilai VTC (*Voltage Transfer Characteristic*) dan *propagation delay* yang kecil serta parameter – parameter tertentu dibutuhkan untuk mendapatkan hasil yang ideal.

### 1.2 Rumusan Masalah

Berdasarkan latar belakang yang telah diuraikan, maka rumusan masalah dalam perancangan IC Multiplexer 16 to 1 HCMOS sebagai berikut:

- 1) Bagaimana merancang dan menganalisis rangkaian terintegrasi *Multiplekser 16 to 1* HCMOS?
- 2) Bagaimana perhitungan dalam perancangan rangkaian terintegrasi yang direncanakan?
- 3) Bagaimana pembuatan tata-letak rangkaian terintegrasi?
- 4) Berapakah besar perbedaan antara hasil perhitungan manual dengan hasil simulasi terhadap karakteristik yang telah ditentukan?
- 5) Bagaimana perbandingan propagation delay IC *Multiplekser 16 to 1* HCMOS hasil rancangan pada simulasi *Pspice* dengan IC *Multiplekser 16 to 1* TTL dan *Multiplekser 16 to 1* CMOS.

**1.3 Batasan Masalah**

Berdasarkan rumusan masalah, maka terdapat batasan masalah yang dirumuskan sebagai berikut:

- 1) Menyajikan penurunan rumus secara umum sebagai pembanding dan tidak membahas penurunan rumus dari devais transistor bipolar dan MOSFET.
- 2) Perhitungan secara manual digunakan untuk memperoleh hasil rancangan yang sesuai dengan spesifikasi yang diinginkan dengan menggunakan parameter-parameter yang telah ditentukan.
- 3) Hasil Rancangan hanya berupa *layout* dan tidak dilakukan proses fabrikasi IC HCMOS *Multiplekser 16 to 1*.
- 4) Tidak membahas program *Pspice* lebih dalam.

**1.4 Tujuan**

Tujuan penelitian ini adalah merancang IC HCMOS *Multiplekser 16 to 1* dengan *propagation delay* dan disipasi daya seminimal mungkin sehingga memiliki unjuk kerja yang tinggi.

**II. Metodologi**

Dalam metodologi akan diuraikan cara-cara yang dilakukan dalam proses perancangan *multiplekser 16 to 1* menggunakan teknologi high speed CMOS (HCMOS).

Langkah-langkah yang akan dilakukan sebagai berikut :

- 2.1 Studi literatur
- 2.2 Proses perencanaan
- 2.3 Proses Analisis
- 2.4 Proses simulasi
- 2.5 Proses penggambaran layout

**III. PERANCANGAN RANGKAIAN**

Bab ini membahas mengenai tahapan-tahapan dalam merancang IC *Multiplekser 16 to 1* meliputi penentuan rangkaian logika *multiplekser 16 to 1*, penentuan spesifikasi dari IC yang akan dirancang, parameter-parameter transistor NMOS dan PMOS yang akan digunakan dalam perhitungan, perbandingan nilai W/L yang digunakan, nilai VTC, *propagation delay*, dan penggambaran *layout* pada microwind2.

**3.1 Konfigurasi IC multiplekser 16 to 1**

Gambar 4.1 menunjukkan konfigurasi gerbang *Multiplekser 16 to1* HCMOS. Inisial W menunjukkan pullup transistor MOSFET tipe-p dan W menunjukkan pulldown transistor MOSFET tipe-n. Kedua tipe MOSFET ini tersusun dalam konfigurasi CMOS pada tiap gerbang. CL adalah semua kapasitansi baik internal maupun eksternal yang digerakkan oleh gerban. C adalah semua kapasitansi baik internal maupun eksternal yang digerakkan oleh gerbang. C meliputi kapasitansi jalur interkoneksi, bonding pad, jalur konduktor internal, pin IC, jalur konduktor eksternal serta termasuk kapasitansi masukkan IC lain yang digerakkan oleh gerbang.

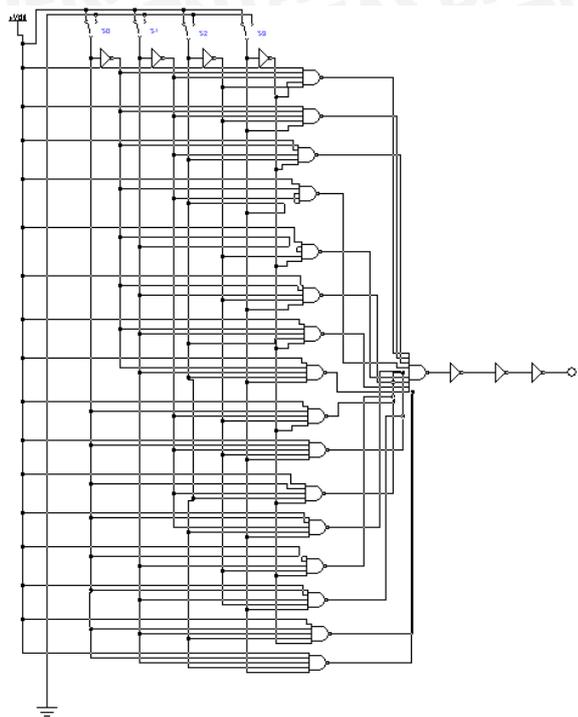
Komponen pembebanan lain selain kapasitansi adalah resistansi keluaran. Namun yang dipakai C karena hanya komponen kapasitansi yang mempengaruhi propagation delay rangkaian dan dalam perancangan ini dilakukan optimalisasi propagation delay gerbang.

Berdasarkan konfigurasi gerbang, satu-satunya perbedaan yang mendasar antara *Multiplekser HCMOS* dan CMOS adalah terdapatnya konfigurasi pasangan inverter dalam rangkaian HCMOS. Rangkaian *multiplekser* memanfaatkan keuntungan dari konfigurasi pasangan inverter ini yang dikenal dengan teknik driver kaskada. Dengan pengaturan nilai W dan L sistem yang tepat, maka akan diperoleh propagation delay yang lebih cepat dibanding sistem CMOS.

Tabel 3.1 Daftar Kebenaran Rangkaian *Multiplekser 16 to1*

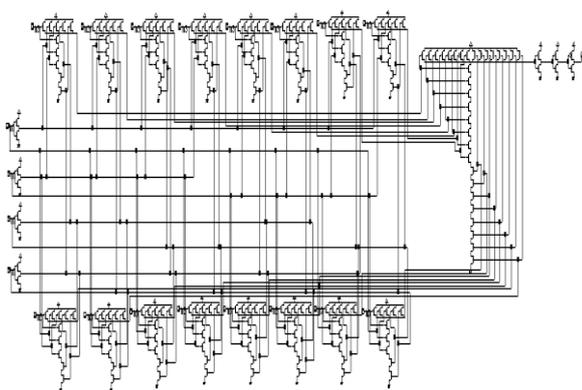
S0	Select input			output Y
	S1	S2	S3	
L	L	L	L	I0
L	L	L	H	I1
L	L	H	L	I2
L	L	H	H	I3
L	H	L	L	I4
L	H	L	H	I5
L	H	H	L	I6
L	H	H	H	I7
H	L	L	L	I8
H	L	L	H	I9
H	L	H	L	I10
H	L	H	H	I11
H	H	L	L	I12
H	H	L	H	I13
H	H	H	L	I14
H	H	H	H	I15

Tabel 3.1 menunjukkan daftar kebenaran rangkaian logika *Multiplekser 16 to 1*. Daftar kebenaran digunakan sebagai acuan untuk merancang rangkaian logika *Multiplekser 16 to 1* yang ditunjukkan dalam Gambar 3.1.



Gambar 3.1 Rangkaian Logika Multiplexer 16 to 1

Rangkaian Multiplexer 16 to 1 HCMOS tersusun dari 5 gerbang inverter yang terdiri dari 10 transistor PMOS dan NMOS, 16 gerbang NAND 5 input yang terdiri dari 160 transistor PMOS dan NMOS, 1 gerbang NAND 16 input yang tersusun dari 32 transistor PMOS dan NMOS, dan 1 inverter kaskada yang tersusun dari 4 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC Multiplexer 16 to 1 HCMOS adalah 206 transistor. Gambar 4.6 adalah gambar rangkaian transistor Multiplexer 16 to 1.



Gambar 3.2 Rangkaian transistor Multiplexer 16 to 1 HCMOS

## 2.2 Parameter Perancangan

Dalam perancangan IC Multiplexer 16 to 1 HCMOS terdapat karakteristik rangkaian yang ditentukan berdasarkan karakteristik yang terdapat dalam gerbang dasarnya yang bergantung pada keadaan bahan pembuat transistor. Adapun beberapa parameter dasar tersebut ditunjukkan dalam Tabel 3.2 yang sesuai dengan owners manual dan rule file dalam perangkat lunak Microwind2 dengan teknologi 0.6  $\mu\text{m}$  CMOS proses ( $= 0.3\mu\text{m}$ )

Table 3.2 Parameter desain Transistor

Simbol	Parameter Transistor CMOS		Keterangan
	NMOS	PMOS	
$\epsilon_{si}$	$3,45 \times 10^{-14} F/cm$		Konstanta dielektrik polisilikon
$\mu_n$	$580 \text{cm}^2/V.s$	-	Mobilitas rata-rata electron dalam saluran drain dan source
$\mu_p$		$230 \text{cm}^2/V.s$	Mobilitas rata-rata electron dalam saluran drain dan source
$V_T$	0,8V	-0,8V	Tegangan ambang pada PMOS dan NMOS
$\gamma$		$0,4V^{1/2}$	GAMMA blk threshold parameter
$2\phi_f$		0,3V	PHI, surface potential at strong inversion
$t_{ox}$		15nm	Ketebalan oksidasi gerbang (gate)
$V_{DD}$		5V	Tegangan catu
$K_n$	$300 \mu A/V^2$		Parameter transkonduksi transistor NMOS
$K_p$		$120 \mu A/V^2$	Parameter transkonduksi transistor PMOS

## 3.3 Desain nilai W dan L Transistor

Nilai W dan L untuk MOS tipe-n dan tipe-p pada gerbang dasar ditentukan dengan mempertimbangkan interaksi antara tegangan masukan dan keluaran gerbang. Penentuan W dan L untuk inverter CMOS didasari oleh analisis yang dilakukan pada nilai  $K_R=1$  seperti ditunjukkan dalam gambar 16, untuk menghasilkan suatu grafik karakteristik alih tegangan masukan dan keluaran simetris. Untuk menentukan W dan L pada masing-masing transistor pada gerbang inverter harus dilakukan analisis seperti berikut:

$$V_{th}(inv) = \frac{V_{T,n} + \sqrt{\frac{k_p}{k_n}} (V_{DD} - |V_{T,p}|)}{1 + \sqrt{\frac{1}{K_R}}}$$

$$K_R = \frac{k_n}{k_p}$$

$$V_{TH}(INV) = \frac{V_{T,n} + \sqrt{\frac{k_p}{k_n}}(V_{DD} - |V_{T,p}|)}{1 + \sqrt{\frac{k_p}{k_n}}}$$

$$2,5 = \frac{1 + \sqrt{\frac{k_p}{k_n}}(5 - 0,8)}{1 + \sqrt{\frac{k_p}{k_n}}}$$

$$2,5 + 2,5 \sqrt{\frac{k_p}{k_n}} = 0,8 + 4,2 \sqrt{\frac{k_p}{k_n}}$$

$$1,7 \sqrt{\frac{k_n}{k_p}} = 1,7 \Leftrightarrow \sqrt{\frac{k_n}{k_p}} = 1 \Leftrightarrow k_n = k_p$$

$$\frac{k_n}{k_p} = 1 = \frac{\mu_n C_{ox} \left(\frac{W}{L}\right)_n}{\mu_n C_{ox} \left(\frac{W}{L}\right)_p}$$

$$= \frac{\mu_n \left(\frac{W}{L}\right)_n}{\mu_n \left(\frac{W}{L}\right)_p}$$

Dengan  $\mu_n = 580 \text{ cm}^2/\text{V.s}$  dan  $\mu_p = 230 \text{ cm}^2/\text{V.s}$ , maka

$$\frac{k_n}{k_p} = \frac{\mu_n C_{ox} \left(\frac{W}{L}\right)_n}{\mu_n C_{ox} \left(\frac{W}{L}\right)_p}$$

$$\frac{k_n}{k_p} = \frac{580 \text{ cm}^2/\text{V.s} \left(\frac{W}{L}\right)_n}{230 \text{ cm}^2/\text{V.s} \left(\frac{W}{L}\right)_p} \Leftrightarrow 1 = 2,52 \left(\frac{W}{L}\right)_n$$

$$\frac{W_p}{2\lambda} \approx 2,5 \frac{W_n}{2\lambda}$$

$$W_p \approx 2,5 W_n \quad (4.5)$$

Nilai  $C_{ox}$  berubah sesuai dengan ketebalan oksida gate  $t_{ox}$ . Nilai  $t_{ox}$  ditetapkan sebesar 15nm.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$$

$$C_{ox} = \frac{3,45 \times 10^{-13}}{15 \times 10^{-9}} = 2,3 \times 10^{-5} \text{ F/cm}^2$$

$$k_n = \mu_n C_{ox} \frac{W_n}{L_n}$$

Dengan memasukkan nilai parameter dasar  $\mu_n = 580 \text{ cm}^2/\text{V.s}$  dan  $k_n = 300 \mu\text{A}/\text{V}^2$  serta  $C_{ox} = 2,3 \times 10^{-5} \text{ F/cm}^2$

$$\frac{W_n}{L_n} = \frac{k_n}{\mu_n C_{ox}}$$

$$\frac{W_n}{L_n} = \frac{300 \times 10^{-6}}{580 \times 2,33 \times 10^{-7}} = 2,25$$

$$\frac{W_n}{L_n} \approx 2 \quad (4.6)$$

Dengan memasukkan  $W_n$ ;  $L_n$  kedalam Persamaan (4.4) diperoleh  $W_p : L_p$ ,

$$\frac{W_p}{L_p} = 2,5 \times 2 \rightarrow \frac{W_p}{L_p} \approx 5$$

(4.7)

Berdasarkan persamaan 4.6 dan 4.7 dapat memberikan analisis awal. Dengan ukuran polisilikon  $2\lambda$ , maka akan diperoleh nilai  $W_p$  dan  $W_n$  sebesar  $4\lambda$  dan  $10\lambda$ . Dalam perancangan dengan menggunakan microwind2 (0,6 $\mu\text{m}$  CMOS Process), nilai  $\lambda = 0,3\mu\text{m}$  Nilai W dan L untuk gerbang-gerbang dasar adalah sebagai berikut:

4

$$W_p = 10\lambda = 3\mu\text{m} \text{ dan } L_p = 2\lambda = 0,6\mu\text{m}$$

$$W_n = 4\lambda = 1,2\mu\text{m} \text{ dan } L_n = 2\lambda = 0,6\mu\text{m}$$

Sedangkan nilai W dan L untuk kaskada, yaitu:

- Kaskada pertama

$$W_p = W_n = 3,6\mu\text{m} \text{ dan } L_p = L_n = 0,6\mu\text{m}$$

Dalam menentukan nilai W/L pada masing-masing transistor harus dilakukan analisis silang dan aturan perancangan IC. Lebar polisilikon dalam suatu persilangan transistor MOS disimbolkan L dan lebar difusi disimbolkan dengan W. Sesuai dengan aturan perancangan IC, lebar minimum polisilikon adalah  $2\lambda$  pada  $L_N$  dan  $L_p$  maka Persamaan menjadi :

- Kaskada kedua

$$W_p = W_n = 10,8\mu\text{m} \text{ dan } L_p = L_n = 0,6\mu\text{m}$$

Nilai W dan L gerbang-gerbang dasar dan kaskada berdasarkan persamaan 4.1 – 4.3 dan secara lengkap sebagai berikut:

$$M_1 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_2 W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

Nilai W dan L transistor untuk gerbang NAND 5 input,

$$M_1 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_2 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_3 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_4 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_5 W_p = 3\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_6 W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_7 W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_8 W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_9 W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

$$M_{10} W_n = 1,2\mu\text{m}$$

$$L_p = 0,6\mu\text{m}$$

### 3.4 Noise Margin (Batas Derau) Rangkaian

Noise margin menunjukkan kekebalan relative sebuah family logika terhadap noise. Untuk mengetahui noise margin rangkaian, maka harus diketahui terlebih dahulu nilai  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$  dan  $V_{OL}$  pada gerbang logika.

### 3.5. Analisis Matematis $V_{IL}$ dan $V_{OH}$ ,

Nilai  $V_{IL}$  merupakan nilai tegangan tertentu dari tegangan masukan ( $V_{in}$ ) yang membuat tegangan keluaran menjadi  $V_{OH}$ , perhitungan  $V_{IL}$  dapat dihitung dengan Persamaan (2-33).

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2-33)$$

Dalam perancangan nilai  $k_R$  merupakan perbandingan antara  $k_n$  dan  $k_p$ , dimana nilai ini menentukan kesimetrisan dari suatu grafik karakteristik alih tegangan dengan nilai  $k_R = 1$ . Dengan mensubstitusikan nilai  $V_{DD} = 5V$ ,  $V_{T,n} = 0,8V$  dan  $V_{T,p} = -0,8V$ , maka didapat fungsi  $V_{IL}$  sebagai fungsi  $V_{out}$  sebagai berikut,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} = \frac{2V_{out} + (-1) - 5 + (1 \times 1)}{1 + 1} = \frac{2V_{out} - 5}{2}$$

$$V_{IL} = \frac{2V_{out} - 5}{2} = V_{out} - 2,5$$

Untuk memperoleh nilai  $V_{out}$ , maka digunakan Persamaan (2-33). Dimana  $V_{IN} = V_{IL}$  terjadi saat transistor NMOS dalam keadaan saturasi dan transistor PMOS dalam daerah kerja linier.

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} [2 V_{IN} - V_{DD} - V_{T,p} \quad V_{out} - V_{DD} - V_{out} - V_{DD}^2]$$

$$\frac{k_n}{k_p} = k_R = 1,$$

$$V_{out}^2 - 6,6V_{out} + 10,89 = V_{out}^2 - 13,4V_{out} + 42$$

$$6,8V_{out} = 31,11$$

$$V_{out} = 4,575V$$

Maka nilai  $V_{IL}$  adalah

$$V_{IL} = V_{out} - 2,5 = 4,575 - 2,5 = 2,075V$$

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R \cdot 2V_{out} + V_{T,n}}{1 + k_R}$$

$$V_{IH} = \frac{5 - 0,8 + 1 \times 2V_{out} + 0,8}{1 + 1}$$

$$V_{IH} = \frac{4,2 + 2V_{out} + 0,8}{2} = \frac{5 + 2V}{2}$$

$$V_{IH} = 2,5 + V_{out}$$

Untuk memperoleh nilai  $V_{out}$ , maka digunakan Persamaan

Dengan mensubstitusikan kembali nilai  $V_{out}$  kedalam Persamaan (4-2), maka

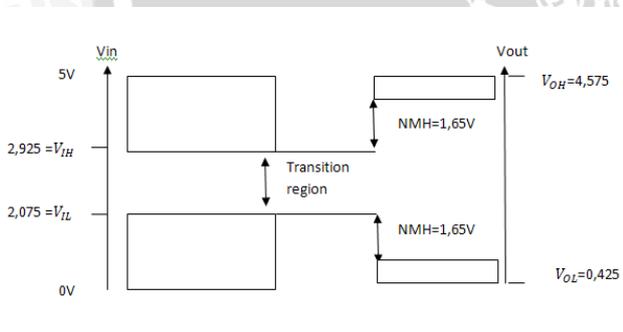
$$V_{IH} = 2,5 + V_{out} \quad (4-2)$$

$$V_{IH} = 2,5 + 0,425 \Rightarrow V_{IH} = 2,925V$$

Dari analisis perhitungan, diperoleh nilai  $V_{IH}, V_{IL}, V_{OH}$  dan  $V_{OL}$  sebagai berikut,

$$V_{OH} = 4,575V, \text{ saat } V_{IL} = 2,075V$$

$$V_{OL} = 0,425V, \text{ saat } V_{IH} = 2,925V$$



Gambar 3.3 Batas Derau Multiplexer 16 to 1

### 3.6 Analisis Propagation Delay

*Propagation Delay* atau waktu tunda rambatan dapat dilakukan dengan menentukan nilai kapasitor yang mungkin dapat digunakan. Parameter yang digunakan sebagai pembanding adalah nilai *Propagation Delay* pada lembar data (*datasheet*) IC TTL DM7150 dan IC CMOS MM54C150J. Dalam lembar data ditunjukkan IC TTL DM74150 mempunyai nilai  $t_{PD} = 34ns$  dengan nilai  $C=50pF$ . Sedangkan IC CMOS MM150J mempunyai nilai  $t_{PD} = 220ns$  dengan nilai  $C=50pF$ . Dengan demikian dalam perancangan IC HCMOS harus mempunyai kecepatan yang lebih tinggi dibandingkan IC TTL dan

IC CMOS tersebut. Dalam perancangan ini, nilai  $t_{PLH}$  dan  $t_{PHL}$  adalah 20ns. Nilai tersebut lebih kecil dibandingkan  $t_{PLH}$  dan  $t_{PHL}$  dari karakteristik IC TTL dan IC CMOS.

Mengacu pada pernyataan nilai parameter transkonduksi (K) maka analisis perancangan secara manual menggunakan nilai K yang bervariasi. Perancangan nilai K ini bertujuan untuk mendapatkan *propagation delay* yang lebih cepat dengan perbandingan  $K_N / K_P$  adalah 2,5. Variasi parameter transkonduksi K ditunjukkan dalam

Nilai *propagation delay* yang dibutuhkan dalam perancangan ini adalah nilai yang lebih kecil dari parameter *datasheet*, karena semakin kecil nilai *propagation delay* maka kecepatan proses IC akan semakin cepat. Keluaran yang dihasilkan akan bersifat *symmetric output drive* jika diambil nilai yang umum untuk parameter transkonduktansi  $K_N = 2,5K_P$ ,

maka  $\frac{L_N W_P}{W_N L_P} = \frac{K_N}{K_P} = 2,5$  sehingga dapat

menghasilkan *propagation delay* yang lebih kecil. Parameter transkonduktansi ditunjukkan dalam Tabel 4.2. Penentuan nilai transkonduktansi dilakukan dengan menentukan *Average Propagation Delay* dan membandingkan dengan parameter *datasheet* yaitu 20ns.

Tabel 3.3 Data hasil perhitungan analisis *propagation delay*

$K_N / K_P$	Parameter (ns)	$C_L$ (pF)					
		0,5	1	5	10	15	50
$K_N = 5 \mu A/V^2$ $K_P = 2 \mu A/V^2$	$t_{PLH}$	16	32	160	320	480	1600
	$t_{PHL}$	16	32	160	320	480	1600
$K_N = 10 \mu A/V^2$ $K_P = 4 \mu A/V^2$	$t_{PLH}$	8	16	80	160	240	800
	$t_{PHL}$	8	16	80	160	240	800
$K_N = 15 \mu A/V^2$ $K_P = 6 \mu A/V^2$	$t_{PLH}$	5,33	10,67	53,35	106,66	160	533,33
	$t_{PHL}$	5,33	10,67	53,35	106,66	160	533,33
$K_N = 20 \mu A/V^2$ $K_P = 8 \mu A/V^2$	$t_{PLH}$	4	8	40	80	120	400
	$t_{PHL}$	4	8	40	80	120	400
$K_N = 25 \mu A/V^2$ $K_P = 10 \mu A/V^2$	$t_{PLH}$	3,2	6,4	32	64	96	320
	$t_{PHL}$	3,2	6,4	32	64	96	320
$K_N = 30 \mu A/V^2$ $K_P = 12 \mu A/V^2$	$t_{PLH}$	2,66	5,33	26,65	53,33	80	266,66
	$t_{PHL}$	2,66	5,33	26,65	53,33	80	266,66
$K_N = 35 \mu A/V^2$ $K_P = 14 \mu A/V^2$	$t_{PLH}$	2,29	4,57	22,85	45,71	68,57	228,57
	$t_{PHL}$	2,29	4,57	22,85	45,71	68,57	228,57
$K_N = 40 \mu A/V^2$ $K_P = 16 \mu A/V^2$	$t_{PLH}$	2	4	20	40	60	200
	$t_{PHL}$	2	4	20	40	60	200

### 3.7 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang oleh suatu gerbang. Disipasi daya diperoleh dengan menentukan frekuensi kerja sesuai dengan kapasitor yang digunakan. Nilai disipasi daya diperoleh melalui Persamaan (2-62). Salah satu parameter yang



dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah power delay product (PDP), maka semakin dekat gerbang logika tersebut ke bentuk ideal. Nilai power delay product (PDP) diperoleh melalui persamaan(2-64).

$$PD = C_L V_{DD}^2 f \quad (2-62)$$

$$PDP = t_{PD} PD \quad (2-64)$$

Perencanaan nilai disipasi daya dilakukan dengan membandingkan nilai pada datasheet dan menggunakan variasi frekuensi dan nilai kapasitor pada  $K_N = 40 \mu A/V^2$  dan  $K_P = 16 \mu A/V^2$

Disipasi daya pada frekuensi 1MHz adalah:

$$\begin{aligned} PD &= C_L V_{DD}^2 f \\ &= 5 \cdot 10^{-12} \cdot 5^2 \cdot 1 \cdot 10^6 \\ &= 125 \mu W = 0,125 mW \end{aligned}$$

Dengan nilai propagation delay 12,75ns maka:

$$\begin{aligned} PDP &= t_{PD} PD \\ &= 20 \cdot 10^{-9} \cdot 125 \cdot 10^{-6} \\ &= 2,5 pJ \end{aligned}$$

#### IV. SIMULASI DAN PEMBUATAN LAYOUT

Bab ini membahas mengenai simulasi dan penggambaran layout MULTIPLESER 16 to 1 HCMOS. Hasil analisis dan perhitungan matematis dalam Bab IV perlu disimulasikan untuk mengetahui kebenaran perancangan yang dilakukan. Proses simulasi yang dilakukan yaitu:

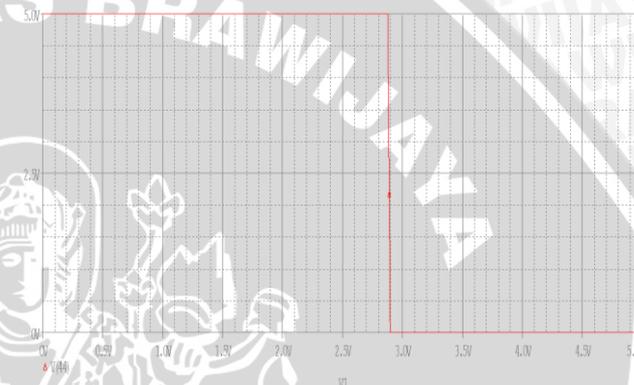
1. Simulasi karakteristik alih tegangan (VTC) untuk mengetahui besarnya  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OH}$ , dan  $V_{OL}$ , serta noise margin dengan menggunakan perangkat lunak Pspice. Dalam simulasi ini yang digunakan adalah analisis DC.
2. Simulasi unit step untuk mengetahui besarnya  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$ , dan  $t_f$  dengan frekuensi sinyal masuk tertentu dengan Pspice.

Pada pemograman Pspice terdapat 3 macam level, yaitu level 1, level 2, dan level 3. Pemilihan level yang digunakan sesuai dengan kebutuhan pengguna Pspice. Pada simulasi ini dipilih level 1 karena pada level ini model yang digunakan sederhana dan kondisi ideal. Berikut informasi singkat mengenai Pspice level 2 dan level 3. Level 2 merupakan model yang menggabungkan efek panjang gelombang dan daerah transisi antara saturasi dan ohmic. Sedangkan untuk level 3 merupakan model semi-empirical. Model

ini menawarkan reduksi waktu untuk menghitung daerah transisi antara daerah linier dan saturasi.

#### 4.1 Simulasi Karakteristik Alih Tegangan (VTC)

Simulasi alih tegangan (VTC) dilakukan dengan memberikan tegangan catu yang berupa tegangan DC 5V. Pada simulasi ini rangkaian diuji dengan menggunakan beban kapasitas ( $C_L$ ) 5 pF yang hanya berfungsi untuk mengetahui respon waktu. Hal ini dilakukan sebagai pembandingan dari parameter yang terdapat dalam datasheet. Sedangkan variasi beban kapasitor yang lain tidak diberikan karena memiliki hasil VTC yang sama. Dengan menggunakan listing program yang benar dan sesuai dengan perancangan, dapat menampilkan grafik VTC sesuai dengan kondisi yang diharapkan. Listing program ditunjukkan dalam Lampiran VTC.



Gambar 4.1. Grafik Alih Tegangan (VTC) Multiplexer 16 to 1

Gambar 4.1. menunjukkan grafik alih tegangan (VTC) IC Multiplexer 16 to 1, berdasarkan grafik tersebut dapat diketahui nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$ . Kondisi ideal terjadi ketika nilai  $V_{OL}$  mendekati nilai tegangan ground sedangkan nilai  $V_{OH}$  mendekati nilai tegangan  $V_{DD}$  yaitu 5V dan selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  sangat kecil. Grafik pada Gambar 5.1 menunjukkan nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$  sebagai berikut:

$$\begin{aligned} V_{OH} &= 5V & V_{IL} &= 2,92 V \\ V_{IH} &= 2,94 V & V_{OL} &= 0 V \end{aligned}$$

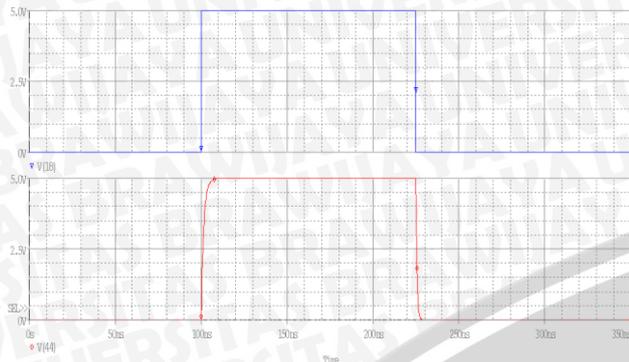
Noise Margin yaitu  $NM_H$  batasan logika tinggi noise margin batasan logika rendah  $NM_L$  dapat diperoleh dengan menggunakan Persamaan (2.30) dan (2.31)

$$\begin{aligned} NM_H &= V_{OH} - V_{IH} \quad (2.30) \\ NM_H &= 5 - 2,94 = 2,06 V \\ NM_L &= V_{IL} - V_{OL} \quad (2.31) \\ NM_L &= 2,92 - 0 = 2,92 \end{aligned}$$

#### 4.2 Simulasi Unit Step IC MULTIPLESER 16 to 1 dengan $C_L = 0,5 pF$

- 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 2, listing program unit step  $C_L = 0,5\text{pF}$  frekuensi 1MHz.



Gambar 4.2. Grafik Unit Step IC Multiplexer 16 to 1  $C_L=0,5\text{pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 0,5\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.2. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PLH} = 1,028 \text{ ns} \quad t_r = 3,13 \text{ ns}$$

$$t_{PHL} = 0,396 \text{ ns} \quad t_f = 1,25 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,028 \text{ ns} + 0,396 \text{ ns}}{2} = 0,7 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.35) dan (2.37) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{pF}$ ,  $t_{PD} = 0,7 \text{ ns}$ , maka::

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 1.10^6 = 12,5 \times 10^{-6} = 0,0125 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,7 \times 10^{-9} \times 12,5 \times 10^{-6} = 8,75 \times 10^{-15} = 8,75 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,0125 mW dan PDP adalah 8,75 fJ.

### 4.3 Perbandingan Data Hasil Analisis Perhitungan, Simulasi dan Datasheet

Berdasarkan hasil simulasi IC MULTIPLEXER 16 to 1 HCMOS dalam subbab 5.2 diperoleh data simulasi yang dapat menjadi pembandingan dengan data analisis perhitungan serta *datasheet* yang telah ditetapkan. Tabel 5.1 menunjukkan data hasil simulasi IC MULTIPLEXER 16 to 1 HCMOS.

Tabel 3.1. Data Hasil Simulasi IC MULTIPLEXER 16 to 1 HCMOS

$C_L$	Parameter	Frekuensi (MHz)				
		1	4	10	20	25
0,5pF	$t_{PLH}(\text{ns})$	1,028	0,977	0,978	0,978	1,03
	$t_{PHL}(\text{ns})$	0,396	0,396	0,396	0,396	0,396
	$t_r(\text{ns})$	3,136	3,193	3,126	3,093	3,093
	$t_f(\text{ns})$	1,255	1,255	1,216	1,255	1,255
	$t_{PD}(\text{ns})$	0,712	0,69	0,69	0,69	0,713
	PD(mW)	0,0125	0,05	0,125	0,25	0,313
	PDP(fJ)	8,75	34,5	86,25	172,5	225,3
1pF	$t_{PLH}(\text{ns})$	1,956	1,956	1,956	1,956	1,956
	$t_{PHL}(\text{ns})$	0,787	0,787	0,787	0,787	0,785
	$t_r(\text{ns})$	6,277	6,277	6,234	6,234	6,234
	$t_f(\text{ns})$	2,5	2,508	2,508	2,489	2,5
	$t_{PD}(\text{ns})$	1,371	1,371	1,371	1,371	1,37
	PD(mW)	0,025	0,05	0,1	0,25	0,625
	PDP(fJ)	34,25	137	342,5	685	856,25
5pF	$t_{PLH}(\text{ns})$	9,793	0,793	9,756	-	-
	$t_{PHL}(\text{ns})$	3,921	3,919	3,688	-	-
	$t_r(\text{ns})$	31,36	31,986	31,456	-	-
	$t_f(\text{ns})$	12,554	12,376	12,432	-	-
	$t_{PD}(\text{ns})$	6,857	6,856	6,722	-	-
	PD(mW)	0,125	0,5	1,25	-	-
	PDP(fJ)	856,25	3425	8400	-	-
15pF	$t_{PLH}(\text{ns})$	29,384	29,496	-	-	-
	$t_{PHL}(\text{ns})$	11,757	10,671	-	-	-
	$t_r(\text{ns})$	94,175	94,291	-	-	-
	$t_f(\text{ns})$	37,665	37,128	-	-	-
	$t_{PD}(\text{ns})$	20,57	20,083	-	-	-
	PD(mW)	0,375	1,5	-	-	-
	PDP(fJ)	7700	30,12	-	-	-
50pF	$t_{PLH}(\text{ns})$	97,953	-	-	-	-
	$t_{PHL}(\text{ns})$	37,052	-	-	-	-
	$t_r(\text{ns})$	312,65	-	-	-	-
	$t_f(\text{ns})$	124,793	-	-	-	-
	$t_{PD}(\text{ns})$	67,502	-	-	-	-
	PD(mW)	1,25	-	-	-	-
	PDP(fJ)	84370	-	-	-	-

## V. KESIMPULAN DAN SARAN

### 5.1 Kesimpulan

Berdasarkan hasil analisis dan hasil simulasi rangkaian Multiplexer 16 to 1 HCMOS dapat diambil kesimpulan sebagai berikut:

1. IC Multiplexer 16 to 1 HCMOS tersusun dari 5 gerbang inverter yang terdiri dari 10 transistor PMOS dan NMOS, 16 gerbang NAND 5 input yang terdiri dari 160 transistor PMOS dan NMOS, 1 gerbang NAND 16 input yang terdiri dari 32 transistor PMOS dan NMOS dan 1 inverter kaskada yang tersusun dari 4 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC Multiplexer 16 to 1 HCMOS adalah 206 transistor MOS dengan masing-masing berjumlah 103 transistor untuk PMOS dan NMOS.
2. Perancangan Multiplexer 16 to 1 HCMOS mempunyai karakteristik transfer

tegangan (VTC) yang simetris dengan *noise margin* logika tinggi ( $N_{MH}$ ) dan *noise margin* logika rendah ( $N_{ML}$ ) masing-masing sebesar 1,65 dengan  $V_{IL} = 2,075$  V,  $V_{IH} = 2,925$  V,  $V_{OL} = 0,425$  V, dan  $V_{OH} = 4,575$  V, sedangkan hasil simulasi dengan menggunakan program *Pspice* memperoleh nilai VTC sebagai berikut:  $V_{IL} = 2,92$  V,  $V_{IH} = 2,94$  V,  $V_{OL} = 0$  V, dan  $V_{OH} = 5$  V sehingga nilai  $N_{MH} = 2,06$  dan  $N_{ML} = 2,92$ .

3. Rangkaian Multiplexer ini dirancang dengan nilai *propagation delay* 20ns pada  $C_L = 5$  pF dengan disipasi daya sebesar 0,125 mW.

4. Simulasi Multiplexer 16 to 1 HCMOS dengan menggunakan perangkat lunak *Pspice* pada nilai  $C_L = 5$  pF diperoleh nilai *propagation delay* yang lebih baik dari hasil perhitungan yaitu sebesar 9,79 ns.

5. Simulasi Multiplexer 16 to 1 HCMOS dengan membandingkan pada nilai kapasitansi yang sama ( $C_L = 15$  pF untuk TTL dan  $C_L = 50$  pF untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik dari IC TTL DM74150 dan IC CMOS MM54C150N.

6. IC Multiplexer 16 to 1 HCMOS mempunyai *layout* tanpa *pad* I/O dengan luasan  $610 \mu\text{m} \times 210 \mu\text{m}$  dan menggunakan *pad* I/O dengan luasan  $1625,5 \mu\text{m} \times 1625,5 \mu\text{m}$ .

## 5.2 Saran

1. Hasil simulasi yang dikemukakan dalam perancangan ini akan menghasilkan keluaran yang simetris, akan tetapi pada kenyataannya tidak simetris, sehingga untuk menghasilkan keluaran yang simetris maka harus dilakukan desain ulang dengan nilai W dan L.

2. Hasil dari penelitian ini dapat digunakan sebagai salah satu referensi bagi perancangan rangkaian terintegrasi lainnya.

## IV. Daftar Pustaka

A, Douglas Pucknell. 1994. *Basic VLSI Design*. Australia: Prentice Hall.

Chen, Wai Kai. 2000. *The VLSI Handbook*. Florida: CRC Press.

De Massa, Thomas A. Ciccone, Zack. 1996. *Digital Integrated Circuits*. Canada:

Wiley & Sons.

E, John Ayers. 2004. *Digital Integrated Circuits. Analysis and Desain*. Canada: Wiley.

Fairchild Semikonduktor. *ID Series Datasheet*. [www.alldatasheet.com](http://www.alldatasheet.com), diakses tanggal 26 Februari 2012.

Geiger, Randall L., dkk. 1990. *VLSI Design Techniques For Analog and Digital Circuits*. Singapore: McGraw-Hill Book Co.

Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuit : Analysis and Design Second Edition*. Singapore : McGraw-Hill Companies.

Malvino, A. P. 1993. *Elektronika Komputer Digital, Pengantar Mikrokomputer*. Jakarta: Erlangga.

Pan, D. Z., Yuan, K., dkk. *Jurnal IEEE Transaction On Computer-Aided Design Of Integrated Circuits And Systems*. Volume 31. No.02, Februari 2012.

Park, M., Perrott, M. H., Staszewski, R. B., dkk. *Jurnal IEEE Transaction On Circuit And Systems*. Volume 54. No.11, November 2011.

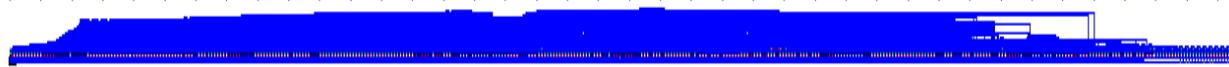
Pucknell, D. A. 1994. *Basic VLSI Design, 3<sup>rd</sup> edition*. Australia: Prentice Hall.

Qian, Weikang, Riedel, Marc D., dkk. *Jurnal IEEE Transaction On Computer-Aided Design Of Integrated Circuits And Systems*. Volume 30. No.09. September 2011.

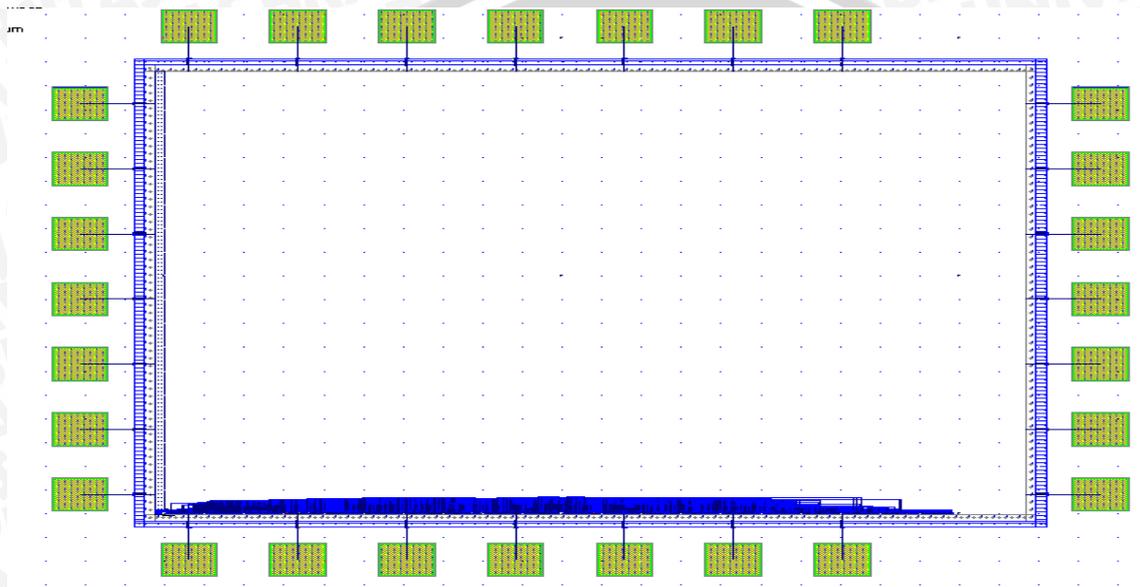
Rabaey, Jan M., dkk. 1999. *Digital Integrated Circuits A Design Perspective second Edition*. New Jersey: Prentide Hall Electronics and VLSI Series.

Rashid, Muh. 2004. *Introduction to PSpice Using OrCAD for Circuits and Electronics, 3<sup>rd</sup> edition*. London: Prentice Hall.

Sedra. 1992. *Spice for Microelectronics Circuit 3<sup>rd</sup> edition*. USA: Saunders College Publishing.



Layout IC MULTIPLEXER 16 to 1



Gerbang MULTIPLEXER 16 to 1 dengan Pad I/O

