

**PERANCANGAN IC FULL ADDER 8-BIT MASUKAN DENGAN
TEKNOLOGI HCMOS (*HIGH SPEED COMPLEMENTARY METAL
OXIDE SEMICONDUCTOR*)**

**S K R I P S I
KONSENTRASI TEKNIK ELEKTRONIKA**

*Diajukan untuk memenuhi sebagian persyaratan
memperoleh gelar Sarjana Teknik*



Disusun oleh:

MUHZAR

NIM. 0510630072-63

KEMENTERIAN PENDIDIKAN DAN KEBUDAYAAN

UNIVERSITAS BRAWIJAYA

FAKULTAS TEKNIK

JURUSAN TEKNIK ELEKTRO

MALANG

2012

LEMBAR PERSETUJUAN

PERANCANGAN IC FULL ADDER 8-BIT MASUKAN DENGAN TEKNOLOGI
HCMOS (*HIGH SPEED COMPLEMENTARY METAL OXIDE SEMICONDUCTOR*)

S K R I P S I
KONSENTRASI TEKNIK ELEKTRONIKA

*Diajukan untuk memenuhi sebagian persyaratan
memperoleh gelar Sarjana Teknik*



Disusun oleh:

MUHZAR

NIM. 0510630072-63

Telah diperiksa dan disetujui oleh :

Dosen Pembimbing I

M. Julius St, Ir., MS.
NIP. 19540720 198203 1 002

Dosen Pembimbing II

Mochammad Rif'an, ST., MT.
NIP. 19710301 200012 1 001

LEMBAR PENGESAHAN

PERANCANGAN IC *FULL ADDER 8-BIT MASUKAN DENGAN TEKNOLOGI
HCMOS (HIGH SPEED COMPLEMENTARY METAL OXIDE SEMICONDUCTOR)*

Disusun oleh :

MUHZAR

NIM 0510630072-63

Skripsi ini telah diuji dan dinyatakan lulus pada

Tanggal 10 Agustus 2012

Dosen Pengaji :

Ponco Siwindarto, Ir., M.Eng.Sc.
NIP. 19590304 198903 1 001

Nurussa'adah, Ir., MT.
NIP. 19680706 199203 2 001

R. Arief Setyawan, ST., MT.
NIP. 19750819 199903 1 001

Mengetahui,

Ketua Jurusan Teknik Elektro

Dr. Ir. Sholeh Hadi Pramono, MS.
NIP. 19580728 198701 1 001



PENGANTAR

Segala puji syukur penulis panjatkan hanya bagi Allah SWT, Pemelihara seluruh alam raya, yang atas limpahan rahmat, taufik dan hidayah-Nya, penulis mampu menyelesaikan tugas akhir ini.

Tugas akhir ini dikerjakan demi memenuhi salah satu syarat guna memperoleh gelar Sarjana Teknik di Jurusan Teknik Elektro Universitas Brawijaya, Malang. Penulis menyadari bahwa tugas akhir ini bukanlah tujuan akhir dari belajar karena belajar adalah sesuatu yang tidak terbatas.

Terselesaikannya skripsi ini tentunya tak lepas dari dorongan dan uluran tangan berbagai pihak. Oleh karena itu, tak salah kiranya bila penulis mengungkapkan rasa terima kasih dan penghargaan yang sebesarnya kepada semua pihak yang telah membantu dan mendukung sampai terselesainya tugas akhir yang berjudul Perancangan IC *Full Adder 8-Bit Masukan dengan Teknologi High Speed Complementary Metal Oxide Semiconductor (HCMOS)*.

Semoga Allah SWT membalas kebaikan dan ketulusan semua pihak yang telah membantu menyelesaikan tugas akhir ini dengan melimpahkan rahmat dan karunia-Nya.

Semoga karya penelitian tugas akhir ini dapat memberikan manfaat dan kebaikan bagi banyak pihak demi kemaslahatan bersama serta bernilai ibadah di hadapan Allah SWT. *Aamiin.*

Malang, Agustus 2012

Penulis



ABSTRAK

Muhzar, NIM : 0510630072

Pembimbing : M. Julius St, Ir., MS. dan Mohammad Rif an, ST., MT.

Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya

mail: muhzar_el@yahoo.co.id

Salah satu penggunaan penjumlahan penuh (*full adder*) pada sistem komputer yaitu operasi dalam perhitungan *Aritmatics Logic Unit* (ALU). Performansi operasi seperti dalam hal kecepatan operasi membawa pengaruh signifikan terhadap performansi keseluruhan. CLA merupakan metode penyederhanaan sebuah persamaan operasi gerbang logika penyusun *full adder* yang bisa meningkatkan performansi menggunakan rangkaian yang lebih cepat daripada *ripple-carry* (RCA) yaitu dengan menggunakan teknologi terbaru yang mengurangi *delay* gerbang dasar dimana jumlah gerbang yang digunakan dengan mengubah struktur rangkaian fungsional. Dalam merancang IC *full adder* 8 bit masukan meliputi penentuan rangkaian *full adder* 8 bit masukan, penentuan spesifikasi dari IC yang akan dirancang, parameter-parameter transistor NMOS dan PMOS yang akan digunakan dalam perhitungan, perbandingan nilai W/L yang digunakan, nilai VTC, propagation *delay*, dan penggambaran layout pada microwind.

Nilai yang diperoleh dari hasil perhitungan untuk nilai W dan L adalah $W_p = 1 \mu\text{m}$, $L_p=0,1 \mu\text{m}$, $W_N = 1,2 \mu\text{m}$, $L_n=0,1 \mu\text{m}$, $V_{OH} = 1,135 \text{ V}$, $V_{IL} = 0,535 \text{ V}$, $V_{OL} = 0,065 \text{ V}$, $V_{IH} = 0,665$ dan noise margin 0,47 V. Hasil simulasi Pspice untuk karakteristik alih tegangan $V_{OH} = 1,2 \text{ V}$, $V_{IL} = 0,55 \text{ V}$, $V_{OL} = 0 \text{ V}$, $V_{IH} = 0,6 \text{ V}$ dan noise margin ($N_{MH}=0,6 \text{ V}$, $N_{ML}=0,55\text{V}$), propagation *delay* untuk beban kapasitor 15 pF dengan frekuensi 1 MHz, t_{PD} (*average propagation delay*) = 9,151 ns dan disipasi daya 21,6 μW .



DAFTAR ISI

PENGANTAR	i
ABSTRAK	ii
DAFTAR ISI	iii
DAFTAR TABEL	vi
DAFTAR GAMBAR	vii
I. PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	3
1.3 Batasan Masalah.....	3
1.4 Tujuan.....	3
1.5 Sistematika Penulisan.....	4
II. TINJAUAN PUSTAKA.....	5
2.1 Rangkaian Penjumlahah Penuh (<i>Full Adder</i>)	5
2.1.1 <i>Full Adder</i>	5
2.1.2 <i>Carry Lookahead Adder (CLA)</i>	9
2.2 Transistor MOS (<i>Metal Oxyde Semiconductor</i>)	12
2.2.1 Cara Kerja, Bentuk Dasar dan Operasi Transistor MOS.....	13
2.2.2 Tegangan Ambang (<i>Voltage Treshold</i>).....	16
2.2.3 Karakteristik Arus Tegangan.....	17
2.2.4 Panjang dan Lebar (W dan L).....	20
2.2.5 Tegangan <i>Input</i> dan Tegangan <i>Output</i>	22
2.2.6 Efek Kapasitansi.....	23
2.2.7 <i>Propagation Delay</i>	23
2.2.8 Definisi Level Logika dan <i>Noise Margin</i>	25
2.2.9 Disipasi Daya CMOS.....	28
2.2.10 <i>Fan Out</i> Logika CMOS.....	29
2.2.11 Inverter CMOS.....	30

2.2.11.1	Analisis Matematis V_{IL}	33
2.2.11.2	Analisis Matematis V_{IH}	34
2.3 HCMOS.....		35
III. METODOLOGI PENELITIAN.....		38
3.1 Studi Literatur		38
3.2 Proses Analisis.....		39
3.3 Proses Simulasi.....		39
3.4 Proses Penggambaran <i>Layout</i>		40
IV. PERANCANGAN RANGKAIAN.....		43
4.1 Parameter Dasar Transistor MOSFET.....		43
4.2 Perancangan Nilai W dan L Transistor.....		45
4.3 Konfigurasi <i>Full Adder</i> 8 Bit Masukan.....		48
4.4 Perencanaan Rangkaian Logika <i>Full Adder</i> 8 Bit Masukan.....		50
4.5 Perencanaan Transistor <i>Full Adder</i> 8 Bit Masukan.....		54
4.6 Perhitungan V_{IL} , V_{IH} , V_{OL} , V_{OH} dan <i>Noise Margin</i> Inverter.....		68
4.6.1 Analisis Matematis V_{IL} dan V_{OH} Inverter.....		69
4.6.2 Analisis Matematis V_{IH} dan V_{OL} Inverter.....		70
4.6.3 Analisis Matematis V_{th}		70
4.6.4 <i>Noise Margin</i>		71
4.7 Analisis Waktu Tunda Rambatan (<i>Propagation Delay</i>) dan Disipasi Daya.....		72
4.8 Disipasi Daya.....		73
V. SIMULASI DAN PEMBUATAN LAYOUT.....		74
5.1 Simulasi Rangkaian <i>Full Adder</i> 8 Bit Masukan.....		74
5.2 Simulasi Karakteristik Alih Tegangan (<i>VTC</i>)		77
5.3 Simulasi <i>Unit Step</i>		81
5.3.1 Simulasi <i>Unit Step</i> dengan $C_L=0,5$ pF.....		82
5.3.2 Simulasi <i>Unit Step</i> dengan $C_L=5$ pF.....		86
5.3.3 Simulasi <i>Unit Step</i> dengan $C_L=10$ pF.....		91

5.3.4 Simulasi <i>Unit Step</i> dengan $C_L=15 \text{ pF}$	95
5.3.5 Simulasi <i>Unit Step</i> dengan $C_L=50 \text{ pF}$	100
5.4 Data Hasil Simulasi.....	104
5.5 Pembuatan <i>Layout</i>	106
VI. KESIMPULAN DAN SARAN.....	110
6.1 Kesimpulan.....	110
6.2 Saran.....	111
DAFTAR PUSTAKA.....	110
LAMPIRAN.....	111



DAFTAR TABEL

Tabel 2.1 Daftar Kebenaran <i>Adder</i>	6
Tabel 2.1 Daftar Kebenaran dan Peta K-map Penjumlahan Penuh.....	7
Tabel 2.3 Formulasi Matematis Transistor NMOS.....	19
Tabel 2.4 Formulasi Matematis Transistor PMOS.....	19
Tabel 2.5 Daerah Operasi Tegangan <i>Input-Output</i> Transistor.....	32
Tabel 4.1 Parameter Dasar Transistor CMOS.....	44
Tabel 4.2 Gerbang Penyusun <i>Full Adder</i> 8 Bit Masukan.....	52
Tabel 4.3 Gerbang Dasar Penyusun <i>Full Adder</i> 8 Bit Masukan.....	54
Tabel 5.1 Daftar Pengujian <i>Input</i> , <i>Output</i> dan <i>Carry Out Full Adder</i> 8 bit Masukan.....	76
Tabel 5.2 Daftar Hasil Simulasi IC <i>Full Adder</i> 8-bit Masukan HCMOS.....	104



DAFTAR GAMBAR

Gambar 2.1 Rangkaian dan Simbol Penjumlahah Paruh.....	6
Gambar 2.2 Rangkaian Penjumlahah Penuh.....	8
Gambar 2.3 Hubungan Penjumlahah Biner 4-bit dan n-bit.....	9
Gambar 2.4 <i>Full adder</i> Dinyatakan dalam i dengan P_i dan G_i	10
Gambar 2.5 4-Bit <i>Carry Lookahead Adder</i>	11
Gambar 2.6 Gerbang Penyusun 4-bit CLA.....	11
Gambar 2.7 Diagram Fisis Transistor MOS.....	12
Gambar 2.8 Struktur Fisik N-MOSFET Tipe <i>Enhacement</i>	13
Gambar 2.9 Simbol MOSFET Kanal n.....	14
Gambar 2.10 Simbol MOSFET Kanal p.....	15
Gambar 2.11 Struktur Fisik CMOS Tipe Peningkatan.....	15
Gambar 2.12 Karakteristik Arus-Tegangan Transistor NMOS.....	18
Gambar 2.13 <i>Layout</i> Transistor MOS.....	20
Gambar 2.14 Gerbang <i>Inverter</i> Transistor PMOS dan NMOS.....	21
Gambar 2.15 Pengaruh Nilai k_R pada Grafik V_{in} Terhadap V_{out}	22
Gambar 2.16 Karakteristik Alih Tegangan CMOS.....	23
Gambar 2.17 Efek Kapasitansi pada Transistor MOS.....	23
Gambar 2.18 Definisi <i>Delay</i> dalam Gerbang Digital.....	24
Gambar 2.19 Grafik Karakteristik Alih Tegangan.....	25
Gambar 2.20 <i>Noise Margin</i>	27
Gambar 2.21 Rangkaian <i>Inverter</i> CMOS.....	30
Gambar 2.22 Daerah Operasi <i>Inverter</i> CMOS.....	32
Gambar 2.23 Grafik Hubungan α dan $\alpha/\ln\alpha$	36
Gambar 2.24 Grafik Hubungan Nilai n dan C_L/C_G	37
 Gambar 3.1 Diagram Alir Perancangan IC <i>Full Adder</i> 8 Bit Masukan.....	42
 Gambar 4.1 Parameter Dasar Transistor 90 nm NMOS.....	44
Gambar 4.2 Perbandingan Nilai W dan L (N+ dan P+ Diffusion).....	47
Gambar 4.3 Konfigurasi Gerbang Kascada (HCMOS).....	47



Gambar 4.4 Konfigurasi <i>Full Adder</i> 8 Bit Masukan	49
Gambar 4.5 Rangkaian Gerbang Logika <i>Full Adder</i> 8 Bit Masukan dengan Kaskada.....	51
Gambar 4.6 Rangkaian Gerbang Logika <i>Full Adder</i> 8 Bit Masukan Gerbang NAND, NOR, dan Inverter.....	53
Gambar 4.7 Gerbang dan Transistor <i>Inverter</i>	55
Gambar 4.8 Gerbang dan Transistor NOR 2 Masukan.....	56
Gambar 4.9 Gerbang dan Transistor NOR 3 Masukan.....	56
Gambar 4.10 Transistor NOR 4 Masukan.....	57
Gambar 4.11 Tansistor NOR 5 Masukan.....	58
Gambar 4.12 Transistor NOR 6 Masukan.....	59
Gambar 4.13 Transistor NOR 7 Masukan.....	60
Gambar 4.14 Transistor NOR 8 Masukan.....	61
Gambar 4.15 Transistor NAND 2 Masukan.....	62
Gambar 4.16 Transistor NAND 3 Masukan.....	63
Gambar 4.17 Transistor NAND 4 Masukan.....	63
Gambar 4.18 Transistor NAND 5 Masukan.....	64
Gambar 4.19 Transistor NAND 6 Masukan.....	65
Gambar 4.20 Transistor NAND 7 Masukan.....	66
Gambar 4.21 Transistor NAND 8 Masukan.....	67
Gambar 4.22 Gerbang dan Transistor Penyusun Kaskada.....	68
Gambar 4.23 <i>Noise Margin</i>	72
 Gambar 5.1 Simulasi Rangkaian Gerbang Logika <i>Full Adder</i> 8 Bit Masukan....	75
Gambar 5.2 Pengujian <i>Input-Output</i> dan <i>Carry Out</i>	76
Gambar 5.3 Grafik Alih Tegangan <i>Carry In</i> (c_0) to <i>Carry Out</i> (c_8).....	78
Gambar 5.4 Grafik Alih Tegangan <i>Carry In</i> (c_0) to <i>Output</i>	79
Gambar 5.5 Grafik Alih Tegangan <i>Input to Carry Out</i> (c_8).....	79
Gambar 5.6 Grafik Alih Tegangan <i>Input to Output</i>	80
Gambar 5.7 <i>Noise Margin</i> Hasil Simulasi.....	81
Gambar 5.8 Grafik <i>unit step IC full adder</i> 8 bit masukan $C_L=0,5$ pF frekuensi 1 MHz.....	83

Gambar 5.9 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L=0,5$ pF frekuensi 5 MHz.....	83
Gambar 5.10 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L=0,5$ pF frekuensi 10 MHz.....	84
Gambar 5.11 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L=0,5$ pF frekuensi 20 MHz.....	85
Gambar 5.12 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L=0,5$ pF frekuensi 25 MHz.....	86
Gambar 5.13 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 5$ pF frekuensi 1 MHz.....	87
Gambar 5.14 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 5$ pF frekuensi 5 MHz.....	88
Gambar 5.15 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 5$ pF frekuensi 10 MHz.....	89
Gambar 5.16 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 5$ pF frekuensi 20 MHz.....	89
Gambar 5.17 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 5$ pF frekuensi 25 MHz.....	90
Gambar 5.18 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 10$ pF frekuensi 1 MHz.....	91
Gambar 5.19 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 10$ pF frekuensi 5 MHz.....	92
Gambar 5.20 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 10$ pF frekuensi 10 MHz.....	93
Gambar 5.21 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 10$ pF frekuensi 20 MHz.....	94
Gambar 5.22 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 10$ pF frekuensi 25 MHz.....	95
Gambar 5.23 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 15$ pF frekuensi 1 MHz.....	96
Gambar 5.24 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 15$ pF frekuensi 5 MHz.....	97

Gambar 5.25 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 15 \text{ pF}$ frekuensi 10 MHz.....	97
Gambar 5.26 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 15 \text{ pF}$ frekuensi 20 MHz.....	98
Gambar 5.27 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 15 \text{ pF}$ frekuensi 25 MHz.....	99
Gambar 5.28 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 50 \text{ pF}$ frekuensi 1 MHz.....	100
Gambar 5.29 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 50 \text{ pF}$ frekuensi 5 MHz.....	101
Gambar 5.30 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 50 \text{ pF}$ frekuensi 10 MHz.....	102
Gambar 5.31 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 50 \text{ pF}$ frekuensi 20 MHz.....	103
Gambar 5.32 Grafik <i>unit step</i> IC <i>full adder</i> 8 bit masukan $C_L= 50 \text{ pF}$ frekuensi 25 MHz.....	104
Gambar 5.33 <i>Layout</i> IC <i>Full Adder</i> 8 Bit.....	106
Gambar 5.34 Bentuk IC <i>Full Adder</i> 8 bit Masukan.....	107



UNIVERSITAS BRAWIJAYA



BAB I

PENDAHULUAN

1.1 Latar Belakang

Seiring perkembangan ilmu pengetahuan dan teknologi yang digunakan untuk mempermudah aktifitas manusia, teknologi yang mendukungnya yaitu teknologi *Integrated Circuit* (IC) atau rangkaian terpadu juga semakin mengalami perkembangan. Kenyataan yang bisa dilihat saat ini manusia tidak bisa lepas dari perangkat – perangkat yang didukung IC seperti *handphone*, komputer mini, *music player*, dan sebagainya.

Di bidang elektronika, perancangan IC merupakan suatu bagian yang berkembang pesat dengan banyaknya industri perancang IC yang berada di luar negeri dan banyaknya *designer* IC. Dalam proses perancangan IC tersebut dihasilkan suatu *chip* yang dianggap sebagai otak yang dapat menjalankan suatu operasi perhitungan. *Chip – chip* tersebut digunakan dalam piranti elektronik yang digunakan manusia. Melihat banyaknya penggunaan chip, industri IC merupakan suatu bidang yang menjanjikan dan mampu menghasilkan pendapatan yang cukup besar jika dikembangkan.

Evolusi industri semikonduktor bermula pada awal 1970-an dan berkembang sangat cepat pada masa – masa selanjutnya. Awalnya adalah IC *Small Scale Integration* (SSI) yang mengandung sekitar 1 hingga 10 gerbang logika. Masa *Medium Scale Integration* (MSI) memperluas penggunaan IC untuk *counter* dan fungsi logika. Masa *large scale integration* (LSI) membuat fungsi logika yang semakin besar, seperti mikroprosesor pertama ke dalam sebuah chip tunggal. Masa *Very Large Scale Integration* (VLSI) sekarang menawarkan mikroprosesor 64 bit ke atas sebuah silikon tunggal. Seiring dengan teknologi CMOS yang semakin berkembang, ukuran transistor menjadi semakin kecil dan IC dapat menyimpan lebih banyak transistor.

IC paling awal menggunakan teknologi bipolar dan mayoritas IC menggunakan *Transistor – Transistor Logic* (TTL). Meskipun ditemukan sebelum transistor bipolar, transistor *Metal Oxide Silicon* (MOS) susah dibuat karena masalah dengan permukaan oksida. Namun setelah permasalahan ini dapat



dipecahkan, MOS semakin berkembang dengan pesat dan lebih murah daripada transistor bipolar.

Pada awal 1980-an, transistor dengan gate berbahan aluminium digantikan dengan bahan polisilikon. Dengan bahan ini dimudahkan untuk membuat dua buah tipe transistor, yaitu NMOS dan PMOS ke dalam IC yang sama yaitu *Complementary MOS* (CMOS). Kelebihan yang ditawarkan CMOS yaitu proses fabrikasi yang lebih sederhana dan ukuran yang bisa lebih kecil. Keunggulan lain IC CMOS adalah mempunyai noise margin yang lebih besar daripada TTL. Secara fisik teknologi CMOS memiliki ukuran yang sangat kecil, namun memiliki kelemahan yaitu jika dipergunakan untuk menggerakkan beban kapasitif. *Propagation delay* CMOS menjadi lambat bila menggerakkan beban-beban dengan kapasitif besar sedangkan TTL lebih cepat. Untuk mengatasi hal ini telah dikembangkan teknologi lain seperti HCMOS. Teknologi HCMOS adalah teknologi CMOS yang didesain secara khusus sehingga memiliki *propagation delay* sama atau lebih baik dari TTL terutama untuk menggerakkan beban dengan kapasitansi besar.

Pada awalnya IC yang digunakan adalah IC standar. Namun seiring dengan keperluan dan kebutuhan, para *engineer* mulai menyadari keuntungan untuk mendesain IC sesuai kebutuhan. Dengan teknologi VLSI, maka dimungkinkan untuk merancang sendiri sistem dengan jumlah komponen yang lebih sedikit dengan menggabungkan beberapa IC standar menjadi IC yang kita inginkan. Salah satu IC yang bisa dirancang adalah IC *full adder* 8-bit masukan dengan menggunakan metode *Carry Lookahead Adder* (CLA) dalam proses penyederhanaan gerbang logika pada perancangan 8-bit *full adder* sehingga mudah disimulasi dan dianalisis dengan menggunakan *software* microwind2 dan dsch2.

Dalam analisis perancangan IC *full adder* 8-bit masukan ini tentunya diinginkan *output* yang ideal pada hasil rancangan. Kondisi ideal mencakup beberapa aspek diantaranya *Voltage Transfer Characteristics* (VTC), *propagation delay* yang cepat, dan disipasi daya yang rendah. Untuk mendapatkan suatu kondisi yang ideal maka dalam analisis menggunakan parameter-parameter yang berpengaruh pada proses perancangan. Semua

parameter akan dieliminasi pada suatu parameter paling utama yaitu nilai rasio W/L CMOS sebagai *driver*. Perbandingan nilai W dan L inilah yang akan menentukan suatu kondisi ideal pada VTC IC *full adder* 8-bit masukan.

1.2 Rumusan Masalah

Berdasarkan latar belakang yang sudah disampaikan dalam subbab 1.1 maka rumusan masalah yang akan di bahas dalam penelitian ini adalah sebagai berikut;

- 1) Bagaimana merencanakan dan merancang rangkaian IC *full adder* 8-bit masukan
- 2) Bagaimana perhitungan yang mendukung pembuatan rancangan yang direncanakan
- 3) Bagaimana analisis hasil simulasi PSpice untuk mengetahui karakteristik IC *full adder* yang dirancang
- 4) Bagaimana pembuatan tata-letak hasil rancangan dengan menggunakan dsch dan microwind.

1.3 Batasan Masalah

Dalam penelitian ini hal-hal yang akan disampaikan terbatas pada:

- 1) Perhitungan secara manual digunakan untuk memperoleh hasil rancangan yang sesuai dengan spesifikasi yang diinginkan dengan menggunakan parameter yang telah ditentukan
- 2) Hasil rancangan hanya berupa *layout* dan tidak dilakukan proses fabrikasi IC
- 3) Parameter yang digunakan dalam program Pspice ditentukan sendiri berdasarkan karakteristik yang akan dicapai
- 4) Hanya dilakukan analisis *propagation delay carry in to output*.

1.4 Tujuan

Tujuan penelitian ini adalah merancang IC *full adder* 8-bit masukan dengan *propagation delay* yang cepat dan disipasi daya rendah.



1.5 Sistematika Penulisan

Dalam penulisan penelitian ini terdiri dari beberapa bagian diantaranya :

BAB I PENDAHULUAN : membahas bagaimana permasalahan diangkat dalam penelitian ini.

BAB II TINJAUAN PUSTAKA : membahas dasar teori yang digunakan

BAB III METODOLOGI PENELITIAN : membahas metode yang dilakukan penulis dalam mencapai tujuan yang ingin diperoleh.

BAB IV PERANCANGAN RANGKAIAN : membahas bagaimana merencanakan dan merancang *full adder* 8 bit masukan dengan teknologi HCMOS

BAB V SIMULASI DAN PEMBUATAN LAYOUT : membahas simulasi rancangan IC yang telah dibuat

BAB VI KESIMPULAN DAN SARAN : berisi simpulan dan saran dari analisis perancangan



BAB II

TINJAUAN PUSTAKA

Operasi yang paling mendasar dalam suatu sistem digital adalah penjumlahan, hampir semua operasi aljabar dapat dilaksanakan dengan operasi penjumlahan. Penjumlah ini banyak digunakan di sistem komputer karena sangat berperan dalam penjumlahan data di sebuah *processor*. Performansi kecepatan operasi membawa pengaruh signifikan terhadap performansi keseluruhan. Meningkatkan performansi dapat menggunakan rangkaian yang lebih cepat yaitu dengan menggunakan teknologi terbaru yang mengurangi *delay* gerbang dasar. Performansi ini bisa diperoleh dengan mengubah struktur rangkaian fungsional. Salah satu operasi penjumlahan dan pengurangan bilangan biner yang digunakan adalah *Ripple Carry Adder* (RCA), namun memiliki kekurangan terkait *delay* yang ditimbulkan dan masalah ini bisa diatasi dengan metode CLA (*Carry Lookahead Adder*).

Bab ini akan membahas teori-teori yang mendukung perencanaan dan analisis dalam pembuatan layout IC. Teori-teori yang akan dibahas antara lain; *full adder*, transistor MOS, dan *driver cascade* (HCMOS).

2.1 Rangkaian Penjumlah Penuh (*Full Adder*)

2.1.1 *Full Adder*

Rangkaian penjumlah yang paling sederhana dan mendasar adalah penjumlah yang menjumlahkan dua angka biner. Untuk mengetahui bentuk rangkaian yang dibutuhkan, maka dilakukan operasi penjumlahan dua angka biner sebagai berikut :

$$0 + 0 = 0 \quad 1 + 0 = 1$$

$$0 + 1 = 0 \quad 1 + 1 = 0 \text{ carry } 1 = 10$$

Ini menunjukkan bahwa penjumlahan dua angka biner sama dengan operasi OR dengan pengecualian untuk keadaan kedua angka yang dijumlahkan berharga 1. Juga dapat dilihat bahwa hasil penjumlahan adalah 1 bila kedua angka tidak sama sedangkan bila kedua angka yang dijumlahkan sama, maka hasilnya 0. Tetapi untuk kedua *operand* = 1, maka akan dihasilkan simpanan (*carry*). Simpanan ini

harus diperhitungkan bila penjumlahan dilakukan untuk bit yang lebih tinggi nilainya dan untuk itu tentunya harus diteteksi.

Dengan menyebut kedua angka yang dijumlahkan sebagai x dan y , hasil penjumlahan sebagai s (*sum*), dan simpanan sebagai c (*carry*). Daftar kebenaran untuk rangkaian penjumlahan ditunjukkan dalam Tabel 2.6.

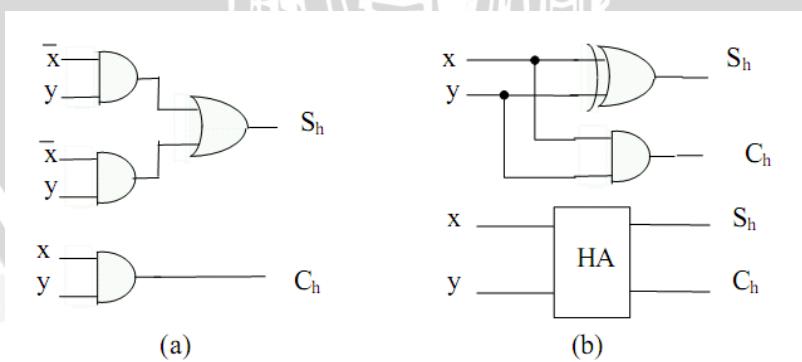
Tabel 2.1 Daftar Kebenaran Adder

x	y	S_h	C_h
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Dari daftar kebenaran dalam Tabel 2.1 dapat diperoleh persamaan seperti Persamaan (2-1) :

$$S_h = \bar{x}y + x\bar{y} = x \oplus y; C_h = xy \quad (2-1)$$

Pemberian subskrip h pada S dan C dalam Persamaan (2-1) ditujukan untuk menunjukkan sifatnya sebagai penjumlah paruh (*half adder*). Penamaan sebagai penjumlah paruh ini muncul dari ketidak-mampuan menerima simpanan (*carry*) dari hasil penjumlah untuk bit dengan bobot dibawahnya. Rangkaian logika untuk Persamaan (2-1) digambarkan dalam Gambar 2.1.



Gambar 2.1 Rangkaian dan Simbol Penjumlah Paruh (*Half Adder*)

Penjumlahan dua bilangan biner yang masing-masing terdiri dari 3 bit : 101 + 111. Dengan memakai hukum penjumlahan, maka diperoleh hasil penjumlahan sebagai berikut:

$$\begin{array}{r}
 1\ 1\ 1 \leftarrow \text{carry} \\
 1\ 0\ 1 \\
 \underline{+}\ 1\ 1\ 1 \\
 1\ 1\ 0\ 0
 \end{array}$$

Pada bit kedua, ketiga, dan seterusnya, dari kanan diperlukan juga masukan untuk penjumlahan simpanan dan penjumlahan bit di kanannya, dan ini tidak dimiliki oleh penjumlah yang telah diuraikan sebelumnya. Penjumlah yang memiliki 3 masukan disebut “penjumlah penuh” (*full adder*). Satu penjumlah penuh dapat dibentuk dari dua penjumlah dengan dua masukan, maka penjumlah dua masukan disebut “penjumlah paruh” (*half adder*).

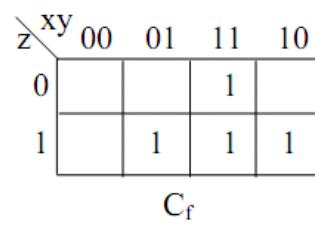
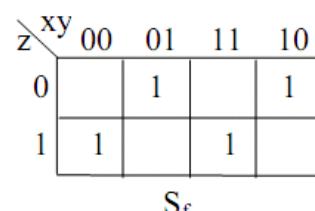
Tabel kebenaran dan peta karnaugh penjumlah penuh dapat dibuat seperti ditunjukkan dalam Tabel 2.2. Dari tabel kebenaran dan peta Karnaugh tersebut dapat diperoleh Persamaan (2-2) *Sum* dan *Carry* sebagai berikut :

$$\begin{aligned}
 S_f &= \overline{xyz} + xyz + \bar{x}\bar{y}\bar{z} + x\bar{y}\bar{z} \\
 &= (\overline{xy} + xy)z + (\bar{x}y + x\bar{y})z \\
 &= \overline{(x \oplus y)}z + (x + y)\bar{z} \\
 &= (x \oplus y) \oplus z
 \end{aligned}$$

$$C_f = xy + xz + yz = xy + (\bar{x}y + x\bar{y})z = xy + (x \oplus y)z \quad (2-2)$$

Tabel 2.2 Daftar Kebenaran dan Peta K-map Penjumlahan Penuh

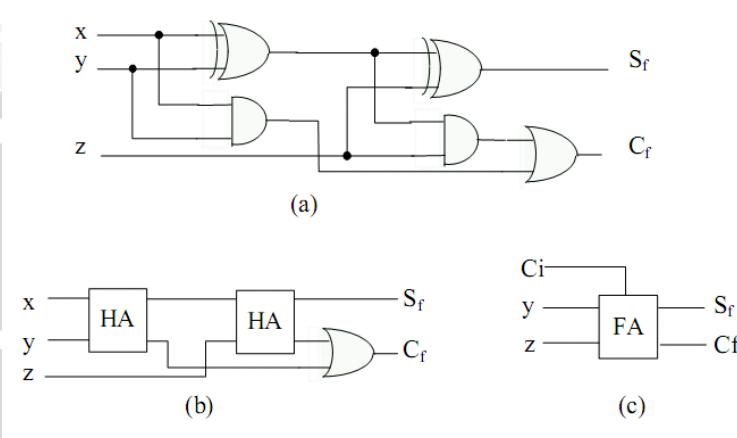
x	y	z	S	C
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1



Perhatikan bahwa z dalam Persamaan (2-1) dapat dipakai untuk masukan bagi simpanan pada penjumlahan sebelumnya. Jika dibandingkan Persamaan (2-2) dengan Persamaan (2-1) maka dapat ditunjukkan bahwa :

$$\begin{aligned} S_f &= S_h \oplus z \\ C_f &= zS_h + C_h \end{aligned} \quad (2-3)$$

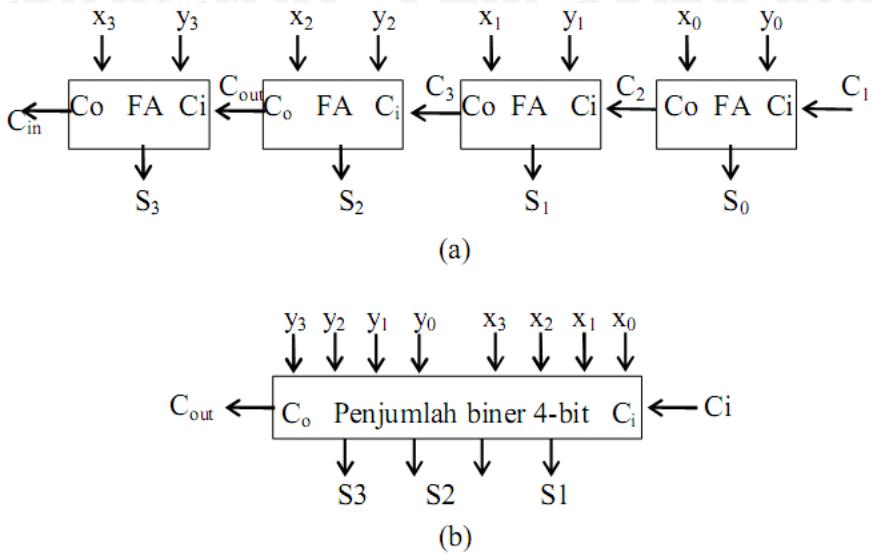
Diagram rangkaian Persamaan (2-3) ditunjukkan dalam Gambar 2.2 yang juga menunjukkan bahwa satu penjumlahan penuh dapat dibuat dari dua penjumlahan paruh.



Gambar 2.2 Rangkaian Penjumlahah Penuh

Penjumlahah untuk beberapa bit dapat dibentuk dengan menghubungkan beberapa buah penjumlahan penuh, *carry keluaran (carry-out)* penjumlahah bit rendah diumpamakan ke *carry masukan (carry in)* penjumlahah bit lebih tinggi. Dalam Gambar 2.2(a) ditunjukkan hubungan 4 penjumlahah penuh yang membentuk penjumlahah biner 4-bit yang secara diagram dapat juga digambarkan seperti dalam Gambar 2.2(b). Jenis penjumlahah lain seperti penjmlah BCD atau penjumlahah desimal dapat disusun dengan cara yang sama. Dipasaran tersedia rangkaian terpadu penjumlahah penuh untuk cacah bit tertentu, misalnya penjumlahah 4-bit SN7483. Dalam Gambar 2.3 ditunjukkan hubungan penjumlahah biner 4-bit dan n-bit





Gambar 2.3 Hubungan Penjumlahah Biner 4-bit dan n-bit

2.1.2 *Carry Lookahead Adder (CLA)*

Performansi operasi seperti dalam hal kecepatan operasi membawa pengaruh signifikan terhadap performansi keseluruhan. CLA merupakan metode penyederhanaan sebuah persamaan operasi gerbang logika penyusun *full adder* yang bisa meningkatkan performansi menggunakan rangkaian yang lebih cepat daripada *ripple-carry* (RCA) yaitu dengan menggunakan teknologi terbaru yang mengurangi *delay* gerbang dasar dimana jumlah gerbang yang digunakan dengan mengubah struktur rangkaian fungsional.

CLA mengatasi masalah *delay carry* dengan menghitung *carry* lebih lanjut berdasarkan sinyal masukan. Hal ini berdasarkan kenyataan bahwa sinyal *carry* akan menyebabkan dua hal yaitu:

- 1) Ketika kedua bit a_i dan b_i bernilai 1, atau
- 2) Ketika satu dari dua bit bernilai 1 dan *carry-in* bernilai 1

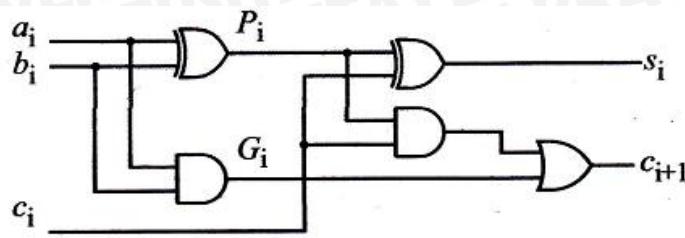
Sehingga dapat dinyatakan dalam Persamaan (2-4) dan Persamaan (2-5).

$$c_{i+1} = a_i b_i + (a_i \oplus b_i) \cdot c_i \quad (2-4)$$

$$S_i = (a_i \oplus b_i) \oplus c_i \quad (2-5)$$

Kedua persamaan dalam Persamaan (2-4) dan (2-5) dapat ditulis dalam 2 sinyal baru yaitu P_i dan G_i , yang ditunjukkan dalam Gambar 2.4.





Gambar 2.4 Full adder Dinyatakan dalam P_i dan G_i

Sumber : <http://www.ece.uvic.ca>

$$c_{i+1} = G_i + P_i \cdot c_i \quad (2-6)$$

$$S_1 = P_i \oplus c_i \quad (2-7)$$

dengan

$$G_i = a_i b_i \quad (2-8)$$

$$P_i = a_i \oplus b_i \quad (2-9)$$

G_i disebut sebagai *carry generate* dan P_i disebut sebagai *carry propagate* dengan menganggap bahwa *generate* dan *propagate* hanya didasari atas bit masukan dan kemudian akan menjadi valid setelah 1 dan 2 *gate delay*. Jika salah satu menggunakan ekspresi di atas untuk menghitung *carry*, maka salah satu lagi tidak perlu menunggu *carry* untuk berpindah melewati *stage* sebelumnya untuk menemukan nilai yang tepat.

Dari Persamaan (2-4) dan (2-5) dapat diterapkan persamaan untuk 4-bit *adder*, dengan mengambil nilai $i=0,1,2,3$. Keempat nilai tersebut diperoleh persamaan

$$c_1 = G_0 + P_0 c_0 \quad (2-10)$$

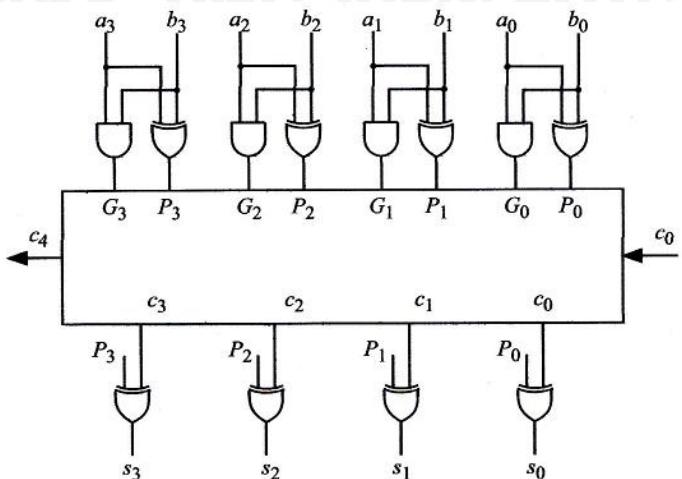
$$c_2 = G_1 + P_1 G_0 + P_1 P_0 c_0 \quad (2-11)$$

$$c_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 c_0 \quad (2-12)$$

$$c_4 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 c_0 \quad (2-13)$$



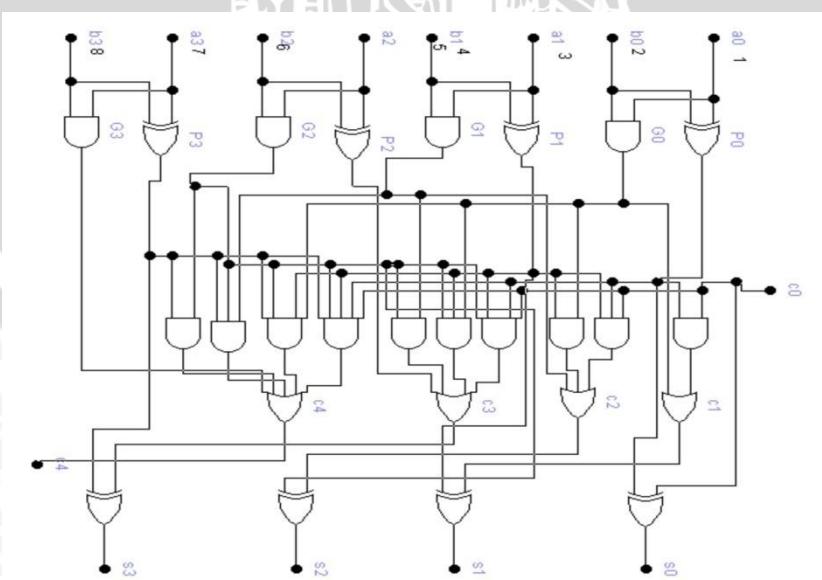
Gambar 2.5 menunjukkan bahwa 4-bit CLA disusun menggunakan sinyal P_i dan G_i dan gerbang logika yang membangkitkan *carry out* berdasarkan Persamaan (2-13).



Gambar 2.5 4-Bit Carry Lookahead Adder

Sumber : <http://www.ece.uvic.ca>

Kelemahan CLA adalah blok diagram *carry* mendapatkan kerumitan saat melebihi 4 bit. Dengan alasan tersebut, CLA biasanya diimplementasikan sebagai modul penjumlah 4-bit dan digunakan sebagai sebuah struktur hierarki untuk menyatakan penambah yang memiliki kelipatan 4 bit. Gerbang-gerbang penyusun 4-bit CLA ditunjukkan dalam Gambar 2.6.

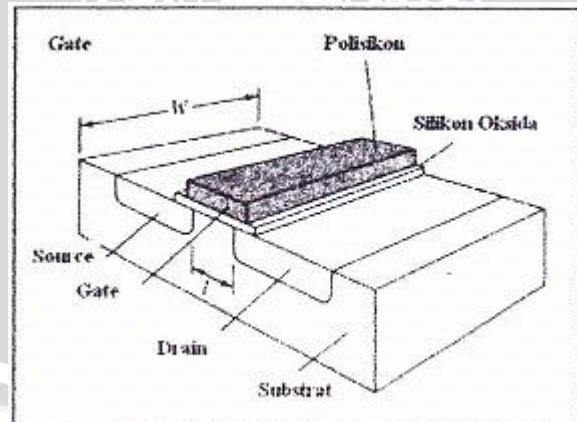


Gambar 2.6 Gerbang Penyusun 4-bit CLA

2.2 Transistor MOS (*Metal Oxyde Semiconductor*)

Transistor MOS adalah suatu transistor yang bahan dasarnya adalah semikonduktor (*silocon*) dengan tingkat konsentrasi ketidakmurnian tertentu, tingkat dari ketidakmurnian ini menentukan jenis transistor tersebut yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS) dibuat agar antara substrat dan gerbangnya dibatasi oleh oksida silikon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri kanal, dengan demikian transistor MOSFET mempunyai kelebihan jika dibandingkan dengan transistor BJT yaitu menghasilkan disipasi daya yang kecil. Transistor MOS merupakan transistor yang dibuat dari bahan dasar berupa substrat silikon kristal tunggal murni. Perlakuan tertentu diberikan terhadap substrat tersebut sehingga terbentuk empat bagian penting dalam suatu trasistor MOS. Bagian-bagian tersebut terdiri atas Substrat (*body*), *drain* (Penguras), *gate* (Gerbang), dan *Source* (sumber).

Secara umum transistor MOS bekerja karena adanya perubahan-perubahan medan elektrik yang disebabkan adanya perubahan tegangan pada beberapa bagiannya, sehingga transistor MOS juga dikenal dengan istilah MOSFET (*Metal Oxyde Semiconductor Field Effect Transistor*). Bagian-bagian penampang transistor MOS ditunjukkan dalam Gambar 2.7.



Gambar 2.7 Diagram Fisis Transistor MOS

Sumber : Hodges-Jackson 1987:37

2.2.1 Cara Kerja, Bentuk Dasar dan Operasi Transistor MOS

Bila dilihat dari cara kerjanya, transistor MOS dapat dibagi dua, yaitu :

- 1) Transistor Mode Pengosongan (*Depletion Mode Transistor*).

Pada transistor mode *depletion*, antara *drain* dan *source* terdapat saluran yang menghubungkan dua terminal tersebut, yang mempunyai fungsi sebagai saluran tempat mengalirnya elektron bebas. Lebar saluran dapat dikendalikan oleh tegangan gerbang.

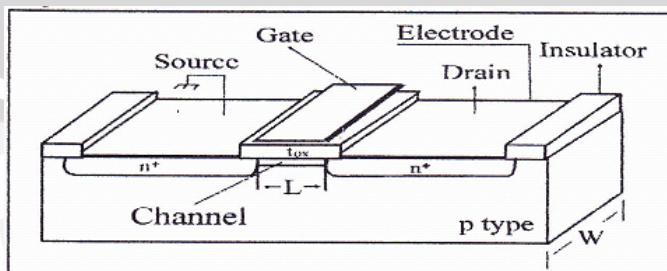
- 2) Transistor Mode Peningkatan (*Enhancement Mode Transistor*).

Transistor mode ini pada fisiknya tidak memiliki saluran antara *drain* dan *source*-nya karena lapisan bulk meluas dengan lapisan SiO_2 pada terminal *gate*.

Bentuk dasar dan operasi MOSFET

- 1) NMOS tipe *enhacement*

Struktur NMOS terdiri dari substrat tipe-p dengan daerah *source* dan *drain* diberi difusi n+. Diantara daerah *source* dan *drain* terdapat daerah sempit dari substrat-p disebut *channel* yang ditutupi oleh lapisan tak menghantar (*insulating*) yang terbuat dari SiO_2 . Panjang *channel* disebut *length* (L) dan lebarnya disebut *width* (W), kedua parameter ini sangat penting untuk mengontrol MOSFET. Parameter yang tidak kalah pentingnya adalah ketebalan lapisan oksida yang menutupi daerah *channel* (t_{ox}). Di atas lapisan *insulating* tersebut didepositkan *polycrystalline silicone* (*polysilicone*) electrode, yang disebut dengan gerbang (*gate*). Gambar 2.8 menunjukkan struktur N MOSFET tipe *enhacement*



Gambar 2.8 Struktur Fisik N-MOSFET Tipe *Enhacement*

Sumber : Haznedar, 1991 :83

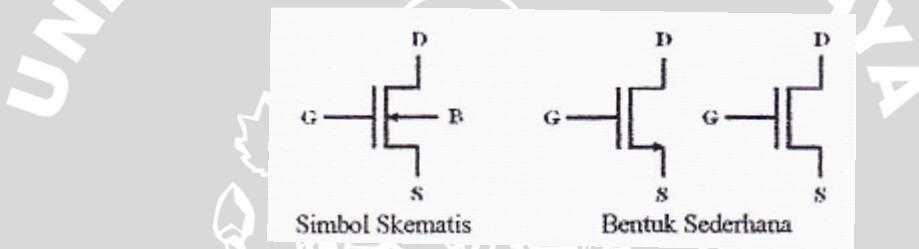
2) PMOS tipe *enhacement*

Struktur transistor PMOS terdiri dari substrat tipe-n dengan daerah *source* dan *drain* diberi difusi-p+ dan untuk kondisi yang lain sama dengan NMOS tipe *enhacement*.

Dilihat dari jenis saluran yang digunakan, MOSFET dapat dikelompokkan menjadi 3 kelompok, antara lain;

1) NMOS (*Negative MOS*)

Transistor MOS jenis ini dibuat dengan menggunakan substrat dasar tipe-p dengan difusi n+ pada daerah *source* dan *drain*, dimana daerah kanal terbentuk pada permukaan tipe-n. Simbol transistor NMOS ditunjukkan dalam Gambar 2.19.



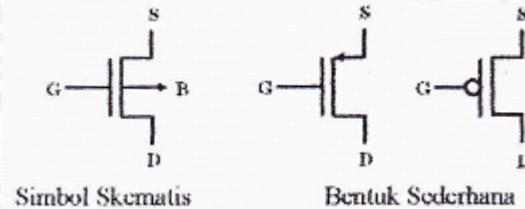
Gambar 2.9 Simbol MOSFET Kanal n

Sumber : Mo Kang, 1996:45

Negatif MOS yaitu MOSFET yang mengalirkan arus penguras sumber menggunakan saluran dari bahan elektron, sehingga arus akan mengalir jika tegangan gerbang lebih positif dari substrat dan nilai mutlaknya lebih besar dari V_T (*Voltage Threshold*).

2) PMOS (*Positive MOS*)

Transistor tipe ini dibuat dengan menggunakan substrat dasar tipe-n dan memiliki difusi p+ pada daerah *source* dan *drain* serta kanalnya bertipe kanal-p. simbol transistor PMOS dapat ditunjukkan dalam Gambar 2.10.



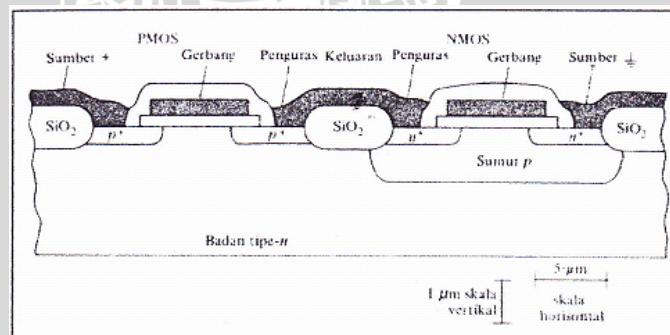
Gambar 2.10 Simbol MOSFET Kanal p

Sumber : Mo Kang, 1996:45

Positif MOS adalah MOSFET yang mengalirkan arus penguras sumber melalui saluran positif yang berupa lubang dimana arus akan mengalir jika tegangan gerbang lebih negatif terhadap tegangan substrat dan nilainya mutlak lebih besar dari V_T .

3) CMOS (*Complementary MOS*)

Transistor CMOS terbuat dari MOSFET kanal n (NMOS) dengan MOSFET kanal p (PMOS) dalam satu substrat. Penggunaan modus pengosongan jarang dipakai dalam rangkaian CMOS sehingga semua analisis transistor dianggap sebagai modus peningkatan. Penampang fisik dari irisan transistor CMOS ditunjukkan dalam Gambar 2.11.



Gambar 2.11 Struktur Fisik CMOS Tipe Peningkatan

Sumber : Hodges-Jackson, 1987: 39

Dalam proses fabrikasi, ukuran mendatar dibuat sekecil mungkin menggunakan teknologi fabrikasi yang tersedia dengan memaksimalkan baik kerapatan rangkaian maupun performansi

kecepatan tinggi. Ukuran mendatar terpenting adalah saluran L. Ukuran L berkisar antara $2\mu\text{m}$ sampai $6\mu\text{m}$. Tegak lurus terhadap bidang gambar adalah lebar saluran W dimana nilainya berkisar antara $3\mu\text{m}$ sampai $500\mu\text{m}$ tergantung dari penanganan arus yang diinginkan. Ketebalan oksida gerbang (t_{ox}) mempunyai nilai 40nm sampai 100nm . Lebar dan panjang gerbang serta ketebalan oksida gerbang adalah parameter utama yang menentukan sifat transistor MOS. (Hodges-Jackson, 1987:39)

MOSFET tipe *complementary* ini mengalirkan arus penguras sumber melalui saluran tipe-n dan tipe-p secara bergantian, sesuai dengan tegangan yang dimasukkan pada gerbang (*gate*).

2.2.2 Tegangan Ambang (*Voltage Threshold*)

Tegangan ambang (*Voltage Threshold*) adalah tegangan yang diperlukan untuk memulai pembentukan saluran penghantar. Pada saat V_{GS} nol maka terjadi kesetimbangan potensial elektrostatis ϕ_F pada semikonduktor yang didefinisikan sebagai

$$\phi_F = \frac{kT}{q} \ln \left(\frac{n_i}{p} \right) \text{ (semikonduktor tipe-p)} \quad (2-7)$$

Atau

$$\phi_F = \frac{kT}{q} \ln \left(\frac{n}{n_i} \right) \text{ (semikonduktor tipe-n)} \quad (2-8)$$

Dimana p atau n adalah konsentrasi pembawa muatan lincah (mobile majoritas). n_i merupakan konsentrasi pembawa muatan instrinsik semikonduktor dalam satuan joule.

Konektivitas tegangan ambang dengan ϕ_F dalam Persamaan (2-9) berikut,

$$V_T = V_{To} + \gamma \left(\sqrt{2|\phi_F| + V_B} - \sqrt{2|\phi_F|} \right) \quad (2-9)$$



dengan

V_T = tegangan ambang

V_{TO} = tegangan ambang untuk $V_{BS} = 0$

γ = efek bias badan dengan satuan $V^{1/2}$

V_B = tegangan badan (*body*)

Dengan badan (*body*) dihubungkan *ground* ($V_B = 0V$). Dalam analisis teknologi CMOS efek bias badan tidak perlu dimasukkan dalam perhitungan. Logika dasar CMOS dapat dibias dengan $V_T = V_{To}$, sehingga untuk memudahkan penulisan V_T akan digunakan untuk menyatakan tegangan ambang jika $V_T = V_{To}$, (Hazneder, 1991:82). Parameter γ merupakan koefisien substrat bias (*body effect*) ditunjukkan dalam Persamaan (2-10).

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}N_a} \quad (2-10)$$

C_{ox} adalah kapasitansi oksida gerbang per-satuan luas yang didefinisikan sebagai

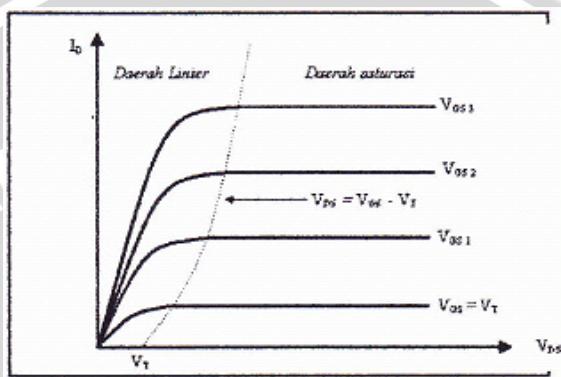
$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2-11)$$

Dimana ϵ_{ox} dan t_{ox} masing-masing adalah permivitas dan ketebalan dielektrik gerbang.

2.2.3 Karakteristik Arus Tegangan

Transistor MOS secara umum bekerja apabila diberikan tegangan pada masukan *gate*, *drain* dan *source*-nya, dimana *gate* sering kali dipakai sebagai masukan yang berubah-ubah sedangkan tegangan yang dicatutkan kepada *drain* merupakan suatu tegangan catu yang sifatnya konstan. Demikian pula dengan tegangan *source* (V_{SS}), terminal *source* seringkali dipakai sebagai terminal masukan 0 V atau *ground*.

Arus *drain* (I_D) merupakan arus yang mengalir antara *drain* dan *source* dari transistor MOS dimana besarnya arus ini berubah jika tegangan antara *gate-source* (V_{GS}) maupun *drain-source* (V_{DS}) berubah. Transistor MOS secara umum dapat bekerja dalam beberapa keadaan. Keadaan kerja transistor MOS ditentukan oleh tegangan V_{GS} dan V_{DS} seperti ditunjukkan dalam Gambar 2.12. Mode kerja yang bisa terjadi pada transistor MOS terbagi atas 3 kategori antara lain *cut off*, *linear* dan *saturasi* (jenuh)



Gambar 2.12 Karakteristik Arus-Tegangan Transistor NMOS

Sumber : Hodges-Jackson, 1987: 48

Karakteristik arus tegangan transistor NMOS menunjukkan suatu perubahan nilai arus *drain* sesuai dengan kenaikan V_{DS} . Gambar 2.12 menunjukkan bahwa untuk V_{GS} yang berbeda dihasilkan bentuk grafik yang berbeda pula, kenaikan V_{GS} akan menghasilkan arus *drain* yang makin besar. Namun dalam kondisi fisis, transistor MOS memiliki batas tegangan V_{GS} . Batas V_{GS} dipengaruhi oleh ketebalan gerbang oksida (t_{ox}), apabila batas tegangan V_{GS} terlampaui maka oksida gerbanga akan rusak atau sering diistilahkan dengan *oxyde break down*.

Arus *drain* (I_D) merupakan besaran matematis yang nilainya tergantung dari parameter-parameter yang dimiliki oleh transistor. Setiap mode kerja transistor dapat diformulasikan dalam bentuk rumus dengan parameter-parameter transistor sebagai variabelnya. Rangkaian formulasi dari mode kerja transistor NMOS dalam berbagai keadaan ditunjukkan dalam Tabel 2.3.

Tabel 2.3 Formulasi Matematis Transistor NMOS

Orde kerja	Syarat Kerja	Rumus kerja
Cut off	$V_{GS} < V_{T.n}$	$I_D = 0$
Linear	$V_{GS} \geq V_{T.n}$ $V_{DS} < V_{GS} - V_{T.n}$	$I_D(\text{lin}) = \frac{k_n}{2} [2(V_{GS} - V_{T.n})V_{DS} - V_{DS}^2]$
saturasi	$V_{GS} \geq V_{T.n}$ dan $V_{DS} \geq V_{GS} - V_{T.n}$	$I_D(\text{sat}) = \frac{k_n}{2} (V_{DS} - V_{T.n})^2$

Dimana k_n merupakan konstanta parameter transkonduktansi yang besarnya dinyatakan sebagai

$$k_n = \mu_n C_{ox} \frac{W}{L} \quad (2-12)$$

Dimana μ_n merupakan simbol mobilitas elektron dengan nilai $0,060 \text{ m}^2/\text{Vs}$ atau $600 \text{ cm}^2/\text{Vs}$, C_{ox} merupakan kapasitansi oksida gerbang per-satuan luas dengan satuan F/cm^2 , W adalah lebar difusi n+ dan L merupakan lebar polisilikon.

Seperti halnya NMOS, transistor PMOS juga memiliki formulasi dengan parameter yang sama seperti halnya transistor NMOS. Dalam beberapa hal nilai-nilai besaran pada transistor PMOS sedikit berbeda dengan NMOS seperti tegangan ambang transistor NMOS (V_{Tn}) yang berlawanan dengan tegangan ambang transistor PMOS (V_{Tp}). Rangkuman formulasi dari mode kerja transistor PMOS dalam berbagai keadaan ditunjukkan dalam Tabel 2.4.

Tabel 2.4 Formulasi Matematis Transistor PMOS

Orde kerja	Syarat Kerja	Rumus kerja
Cut off	$V_{GS} > V_{T.p}$	$I_D = 0$
Linear	$V_{GS} \leq V_{T.p}$ $V_{DS} > V_{GS} - V_{T.p}$	$I_D(\text{lin}) = \frac{k_n}{2} [2(V_{GS} - V_{T.p})V_{DS} - V_{DS}^2]$
saturasi	$V_{GS} \leq V_{T.p}$ dan $V_{DS} \leq V_{GS} - V_{T.p}$	$I_D(\text{sat}) = \frac{k_n}{2} (V_{DS} - V_{T.p})^2$

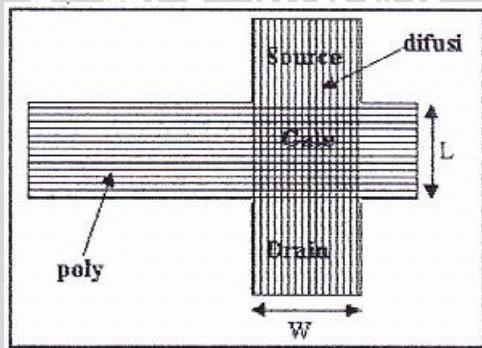
Dimana k_p merupakan konstanta parameter transkonduktansi yang besarnya dinyatakan sebagai;

$$k_p = \mu_p C_{ox} \frac{W}{L} \quad (2-13)$$

Dimana μ_p merupakan simbol mobilitas hole dengan nilai $0,025 \text{ m}^2/\text{Vs}$ atau $250 \text{ cm}^2/\text{Vs}$, C_{ox} merupakan kapasitansi oksida gerbang per-satuan luas dengan satuan F/cm^2 , W adalah lebar difusi p+ dan L merupakan lebar polisilikon.

2.2.4 Panjang dan Lebar (W dan L)

Transistor MOS dibuat dengan menyilangkan polisilikon dengan difusi. Pertemuan dua persilangan tersebut akan membentuk luasan. Setiap luasan mempunyai lebar (*wide*) dan panjang (*length*). Gambar 2.13 menunjukkan *layout* transistor.



Gambar 2.13 Layout Transistor MOS

Sumber : Microwind2

Ukuran W dan L menentukan kualitas transistor yang berbeda. Semakin kecil ukuran W dan L transistor, maka akan semakin cepat pula kecepatan transistor yang dirancang dan mempunyai performansi yang tinggi. Persilangan antara metal dan difusi tersebut membentuk suatu luasan.

Nilai W dan L transistor menetukan performa yang diberikan transistor MOS. Salah satunya adalah mempengaruhi arus I_D pada berbagai mode kerja

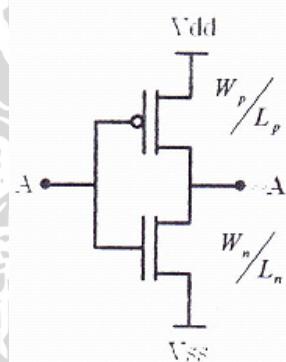


transistor. Seperti ditunjukkan dalam Tabel 2.4, besarnya W dan L menentukan besarnya arus I_D yang mengalir pada suatu keadaan.

Parameter transkonduktansi dari suatu trasnsistor juga dipengaruhi oleh nilai W dan L transistor. Dari Persamaan (2-12) dan (2-13) nilai k_p dan k_n dipengaruhi oleh W dan L masing-masing transistor. Dalam sebuah gerbang logika yang menggunakan transistor NMOS dan PMOS nilai k_n dan k_p memiliki peranan yang sangat penting. Sebagai contoh misalnya suatu gerbang *inverter* dengan kombinasi trasnsistor NMOS dan PMOS seperti dalam Gambar 2.14 memiliki nilai W_p dan L_p serta W_n dan L_n tertentu akan menghasilkan parameter baru k_R . k_R merupakan nilai perbandingan antara k_n dan k_p . Persamaan nilai k_R ditunjukkan dalam Persamaan (2-14)

$$k_R = \frac{k_n}{k_p}$$

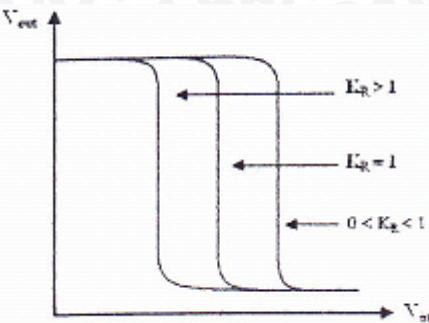
$$k_R = \frac{\mu_n C_{ox} \frac{W_n}{L_n}}{\mu_p C_{ox} \frac{W_p}{L_p}}$$
(2-14)



Gambar 2.14 Gerbang *Inverter* Transistor PMOS dan NMOS

Sumber : Mo Kang, 1996: 176

Niali k_R memberikan pengaruh terhadap kesimetrisan grafik karakteristik alih tegangan antara tegangan keluaran dan masukan pada gerbang logika NMOS. Gambar 2.15 menunjukkan pengaruh k_R terhadap kesimetrisan suatu grafik karakteristik alih tegangan.



Gambar 2.15 Pengaruh Nilai k_R pada Grafik V_{in} Terhadap V_{out}

Sumber : Mo Kang, 1996: 176

Suatu gerbang dikatakan memiliki grafik karakteristik alih tegangan yang simetris apabila nilai $k_R = 1$. Dimana pada saat ini berlaku hubungan,

$$k_R = \frac{\mu_n C_{ox} \frac{W_n}{L_n}}{\mu_p C_{ox} \frac{W_p}{L_p}} = \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}}$$

Dengan nilai $k_R = 1$, maka

$$\begin{aligned} 1 &= \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}}, \text{ maka } \mu_p \frac{W_p}{L_p} = \mu_n \frac{W_n}{L_n} \\ \frac{W_p}{L_p} &= \frac{\mu_n}{\mu_p} \left(\frac{W_n}{L_n} \right) \end{aligned} \quad (2-15)$$

Dengan memasukkan nilai $\mu_p = 250 \text{ cm}^2/\text{Vs}$ dan $\mu_n = 600 \text{ cm}^2/\text{Vs}$ didapatkan,

$$\frac{W_p}{L_p} = \frac{600}{250} \left(\frac{W_n}{L_n} \right) \Leftrightarrow \frac{W_p}{L_p} = \frac{600}{250} \left(\frac{W_n}{L_n} \right) \Leftrightarrow \frac{W_p}{L_p} = 2,5 \left(\frac{W_n}{L_n} \right)$$

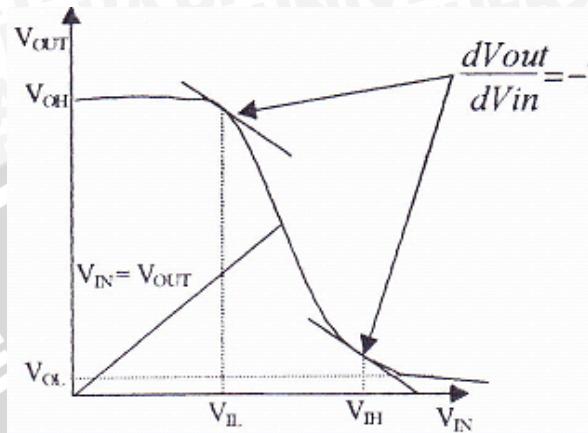
Dari Persamaan (2-15) diketahui bahwa untuk mendapatkan suatu grafik karakteristik alih yang simetris maka nilai perbandingan antara lebar difusi berbanding lebar polisilikon transistor PMOS dengan transistor NMOS adalah 1:2,5.

2.2.5 Tegangan Input dan Tegangan Output

Semua rangkaian elektronika tentu mempunyai *input* dan *output*. Dalam perencanaan ini harus memperhatikan *input* dan *output* yang masing-masing dibagi menjadi 2 macam yaitu tegangan *input* rendah (V_{IL}), tegangan *input* tinggi (V_{IH}), tegangan *output* rendah (V_{OL}) dan tegangan *output* tinggi (V_{OH}).



Tingkat tegangan nominal pada logika rendah dan pada logika tinggi harus berada dalam daerah sedemikian hingga perubahan kecil pada *input* tidak mempengaruhi tegangan keluaran. Gambar 2.16 menunjukkan karakteristik alih tegangan untuk CMOS.

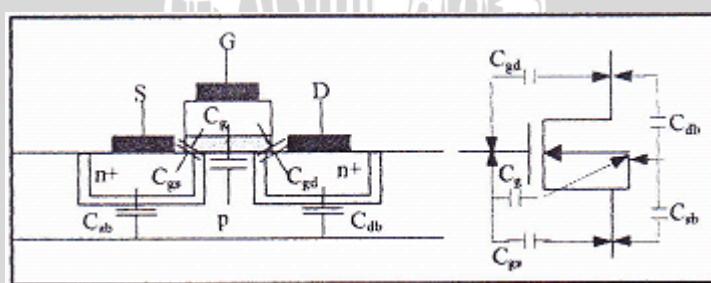


Gambar 2.16 Karakteristik Alih Tegangan CMOS

Sumber : Hodges-Jackson, 1987: 63

2.2.6 Efek Kapasitansi

Transistor yang disusun dengan menyilangkan metal dan difusi menimbulkan efek kapasitansi pada persambungannya. Efek kapasitansi ini akan memperlambat proses atau juga disebut *delay effect*. Dengan adanya *delay effect* ini berarti waktu tunda (*time delay*) transistor akan semakin meningkat. Gambar 2.17 menunjukkan terjadinya efek kapasitansi.



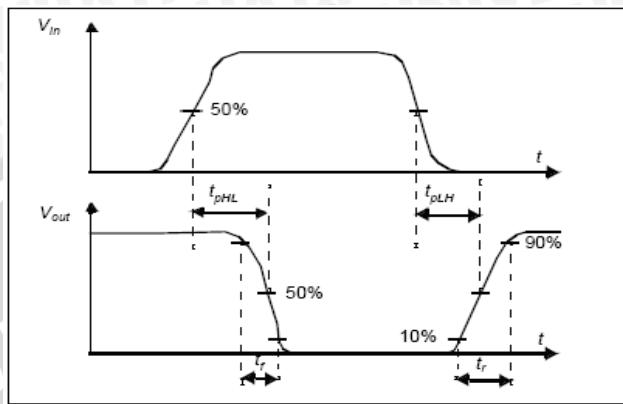
Gambar 2.17 Efek Kapasitansi pada Transistor MOS

Sumber : Hodges-Jackson, 1987: 39

2.2.7 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini

mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antargerbang.



Gambar 2.18 Definisi *Delay* dalam Gerbang Digital

Sumber: Rabaey, 1999: 117

Rise time (t_r) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10% V_{DD} ke 90% V_{DD} untuk gerbang dengan tegangan “*LOW*” 0V dan tegangan “*HIGH*” V_{DD} . *Fall time* (t_f) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90% V_{DD} ke 10% V_{DD} . *Propagation delay* diukur antara dua titik pada gelombang masukan dan keluaran seperti terlihat dalam Gambar 2.18. *Propagation delay* ketika transisi keluaran dari logika “*LOW*” ke “*HIGH*” dinamakan t_{PLH} , sedangkan transisi keluaran logika “*HIGH*” ke “*LOW*” dinamakan t_{PHL} . Rumus yang dipakai untuk menghitung *propagation delay* T_{PLH} dan T_{PHL} adalah

$$t_{PLH} = \frac{0,8C}{\frac{1}{2}\mu_P C_{OX} \left(\frac{W}{L}\right)_P V_{DD}} \quad (2-16)$$

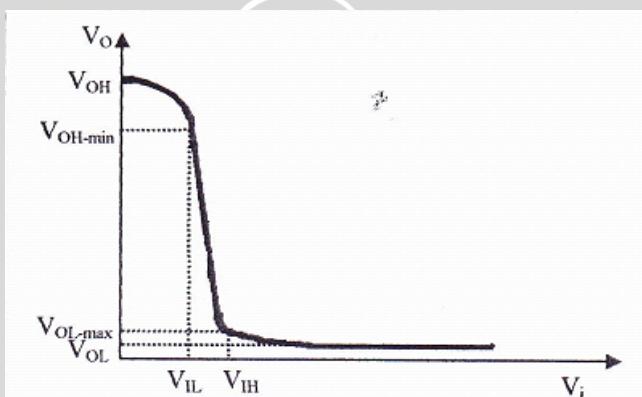
$$t_{PHL} = \frac{0,8C}{\frac{1}{2}\mu_N C_{OX} \left(\frac{W}{L}\right)_N V_{DD}} \quad (2-17)$$

$$t_{dly} = \frac{t_{PLH} + t_{PHL}}{2} \quad (2-18)$$



2.2.8 Definisi Level Logika dan Noise Margin

Sistem digital dalam skala besar selalu terdiri atas interkoneksi gerbang-gerbang dengan jenis famili sama. Terdapat gerbang yang bertugas sebagai *input port* yang menerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain yang tentunya dimungkinkan terdapat lagi gerbang setelahnya. Jika sebuah karakter digital ditransmisikan antar gerbang maka level tegangan $V(1)$ merepresentasikan logika 1 dan level tegangan $V(0)$ merepresentasikan logika 0, setiap level tegangan harus secara konsisten diproduksi setiap gerbang. Secara konvensi, level tegangan $V(1)$ dan $V(0)$ dinamakan V_{OH} dan V_{OL} seperti ditunjukkan dalam Gambar 2.19.



Gambar 2.19 Grafik Karakteristik Alih Tegangan

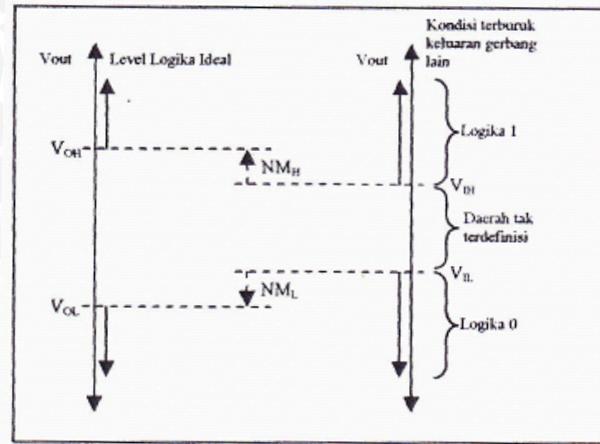
Sumber : Hodges-Jackson, 1987 : 83

Nilai V_{OH} dan V_{OL} harus didefinisikan secara konsisten sehingga sebuah inverter yang menerima nilai V_{OL} sebagai masukan akan mengeluarkan tegangan V_{OH} , bila inverter tersebut menerima V_{OH} sebagai masukan maka akan mengeluarkan tegangan V_{OL} .

Hubungan antara V_{OL} dan V_{OH} adalah hal yang cukup penting pada grafik V_{TC} . Dalam grafik V_{TC} seperti dalam Gambar 2.16 kemiringan grafik untuk nilai yang dapat diterima minimal adalah -1, kemiringan -1 terletak pada titik-titik kritis dalam grafik (titik belok). Nilai tegangan keluaran diantara dua titik kemiringan ini dinamakan daerah logika tak tentu.

Pada kenyataannya nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah V_{OH} atau berada di atas V_{OL} . Fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen L dan C parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi seperti ini. Sebagai konsekuensi, sebuah gerbang harus memproses nilai tegangan yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai V_{OH} dan V_{OL} pada setiap *gate* harus diredam dan bukan diperkuat. Penguatan fluktuasi tegangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik V_{TC} adalah -1 (titik kritis) didefinisikan nilai tegangan V_{IH} dan V_{IL} . Letak V_{IL} dan V_{IH} ditunjukkan dalam Gambar 2.20. nilai tegangan masukan ini menunjukkan kondisi terburuk nilai tegangan masukan yang dapat diterima. Secara spesifik V_{IL} didefinisikan sebagai nilai tertinggi tegangan masukan dapat diterima dengan nilai 0 dan masih bisa mengeluarkan nilai 1 yang dapat diterima oleh gerbang lain. V_{IH} didefinisikan sebagai nilai terkecil yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara V_{OH} , V_{IH} , V_{OL} , V_{IL} menjadi penting. Gambar 2.20 menunjukkan parameter lain yaitu *noise margin*. *Noise margin* sebuah famili logika diketahui dengan mengevaluasi karakteristik sebuah *single inverter*. Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1. Secara ideal, masukan untuk gerbang berikutnya bernilai V_{OH} , namun seandainya nilai tersebut jatuh sehingga bernilai V_{IH} maka masih akan dianggap berlogika 1. Fluktuasi noise akan menjadi permasalahan hanya jika tegangan jatuh dibawah nilai V_{IH} . Perbedaan nilai V_{OH} dan V_{IH} merepresentasikan daerah yang akan diterima berlogika 1, disebut NM_H .



Gambar 2.20 Noise Margin

Sumber: Geiger, 1996:228

$$NM_H = V_{OH} - V_{IH} \quad (2-19)$$

Dengan:

V_{OH} = nilai ideal logika 1

V_{IH} = nilai minimum logika 1 yang bisa diterima

Parameter NM_H berlaku untuk tegangan masukan tinggi. Semakin besar nilai NM_H maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 1.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0, secara ideal masukan untuk gerbang berikutnya bernilai V_{OL} , namun seandainya nilai tersebut naik sehingga bernilai V_{IL} maka masih akan dianggap berlogika 0. Fluktuasi noise akan menjadi permasalahan hanya jika tegangan naik di atas nilai V_{IL} . Perbedaan nilai V_{IL} dan V_{OL} merepresentasikan daerah yang diterima berlogika 0, disebut NM_L ,

$$NM_L = V_{IL} - V_{OL} \quad (2-20)$$

Dengan:

V_{OL} = Nilai ideal logika 0

V_{IL} = Nilai maksimum logika 0 yang bisa diterima



Parameter NM_L berlaku untuk tegangan masukan rendah. Semakin besar nilai NM_L maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 0. Secara umum suatu gerbang logika dikatakan memiliki *noise margin* tinggi bila memiliki nilai NM_L dan NM_H yang besar.

2.2.9 Disipasi Daya CMOS

Disipasi daya dalam sistem CMOS dapat diklasifikasikan menjadi tiga kategori : disipasi daya statis, daya *switching dc* yang terjadi pada saat kedua transistor menghantar secara bersamaan dalam waktu yang sangat singkat dan daya *switching ac* yang terjadi ketika kapasitansi total pada gerbang menyimpan dan melepas muatan (Geiger,1990:597). Kombinasi daya *switching dc* dengan daya *switching ac* dinamakan dengan disipasi daya dinamis.

Disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Jalur dc antara V_{DD} dan V_{SS} selalu terputus oleh transistor yang *cut off* dalam keadaan *steady state*. Komponen yang kedua adalah disipasi daya yang disebabkan *switching dc*, terjadi ketika masukan gerbang berada pada daerah transmisi. Ketika saat ini, kedua transistor menghantar membentuk jalur antara V_{DD} dan V_{SS} . Untuk gerbang logika disipasi daya rata-rata *switching dc* meningkat dengan meningkatnya waktu *switching* sinyal masukan, sebab dengan meningkatnya waktu *switching* sinyal masukan maka jalur antara V_{DD} ke V_{SS} akan timbul semakin sering. Disipasi daya disebabkan *switching dc* hanya berpengaruh sekitar 10% terhadap disipasi daya total sistem CMOS.

Komponen utama disipasi daya CMOS adalah daya *switching ac*. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah C dan nilai tegangan catu V_{DD} adalah V, maka energi yang diberikan pada kapasitor adalah,

$$E = \int_0^\infty Vi(t)dt = CV^2 \quad (2-21)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah $(1/2)CV^2$ atau setengah dari jumlah energi yang diberikan maka setengah bagian



yang lain dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan (*discharge*) maka jumlah energi yang disimpan sebelumnya akan dilepas juga. Sehingga total energi yang dilepas kapasitor dalam satu siklus adalah CV^2 . Bila frekuensi operasi $f=1/T$, maka disipasi daya rata-rata adalah,

$$PD = C_L V_{DD}^2 f \quad (2-22)$$

Analisis ini menunjukkan bahwa rata-rata disipasi daya ac pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi frekuensi kerja akan naik karena ukuran transistor yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu diturunkan begitu pula dengan kapasitansi *gate* maka disipasi daya akan turun. Oleh karena itu dalam rangkaian terintegrasi sistem logika CMOS banyak dipergunakan.

Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan daya minimum sebuah gerbang adalah *power delay product* (PDP), semakin kecil nilai PDP maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dan disipasi daya rangkaian.

$$PDP = t_{dly} \cdot PD \quad (2-23)$$

2.2.10 Fan Out Logika CMOS

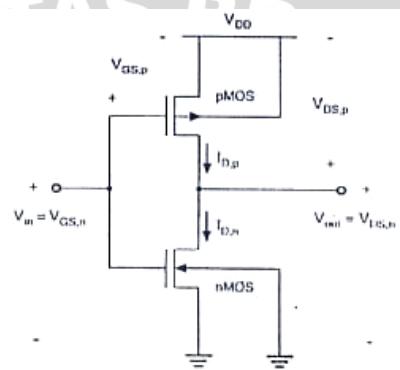
Bila sebuah inverter referensi menggerakkan k gerbang inverter yang berkonfigurasi sama, maka banyaknya inverter yang tersambung akan memberikan pengaruh pada performa rangkaian. Jumlah gerbang yang digerakkan oleh sebuah gerbang disebut *fan-out*. Bila terdapat k gerbang yang tersambung maka *fan-out* rangkaian tersebut adalah k . DC *transfer characteristis* beberapa jenis famili logika yang umum tidak dipengaruhi oleh *fan-out*. Terutama famili logika yang dibuat menggunakan teknologi MOS. *Gate* transistor MOS dilapisi oleh oksia insulator, sehingga secara teori tidak ada arus dc yang mengalir



melintasi *gate*. Oleh karena itu secara arus masukan gerbang adalah nol dan *fan-out* gerbang secara teori tak berhingga.

2.2.11 Inverter CMOS

Noise margin gerbang logika CMOS dapat diketahui dari grafik karakteristik alih tegangan (V_{TC}). V_{IL} akan ditemukan ketika transistor PMOS berada dalam kondisi linear (*ohmic*) dan NMOS berada dalam kondisi saturasi. Analisis lengkap dapat dilihat dengan melakukan analisis terhadap sebuah gerbang inverter CMOS seperti ditunjukkan dalam Gambar 2.21.



Gambar 2.21 Rangkaian Inverter CMOS

Sumber: Mo Kang, 1996: 176

Rangkaian dalam Gambar 2.21 merupakan sebuah inverter CMOS terdiri atas sebuah transistor NMOS dan sebuah transistor PMOS mode peningkatan. Inverter CMOS merupakan akronim dari CMOS, dimana transistor PMOS dan NMOS bekerja dalam keadaan komplementer *push pull*. Pada saat *input* tinggi, NMOS mengarahkan (*push down*) logika keluaran ke arah *ground*, dimana pada saat ini transistor PMOS bekerja sebagai beban. Pada saat *input* rendah transistor PMOS mengarahkan (*push up*) logika keluaran ke arah V_{dd} , pada saat ini transistor NMOS bekerja sebagai beban.

Operasi rangkaian dengan menggunakan analisis rangkaian listrik didapatkan persamaan berikut;

$$\begin{aligned} V_{GS,n} &= V_{in} \\ V_{DS,n} &= V_{out} \end{aligned} \quad (2-24)$$

dan juga

$$\begin{aligned} V_{GS,p} &= -(V_{DD} - V_{in}) \\ V_{DS,p} &= -(V_{DD} - V_{out}) \end{aligned} \quad (2-25)$$

Analisis dimulai dengan mempertimbangkan dua keadaan sederhana. Saat tegangan *input* lebih kecil dari tegangan ambang NMOS ($V_{in} < V_{TN}$), transistor NMOS berada pada keadaan *cut-off*. Saat yang bersamaan, transistor PMOS bekerja pada daerah linear. Karena arus *drain* kedua transistor sama, maka arus *drain* yang terjadi adalah mendekati nol terkecuali jika arus bocor.

$$I_{D,n} = I_{D,p} = 0 \quad (2-26)$$

Pada saat ini tegangan antara *drain-source* PMOS juga mendekati nol dan tegangan keluaran mendekati tegangan catu V_{DD} .

$$V_{out} = V_{OH} = V_{DD} \quad (2-27)$$

Pada saat lainnya, ketika tegangan *input* mendekati ($V_{DD} + V_{TN}$), transistor PMOS tidak bekerja. Pada kasus ini, transistor NMOS bekerja pada daerah linear, tapi tegangan *drain-source* nya mendekati nol karena kondisi Persamaan (2-27) terpenuhi, yaitu tidak ada arus $I_{D,n}$ maupun $I_{D,p}$ yang mengalir, sehingga persamaannya menjadi

$$V_{out} = V_{OL} = 0 \quad (2-28)$$

Selanjutnya diperlukan analisis mode operasi NMOS dan PMOS sebagai fungsi masukan dan keluaran. NMOS bekerja pada kondisi saturasi jika $V_{in} > V_{TN}$ dan kondisi dalam Persamaan (2-28) terpenuhi.

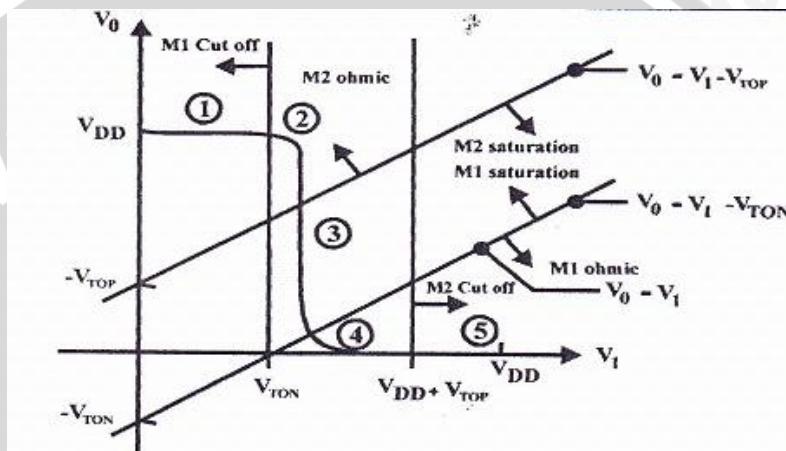
$$V_{DS,n} \geq V_{GS,n} - V_{TN} \Leftrightarrow V_{out} \geq V_{in} - V_{TN} \quad (2-29)$$



Transistor PMOS bekerja pada keadaan saturasi apabila $V_{in} < (V_{DD} + V_{TP})$ dan

$$V_{DS,n} \leq V_{GS,n} - V_{TP} \Leftrightarrow V_{out} \leq V_{in} - V_{TP} \quad (2-30)$$

Secara grafik kondisi kerja dari transistor pada suatu gerbang inverter ditunjukkan dalam Gambar 2.22. Dalam gambar dapat dilihat tegangan masukan dan keluaran gerbang, interaksi antara tegangan masukan dan keluaran dengan keadaan kerja transistor.



Gambar 2.22 Daerah Operasi Inverter CMOS

Sumber: Mo Kang, 1996: 178

Penjelasan keadaan operasi transistor secara jelas ditunjukkan dalam Tabel 2.5.

Tabel 2.5 Daerah Operasi Tegangan Input-Output Transistor

Region	V_{in}	V_{out}	NMOS	PMOS
1	$<V_{TO,n}$	V_{OH}	Cut off	Linear
2	V_{IL}	$High = V_{OH}$	Saturation	Linear
3	V_{th}	V_{th}	Saturation	Saturation
4	V_{IH}	$Low = V_{OL}$	Linear	Saturation
5	$>(V_{DD}+V_{TO,p})$	V_{OL}	Linear	Cut off

Karakteristik tegangan *input-output* dalam keadaan *steady state* pada inverter CMOS dapat diproyeksikan dengan menganalisis interaksi antara NMOS dan PMOS. Seperti ditunjukkan dalam Gambar 2.26 dan Tabel 2.9 diketahui



bahwa $I_{D,n}$ tergantung dari nilai $V_{GS,n}$ dan $V_{DS,n}$ atau merupakan fungsi dari V_{in} dan V_{out} .

$$I_{D,n} = f(V_{in}, V_{out}) \quad (2-31)$$

Begitu pula dengan transistor PMOS, arus $I_{D,p}$ juga merupakan fungsi V_{in} dan V_{out}

$$I_{D,p} = f(V_{in}, V_{out}) \quad (2-32)$$

Dalam Gambar 2.16 juga dapat dilihat bahwa arus *drain* PMOS selalu sama dengan arus *drain* NMOS dan hal ini terjadi pada saat kedua transistor berada dalam keadaan *steady state*.

$$I_{D,n} = I_{D,p} \quad (2-33)$$

2.2.11.1 Analisis Matematis V_{IL}

Tegangan keluaran suatu rangkaian inverter CMOS ditentukan oleh tegangan masukan. Dalam Gambar 2.26 ditunjukkan bahwa V_{OH} terjadi pada saat tegangan *input* setara dengan V_{IL} . Pada saat tegangan *input* setara dengan V_{IL} , maka berlaku hubungan $(dV_{out}/dV_{in}) = -1$. Pada saat ini transistor NMOS berada pada keadaan saturasi sementara transistor PMOS linear dan Persamaan (2-33) masih berlaku. Dengan melihat persamaan I_d dalam Tabel 2.3 dan Tabel 2.4 didapatkan

$$I_{D,n} = I_{D,p}$$

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} [2(V_{GS,p} - V_{T,p})V_{DS} - V_{DS}^2]$$

Dengan mengganti variabel sesuai Persamaan (2-24) dan (2-25) didapatkan,

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2]$$



(2-34)

Untuk mengondisikan kondisi derivatif saat $V_{in} = V_{IL}$ kedua ruas diturunkan terhadap V_{in} didapatkan

$$k_n(V_{in} - V_{T,n}) = k_p \left[(V_{in} - V_{DD} - V_{T,p}) \left(\frac{dV_{out}}{dV_{in}} \right) + (V_{out} - V_{DD}) - (V_{out} - V_{DD}) \left(\frac{dV_{out}}{dV_{in}} \right) \right]$$

Dengan mensubstitusikan nilai $V_{in} = V_{IL}$ dan $(dV_{out}/dV_{in}) = -1$, didapatkan

$$k_n(V_{IL} - V_{T,n}) = k_p [2V_{out} - V_{IL} + V_{T,p} - V_{DD}]$$

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2-35)$$

dimana $k_R = \frac{k_n}{k_p}$

2.2.11.2 Analisis Matematis V_{IH}

Saat tegangan *input* mencapai nilai V_{IH} , transistor NMOS beroperasi dalam daerah linear dan PMOS bekerja dalam keadaan saturasi. Pada saat ini juga berlaku hubungan $(dV_{out}/dV_{in}) = -1$ dan Persamaan (2-33) masih berlaku. Dengan melihat persamaan I_d dalam Tabel 2.3 dan Tabel 2.4 didapatkan

$$I_{D,n} = I_{D,p}$$

$$\frac{K_n}{2} [2(V_{GS,n} - V_{T,n})V_{DS} - V_{DS}^2] = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2$$

$$\frac{K_n}{2} [2(V_{in} - V_{T,n})V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (2-36)$$

Dengan memberikan perlakuan yang sama terhadap persamaan seperti pada kalkulasi V_{IL} , didapatkan suatu persamaan V_{IH} sebagai fungsi V_{out} , maka

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R (2V_{out} + V_{T,n})}{1 + k_R} \quad (2-37)$$



2.3 HCMOS

Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger,1990:591) dengan mengasumsikan sebuah sinyal keluaran dari gerbang referensi yang mengerakkan *load kapasitansi* C_L maka *propagation delay* rata-rata dapat dinyatakan dengan

$$T_{dir} = \frac{t_{apd}C_L}{C_G} \quad (2-38)$$

dengan

t_{apd} = rata-rata delay gerbang

C_G = kapasitansi masukan referensi

Untuk setiap bilangan integer $n \geq 1$, didefinisikan α

$$\alpha = \left(\frac{C_L}{C_G} \right)^{1/n} \quad (2-39)$$

n dapat direpresentasikan sebagai fungsi α sebagai

$$n = \frac{\ln(C_L/C_G)}{\ln\alpha} \quad (2-40)$$

Konfigurasi ini terdiri dari gabungan n inverter (termasuk gerbang referensi awal). Jika masing-masing dirancang dengan rasio 4:1, artinya perbandingan antara ekivalen resistansi transistor *pull up* dan *pull down*. Bila rasio perbandingan bukan 4:1 maka tidak menjadi masalah seperti pada logika CMOS yang dikenal bersifat *ratioless*. Setiap gerbang memiliki *device capability* x -kali lebih besar dari stage sebelumnya. Karakteristik W dan L stage ke-k dijabarkan dengan persamaan :

$$W_{dk} = \alpha^{k-1} W_{d1} \quad (2-41)$$

$$L_{dk} = L_{d1} \quad (2-42)$$

$$W_{uk} = W_{dk} \quad (2-43)$$

$$L_{uk} = 4L_{dk} \quad (2-44)$$



$W_{dk} = W$ pull down transistor kaskada inverter ke – k

$L_{dk} = L$ pull down transistor kaskada inverter ke – k

$W_{uk} = W$ pull up transistor kaskada inverter ke – k

$L_{uk} = L$ pull up transistor kaskada inverter ke – k

Load kapasitansi stage ke – k C_{LK} relatif terhadap kapasitansi gerbang masukan C_G adalah

$$C_{LK} = \alpha^k C_G \quad (2-45)$$

Sehingga total propagation delay struktur kaskade ini adalah

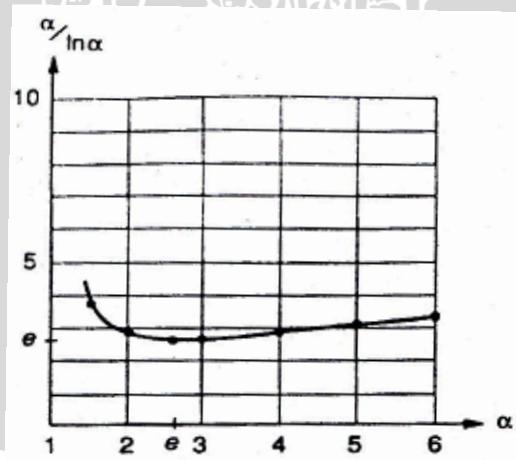
$$T_{cas} = n \alpha t_{apd} \quad (2-46)$$

Pengertian r adalah rasio antara delay struktur driver kaskade dengan propagation delay rata-rata gerbang, dapat dirumuskan dalam Persamaan (2-47)

$$r = \frac{t_{cas}}{t_{dir}} = \frac{n \alpha t_{apd}}{t_{apd} \frac{C_L}{C_G}} = \frac{n \alpha C_G}{C_L} \quad (2-47)$$

Permasalahannya adalah bagaimana meminimalisasi r sehingga menurunkan delay rangkaian secara total. Variabel n dapat dihilangkan sehingga r dinyatakan dalam Persamaan (2-55).

$$r = \frac{\ln(\frac{C_L}{C_G})}{\frac{C_L}{C_G}} \frac{\alpha}{\ln \alpha} \quad (2-48)$$

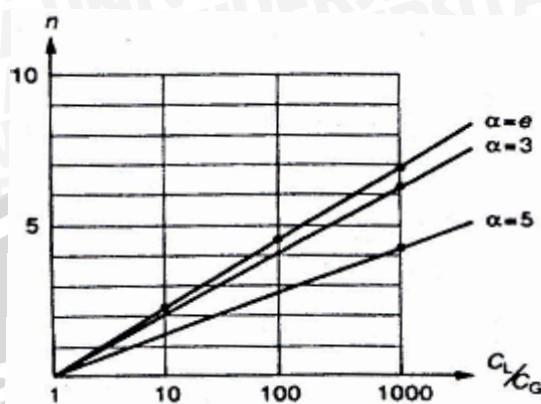


Gambar 2.23 Grafik Hubungan α dan $\alpha/\ln \alpha$

Sumber : Geiger, 1990 : 172

Pada Persamaan (2-55) α dapat dipakai untuk meminimalisasi r . Gambar 2.23 menunjukkan hubungan antara α dan $\alpha/\ln \alpha$. Dalam grafik terlihat bahwa nilai

minimum $\alpha/\ln\alpha$ dicapai ketika $\alpha = e$ dengan nilai e . Gambar 2.24 menunjukkan hubungan antara n dengan C_L/C_G dimana nilai $\alpha=e$, $\alpha=3$ dan $\alpha=5$.



Gambar 2.24 Grafik Hubungan Nilai n dan C_L/C_G

n adalah jumlah stage yang dikaskade. n merupakan sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktik nilai α diset pada nilai yang lebih besar dari e untuk menghasilkan pengurangan jumlah stage kaskade. Dalam Gambar 2.24 α berada diantara nilai 2 dan 4, deviasi terhadap minimum delay kurang dari 5%.

Pada Persamaan (2-51) ditunjukkan bahwa untuk load rasio yang kecil, peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh kaskade 7 tingkat dengan ukuran yang dioptimalkan digunakan untuk menggerakkan beban kapasitif dengan rasio $1100C_G$ menghasilkan *propagation delay* 1,7%. Dibanding *propagation delay* yang dibutuhkan gerbang dasar.

Hal yang perlu diperhatikan dalam perancangan adalah jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk nilai n yang besar luasan area total yang dihasilkan oleh *driver kaskade* terlalu besar. Sebagai contoh, rangkaian stage tujuh tingkat membutuhkan $e^6 = 403$ kali luasan gerbang dasar. Dengan luasan seperti ini tentu tidak akan efisien untuk rangkaian yang terintegrasi dengan jumlah banyak. Misalnya dalam jumlah ribuan. Kedua hal ini perlu menjadi pertimbangan perancangan dalam proses desain sebuah gerbang.

BAB III

METODOLOGI PENELITIAN

Metodologi yang digunakan untuk mendapatkan pemecahan masalah adalah metode analisis dengan mengacu pada literatur-literatur. Selain dengan analisis, juga menggunakan metode simulasi dengan perangkat lunak *Pspice* untuk mendapatkan kemampuan *full adder* 8 bit masukan yang diinginkan. Penyusunan metodologi telah dipilih sedemikian rupa agar diperoleh suatu jalur pemikiran yang teratur dan terarah kepada proses desain. Langkah-langkah yang akan dilakukan adalah sebagai berikut.

3.1 Studi Literatur

Dalam merancang IC *full adder* 8-bit masukan dengan teknologi HCMOS ini dilakukan beberapa tahapan kajian beberapa teori yang ada, diantaranya;

- 1) Studi tentang prinsip kerja, struktur geometris dari MOSFET, karakteristik arus-tegangan dan persamaan-persamaan yang menjelaskan transistor bekerja dalam berbagai kondisi operasi, *propagation delay*, dan disipasi daya.
- 2) Studi tentang cara kerja gerbang inverter, karakteristik alih tegangan, persamaan-persamaan arus-tegangan yang diperoleh dalam berbagai kondisi operasi *noise margin*.
- 3) Studi tentang *full adder* dan metode penyederhanaannya dengan menggunakan *Carry Lookahead Adder (CLA)* untuk mendapatkan konfigurasi persamaan *full adder* dengan 8-bit masukan.
- 4) Studi tentang parameter proses yang dilakukan dalam perancangan IC yang digunakan sebagai parameter dasar dari perancangan dan perhitungan yang mendukung perancangan IC.
- 5) Studi tentang perangkat lunak *Pspice* untuk analisis karakteristik alih tegangan, dan *propagation delay*, serta *design rules* dalam pembuatan *layout* gerbang CMOS dengan perangkat lunak *Microwind2*.

Spesifikasi yang diinginkan dalam perancangan ini sebagai berikut : $V_{IH} = 0.5$ V, $V_{IL} = 0.5$ V, $V_{OH} = 1.1$ V, $V_{OL} = 0.05$ V, dan $t_{dly} = 15$ ns.

3.2 Proses Analisis

Logika HCMOS sebenarnya komponen penyusun utamanya adalah rangkaian logika CMOS. Logika HCMOS merupakan pengembangan lanjut dari logika CMOS, pengembangan desain rangkaian dikembangkan terutama untuk memperoleh *propagation delay* yang secepat LS-TTL terutama sebagai penggerak beban kapasitif. Perancangan *full adder* 8-bit masukan dengan teknologi HCMOS ini meliputi:

- 1) Spesifikasi rangkaian, dimaksudkan untuk menentukan rangkaian *full adder* 8 bit masukan yang akan digunakan dalam proses perancangan. Gerbang-gerbang penyusun rangkaian *full adder* 8 bit masukan terdiri atas AND 2 masukan, XOR 2 masukan, OR 2 masukan, dan inverter seperti ditunjukkan dalam Gambar 2.5 untuk rangkaian 4-bit *full adder*
- 2) Spesifikasi rangkaian transistor penyusun gerbang logika penyusun IC 8-bit *full adder* dan menentukan penomoran pada setiap *node* dalam rangkaian logika transistor.
- 3) Analisis karakteristik alih tegangan dilakukan untuk memperoleh nilai V_{OH} , V_{IL} , V_{OL} , dan V_{IH} . Perolehan nilai V_{OH} , V_{IL} , V_{OL} , dan V_{IH} dengan memasukkan nilai-nilai tertentu dalam perumusan yang dipakai.
- 4) Analisis W dan L pada transistor PMOS dan NMOS pada gerbang logika penyusun IC 8-bit *full adder*. Analisis tersebut dilakukan untuk menghasilkan parameter transkonduktansi yang menjadi acuan untuk analisis *propagation delay*.
- 5) Analisis *propagation delay* dengan mendesain nilai W dan L pada transistor. Proses desain ini dimulai dengan menentukan nilai *propagation delay* sebagai parameter yang dirancang. Rangkaian akan dirancang dengan nilai t_{PLH} dan t_{PHL} yang sama agar memiliki keluaran yang simetris.

3.3 Proses Simulasi

Proses simulasi perancangan *full adder* 8 bit masukan dengan teknologi HCMOS ini menggunakan beberapa software yang mendukung mulai dari tahap perancangan rangkaian gebang logika, rangkaian penyusun tiap-tiap gerbang logika, penggambaran model IC serta hasil-hasil simulasi yang ditunjukkan di

software, dan simulasi pembebanan kapasitif untuk menguji kebenaran perancangan yang dilakukan. Software yang digunakan diantaranya dsch, microwind, dan Pspice.

Software dsch digunakan untuk menggambar susunan gerbang logika penyusun *full adder*, menguji kebenaran rangkaian *full adder* 8 bit masukan, dan penggambaran transistor PMOS dan NMOS penyusun masing-masing gerbang dan rangkaian keseluruhan *full adder* 8 bit masukan dalam bentuk node untuk mempermudah pengidentitasan dalam melakukan simulasi Ppsice.

Microwind digunakan untuk penggambaran penyusun gerbang IC *full adder* 8 bit masukan dengan melakukan *convert* dari susunan gerbang yang disusun di software dsch ke bentuk susunan gambar penyusun *metal* dan bentuk akhir IC *full adder*. Dalam microwind juga dapat dilihat beberapa parameter-parameter seperti karakteristik tegangan, arus, dan frekuensi.

Simulasi pembebanan kapasitif yang digunakan yaitu dengan menggunakan software Pspice. Hasil analisis dan perhitungan matematis perlu disimulasikan untuk mengetahui kebenaran perancangan yang telah dilakukan. Simulasi dilakukan untuk mengetahui VTC, *rise time*, *fall time*, dan *propagation delay*.

Untuk mengetahui kebenaran hasil perancangan perlu diketahui terlebih dahulu bagaimana tampilan VTC pada hasil simulasi. Hasil simulasi VTC dengan menggunakan *Pspice* akan diketahui nilai-nilai V_{OH} , V_{IL} , V_{OL} , dan V_{IH} . Kondisi ideal untuk tampilan VTC adalah nilai V_{OH} semakin mendekati nilai tegangan masukan dan untuk V_{OL} mendekati nilai tegangan *ground* (0V), serta selisih antara nilai V_{IL} dan V_{IH} semakin kecil.

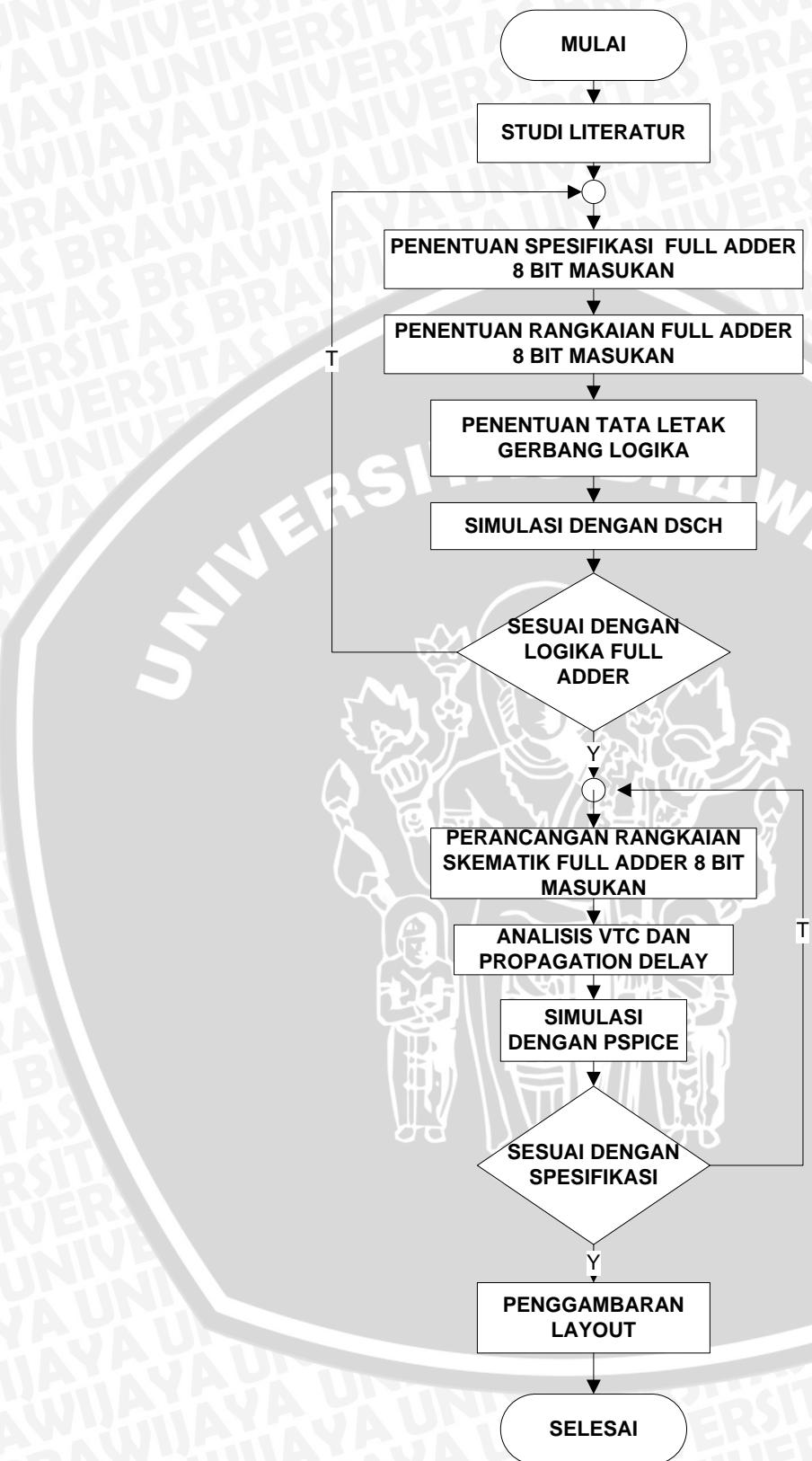
Proses simulasi selanjutnya adalah simulasi *unit step* yaitu rangkaian diberi masukan satu gelombang sinyal pulsa. Pada sinyal keluaran akan diamati nilai *rise time* (t_r), *fall time* (t_f), *propagation delay* (t_{PLH} dan t_{PHL}).

3.4 Proses Penggambaran Layout

Proses penggambaran *layout* dilakukan sebagai proses akhir setelah dilakukan simulasi, proses ini dilakukan dengan menggunakan program microwind2 untuk mendapatkan *layout* dan *stick diagram* IC.

Diagram alir perancangan IC *full adder* 8 bit masukan ditunjukkan dalam Gambar 3.1. Dalam Gambar 3.1 dijelaskan proses perancangan dimulai dari mempelajari literatur-literatur yang ada yang berkaitan dengan *full adder* kemudian menentukan spesifikasi *full adder* 8 bit masukan dan mengacu pada datasheet untuk mendapatkan kinerja yang lebih maksimal daripada IC yang tersedia di pasaran. Setelah penentuan spesifikasi, dilakukan penentuan rangkaian *full adder* 8 bit masukan yang akan digunakan dalam hal ini jenis *full adder* yang digunakan adalah metode penyederhanaan rangkaian *Carry Lookahead Adder* (CLA) kemudian dilakukan penentuan tata letak gerbang logika *full adder* 8 bit masukan. Kedua proses tersebut disimulasikan dengan software dsch2 untuk menguji kebenaran logika *full adder*, jika tidak sesuai dengan logika kebenaran *full adder* maka perancangan dimulai lagi dari penentuan spesifikasi *full adder*, dan jika sesuai dengan logika *full adder* maka perancangan dilakukan ke proses selanjutnya yaitu perancangan rangkaian skematik *full adder* 8 bit masukan.

Perancangan sematik berupa rangkaian gerbang penyusun *full adder* kemudian dilakukan analisis VTC serta *propagation delay* secara manual. Analisis selanjutnya yaitu dengan menggunakan simulasi software *Pspice* untuk melihat perbandingan kinerja rangkaian *full adder* 8 bit masukan dengan analisis secara manual. Jika sesuai dengan spesifikasi maka dilakukan proses penggambaran *layout* dan jika tidak sesuai dengan spesifikasi maka proses diulangi kembali dari perancangan rangkaian skematik *full adder* 8 bit masukan.



Gambar 3.1 Diagram Alir Perancangan IC Full Adder 8 Bit Masukan

BAB IV

PERANCANGAN RANGKAIAN

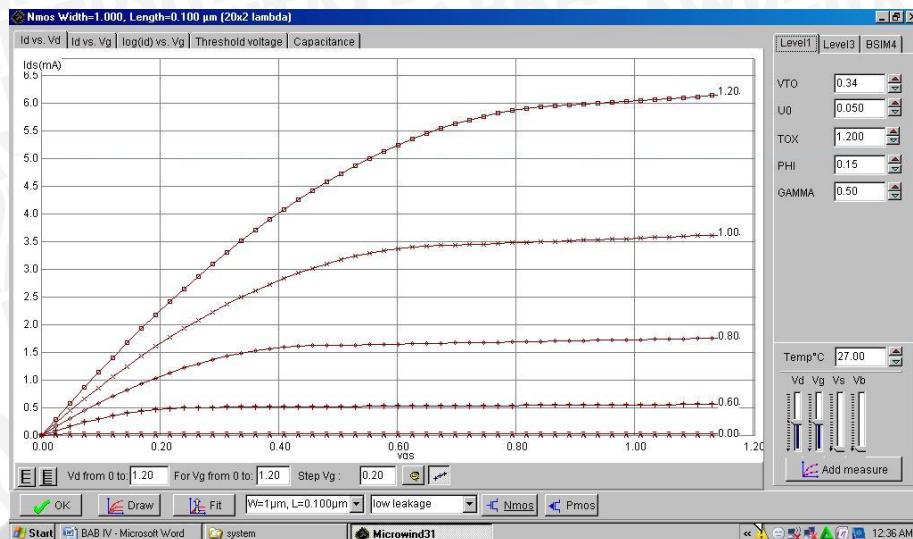
Salah satu penggunaan penjumlahan penuh (*full adder*) pada sistem komputer yaitu operasi dalam perhitungan *Aritmatics Logic Unit* (ALU). Performansi operasi seperti dalam hal kecepatan operasi membawa pengaruh signifikan terhadap performansi keseluruhan. CLA merupakan metode penyederhanaan sebuah persamaan operasi gerbang logika penyusun *full adder* yang bisa meningkatkan performansi menggunakan rangkaian yang lebih cepat daripada *ripple-carry* (RCA) yaitu dengan menggunakan teknologi terbaru yang mengurangi *delay* gerbang dasar dimana jumlah gerbang yang digunakan dengan mengubah struktur rangkaian fungsional.

Bab ini membahas mengenai tahapan-tahapan dalam merancang IC *full adder* 8 bit masukan meliputi penentuan parameter-parameter transistor NMOS dan PMOS yang akan digunakan dalam perhitungan, perbandingan nilai W/L yang digunakan , rangkaian *full adder* 8 bit masukan, nilai VTC *propagation delay*, dan penggambaran *layout* pada *microwind*.

4.1 Parameter Dasar Transistor MOSFET

Dalam merancang IC HCMOS terdapat beberapa nilai parameter proses yang telah diketahui nilai dan satuannya. Penggunaan parameter ini untuk mendekati pada karakter devais dan mempermudah dalam proses analisis. Nilai parameter proses bergantung bahan dan teknologi suatu fabrikasi rangkaian terpadu. Nilai-nilai tersebut diperoleh dengan cara memilih menu **file→select foundary**, kemudian pilih file cmos90n.rul, kemudian di *tools* microwind pilih *simulate MOS characteristics*, maka akan muncul window seperti ditunjukkan dalam Gambar 4.1.





Gambar 4.1 Parameter Dasar Transistor 90 nm NMOS

Sumber : Desaign rule Microwind3

Parameter-parameter proses tersebut ditunjukkan dalam Tabel 4.1. Adapun beberapa parameter dasar tersebut ditunjukkan dalam Tabel 4.1 yang sesuai pada *owner's manual* dan *rule file* dalam perangkat lunak *Microwind3* dengan teknologi 90 nm CMOS proses ($\lambda = 0.05 \mu\text{m}$).

Tabel 4.1 Parameter Dasar Transistor CMOS

SIMBOL	NMOS	PMOS	KETERANGAN
ϵ_{ox}	$3,45 \times 10^{-13} \text{ F/cm}^2$	-	Konstanta dielektrik polisilikon
μ_e/μ_n	$580 \text{ cm}^2/\text{V.s}$	-	Mobilitas rata-rata elektron dalam saluran antara <i>drain</i> dan <i>source</i>
μ_h/μ_p	-	$230 \text{ cm}^2/\text{V.s}$	Mobilitas rata-rata <i>hole</i> dalam saluran antara <i>drain</i> dan <i>source</i>
V_T	0,34 V	-0,34 V	Tegangan ambang pada NMOS dan PMOS
γ	$0,50 \text{ V}^{0,5}$	$0,40 \text{ V}^{0,5}$	GAMMA, <i>bulk threshold</i> parameter
$2\Phi_F$	0,15 V	-	PHI, <i>surface potential at strong inversion</i>

Sumber : De Massa, 1996 : 245,337

t_{ox}	1,2 nm	Ketebalan oksida gerbang (gate)
V_{DD}	1,2 V	Tegangan catu
k_n	$300 \mu\text{A}/\text{V}^2$	Parametet transkonduktansi transistor NMOS
k_p	-	Parametet transkonduktansi transistor PMOS

Sumber : owner's manual microwind3

4.2 Perancangan Nilai W dan L Transistor

Proses analisis dalam perancangan nilai W/L HCMOS bertujuan agar rangkaian *full adder* 8 bit masukan mendekati kondisi ideal terutama dalam aspek disipasi daya rendah, *propagation delay* cepat dan kondisi *output* yang simetris. Nilai dimensi saluran transistor NMOS dan PMOS ditentukan untuk memperoleh suatu kondisi karakteristik alih tegangan (VTC) yang simetris agar diperoleh tanggapan transien yang simetris pula seperti yang ditunjukkan dalam Gambar 2.16. Untuk menetukan W dan L pada masing-masing transistor pada gerbang *inverter* harus dilakukan analisis silang seperti ditunjukkan dalam Persamaan (2-14)

$$\begin{aligned}
 k_R &= \frac{\mu_n C_{ox} \frac{W_n}{L_n}}{\mu_p C_{ox} \frac{W_p}{L_p}}, \text{ bila } k_R = 1, \text{ maka;} \\
 1 &= \frac{\mu_n C_{ox} \frac{W_n}{L_n}}{\mu_p C_{ox} \frac{W_p}{L_p}} \\
 1 &= \frac{\mu_n \frac{W_n}{L_n}}{\mu_p \frac{W_p}{L_p}} \\
 \mu_p \frac{W_p}{L_p} &= \mu_n \frac{W_n}{L_n} \\
 \frac{W_p}{L_p} &= \frac{\mu_n}{\mu_p} \frac{W_n}{L_n} \tag{4-1}
 \end{aligned}$$

Dengan memasukkan nilai $\mu_n = 580 \text{ cm}^2/\text{V.s}$ dan $\mu_p = 230 \text{ cm}^2/\text{V.s}$, maka

$$\begin{aligned}
 \frac{W_p}{L_p} &= \frac{580}{230} \frac{W_n}{L_n} \\
 \frac{W_p}{L_p} &= 2,52 \frac{W_n}{L_n} \tag{4-2}
 \end{aligned}$$



Dari Persamaan (4-2) diketahui bahwa untuk mendapatkan suatu grafik karakteristik alih yang simetris maka nilai perbandingan antara lebar difusi dan polisilikon transistor PMOS dan NMOS adalah 1: 2,52.

Perancangan selanjutnya adalah membandingkan $W_n : L_n$ dengan memasukkan nilai $\varepsilon_{OX} = 3,45 \times 10^{-13} \text{ F/cm}$, $k_n = 300 \mu\text{A/V}^2$, $t_{ox} = 1,2 \text{ nm}$ dan $\mu_e/\mu_n = 580 \text{ cm}^2/\text{V.s}$, dari Persamaan (2-11) dan (2-12) dimana nilai C_{ox} berubah sesuai dengan ketebalan t_{ox} , diperoleh Persamaan (4-3).

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \quad (2-11)$$

$$k_n = \mu_n C_{ox} \frac{W}{L} \quad (2-12)$$

$$k_n = \mu_n \frac{\varepsilon_{ox} W_n}{t_{ox} L_n} \quad (4-3)$$

$$\frac{W_n}{L_n} = \frac{k_n t_{ox}}{\mu_n \varepsilon_{ox}}$$

$$\frac{W_n}{L_n} = \frac{300 \times 10^{-6}}{580 \times 10^{-4}} \frac{1,2 \times 10^{-9}}{3,45 \times 10^{-11}}$$

$$\frac{W_n}{L_n} = 0,1799 \approx \frac{2}{10}$$

Dengan memasukkan $W_n : L_n$ ke dalam Persamaan (4-4), diperoleh $W_p : L_p$,

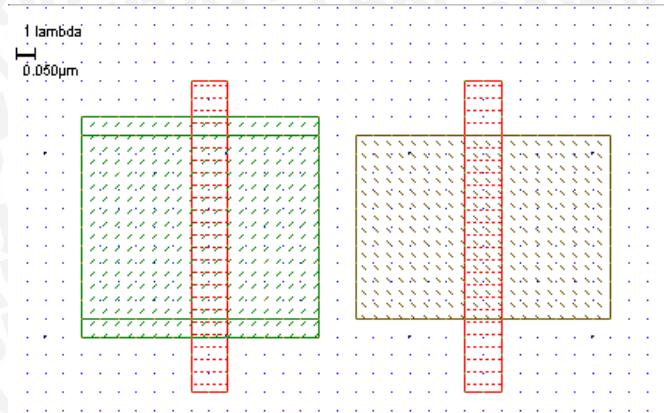
$$\frac{W_p}{L_p} = 2,52 \frac{W_n}{L_n}$$

$$\frac{W_p}{L_p} = 2,52 \times \frac{2}{10} = \frac{5}{10}$$

Dari hasil perhitungan W_n/L_n dan W_p/L_p dilakukan analisis silang, nilai W dan L pada CMOS diperoleh dengan memasukkan nilai ukuran minimal polisilikon yang digunakan yaitu 2λ , sehingga diperoleh;

$$\frac{W_p}{L_p} = \frac{5}{10} = \frac{5\lambda}{10\lambda} \text{ dan } \frac{W_n}{L_n} = \frac{2}{10} = \frac{2\lambda}{10\lambda} \text{ seperti ditunjukkan dalam Gambar 4.2.}$$

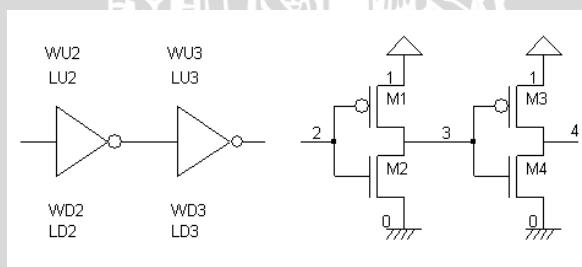




Gambar 4.2 Perbandingan Nilai W dan L (N+ dan P+ Diffusion)

Gambar 4.3 menunjukkan konfigurasi gerbang *kaskada full adder* 8 bit masukan. W_U menunjukkan *pull up* transistor MOSFET tipe-p dan W_D menunjukkan *pull down* transistor MOSFET tipe-n. Kedua tipe MOSFET ini tersusun dalam konfigurasi CMOS pada tiap gerbang.

Berdasarkan konfigurasi gerbang, satu-satunya perbedaan mendasar antara HCMOS dengan CMOS adalah terdapatnya konfigurasi pasangan *inverter* dalam rangkaian HCMOS. Rangkaian *full adder* memanfaatkan keuntungan dari konfigurasi pasangan *inverter* ini yang dikenal dengan teknik kaskada. Dengan pengaturan nilai W dan L sistem yang tepat maka akan diperoleh *propagation delay* yang lebih cepat dibanding sistem CMOS.



Gambar 4.3 Konfigurasi Gerbang Kaskada (HCMOS)

Perhitungan W dan L kaskada HCMOS dengan menggunakan Persamaan (2-48) sampai Persamaan (2-51) dalam Bab 2, nilai $k = 3$ (gerbang dasar dan 2 buah kaskada), nilai optimum untuk $\alpha = 3$, sehingga untuk gerbang dasar berlaku:

$$W_{UI} = W_P$$

$$L_{UI} = L_P$$

$$W_{D1}=W_N$$

$$L_{D1}=L_N$$

Untuk kaskada pertama,

$$W_{U2}=W_{D2}=3W_N$$

$$L_{U2}=L_{D2}=L_N$$

$$W_{D2}=L_{D1}=L_N$$

Untuk kaskada kedua,

$$W_{U3}=W_{D3}=9W_N$$

$$L_{U3}=L_{D3}=L_N$$

$$W_{D3}=9W_{D1}=9W_N$$

$$L_{D3}=L_{D1}=L_N$$

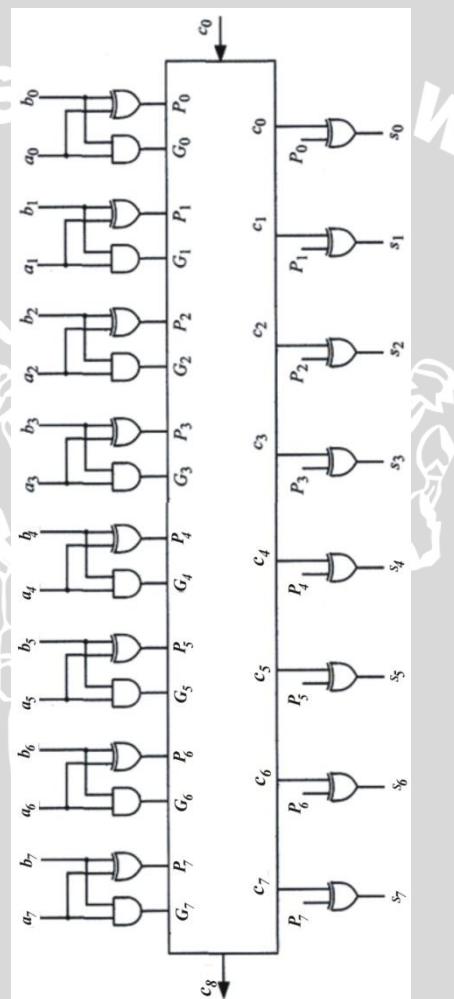
Dengan menggunakan *Microwind3* CMOS proses dengan $\lambda=0,050 \mu\text{m}$ maka nilai W dan L transistor untuk setiap gerbang penyusun IC *full adder* sebagai berikut;

- $W_p = 1 \mu\text{m}$ $L_p=0,1 \mu\text{m}$
 $W_N = 1,2 \mu\text{m}$ $L_n=0,1 \mu\text{m}$
- Nilai W dan L transistor untuk kaskada pertama
 $W_p = 3,6 \mu\text{m}$ $L_p=0,1 \mu\text{m}$
- Nilai W dan L transistor untuk kaskada kedua
 $W_p = 10,8 \mu\text{m}$ $L_p=0,1 \mu\text{m}$

4.3 Konfigurasi *Full Adder* 8 Bit Masukan

Karakteristik yang dimiliki oleh rangkaian *full adder* adalah adanya *dual* 8 bit masukan a_0 sampai a_7 dan b_0 sampai b_7 dimana a_0 dan b_0 merupakan bit logika terendah (LSB) dan a_7 dan b_7 merupakan bit logika tinggi (MSB). Penamaan ini dilakukan untuk mempermudah dalam perancangan dan analisis rangkaian. *Carry in* (c_0) didefinisikan sebagai *carry* sebelumnya dimana untuk satu keping IC *full adder*, *carry in* diambilkan karena dalam perancangan suatu sistem bisa menggunakan lebih dari satu jenis IC yang sama. Namun dalam analisis yang akan dibahas dalam penelitian ini, *carry in* dianggap sebagai logika 0 dengan memberikan catu *ground* karena tidak ada *carry* sebelumnya. *Carry out* (c_8)

didefinisikan sebagai *carry* terakhir untuk IC *full adder* 8 bit masukan yang bisa digunakan sebagai *carry* sebelumnya untuk IC *full adder* berikutnya dengan menghubungkan pin *carry out* ke *carry in*. Hasil penjumlahan *dual 8 bit* masukan *full adder* dinayatakan dalam bentuk keluaran (*output*). *Output* IC *full adder* didefinisikan dalam notasi *s* (*sum*) mulai dari s_0 sampai s_7 dimana s_0 merupakan logika bit terendah dan s_7 merupakan logika bit tertinggi. IC *full adder* 8 bit masukan tersusun atas gerbang – gerbang logika yang ditunjukkan dalam Gambar 4.4.



Gambar 4.4 Konfigurasi Full Adder 8 Bit Masukan

Konfigurasi G_i dan P_i merupakan pengembangan dari penyederhanaan persamaan, dimana P dinyatakan sebagai *propagate* G sebagai *generate* yang akan diturunkan bentuk rangkaian penyusun dalam pembahasan selanjutnya.

4.4 Perencanaan Rangkaian Logika Full Adder 8 Bit Masukan

Dalam perencanaan *full adder* 8 bit ini pertama dilakukan proses penyederhanaan *full adder* dengan metode *Carry Lookahead Adder (CLA)* dengan persamaan seperti yang dijelaskan dalam Persamaan (2-4) dan (2-5) diperoleh rangkaian *full adder* seperti yang ditunjukkan dalam Gambar 4.5.

$$c_{i+1} = G_i + P_i \cdot c_i \quad (2-24)$$

$$S_i = P_i \oplus c_i \quad (2-25)$$

Maka c_i diperoleh;

$$c_1 = G_0 + P_0 c_0$$

$$c_2 = G_1 + P_1 G_0 + P_1 P_0 c_0$$

$$c_3 = G_2 + P_2 G_1 + P_2 P_1 G_0 + P_2 P_1 P_0 c_0$$

$$c_4 = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 c_0$$

$$c_5 = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 + P_4 P_3 P_2 P_1 G_0 + P_4 P_3 P_2 P_1 P_0 c_0$$

$$c_6 = G_5 + P_5 G_4 + P_5 P_4 G_3 + P_5 P_4 P_3 G_2 + P_5 P_4 P_3 P_2 G_1 + P_5 P_4 P_3 P_2 P_1 G_0 + P_5 P_4 P_3 P_2 P_1 P_0 c_0$$

$$c_7 = G_6 + P_6 G_5 + P_6 P_5 G_4 + P_6 P_5 P_4 G_3 + P_6 P_5 P_4 P_3 G_2 + P_6 P_5 P_4 P_3 P_2 G_1 + P_6 P_5 P_4 P_3 P_2 P_1 G_0 + P_6 P_5 P_4 P_3 P_2 P_1 P_0 c_0$$

$$c_8 = G_7 + P_7 G_6 + P_7 P_6 G_5 + P_7 P_6 P_5 G_4 + P_7 P_6 P_5 P_4 G_3 + P_7 P_6 P_5 P_4 P_3 G_2 + P_7 P_6 P_5 P_4 P_3 P_2 G_1 + P_7 P_6 P_5 P_4 P_3 P_2 P_1 G_0 + P_7 P_6 P_5 P_4 P_3 P_2 P_1 P_0 c_0$$

nilai s_i diperoleh;

$$S_0 = P_0 \oplus c_0$$

$$S_1 = P_1 \oplus c_1$$

$$S_2 = P_2 \oplus c_2$$

$$S_3 = P_3 \oplus c_3$$

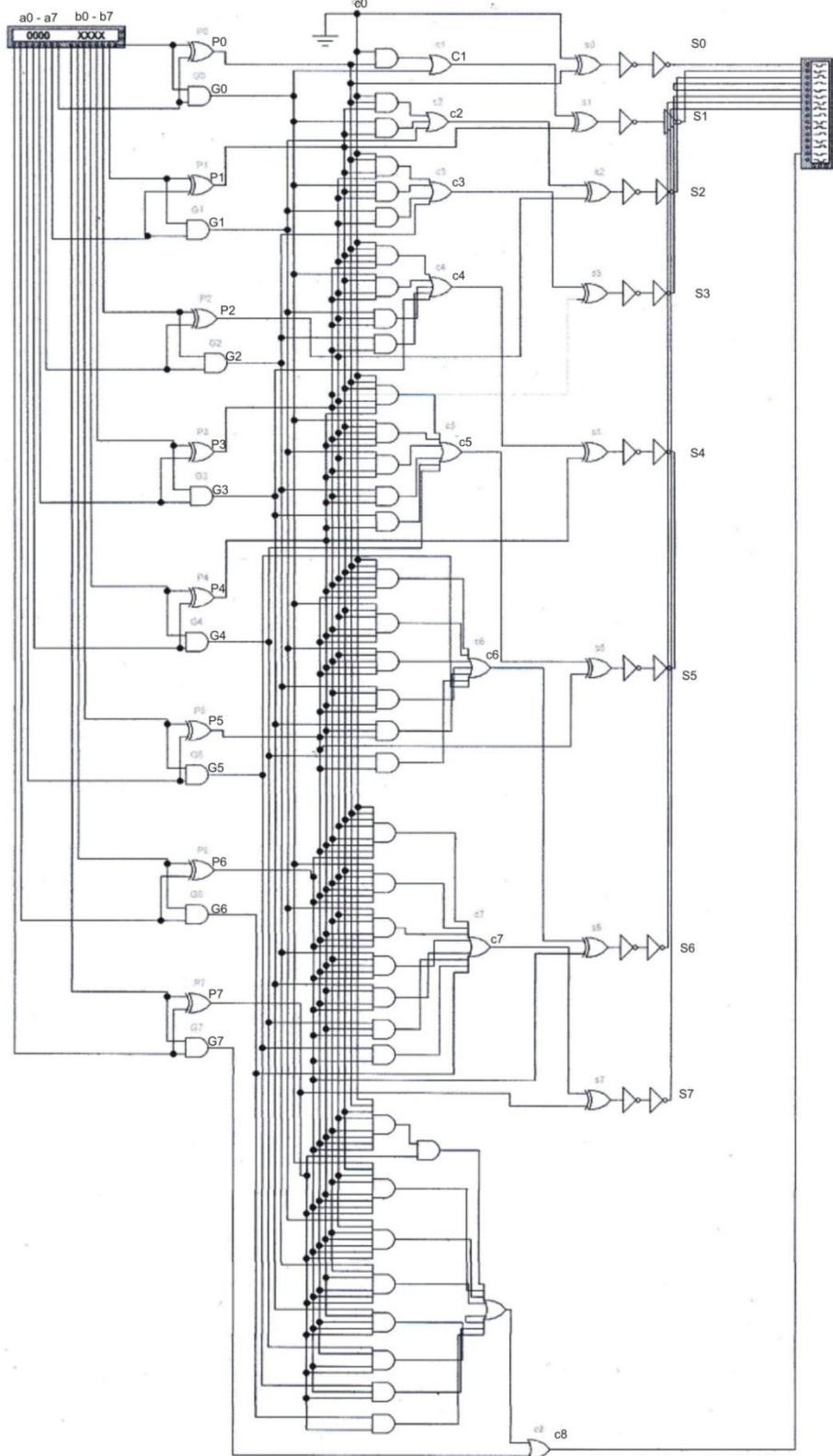
$$S_4 = P_4 \oplus c_4$$

$$S_5 = P_5 \oplus c_5$$

$$S_6 = P_6 \oplus c_6$$

$$S_7 = P_7 \oplus c_7$$





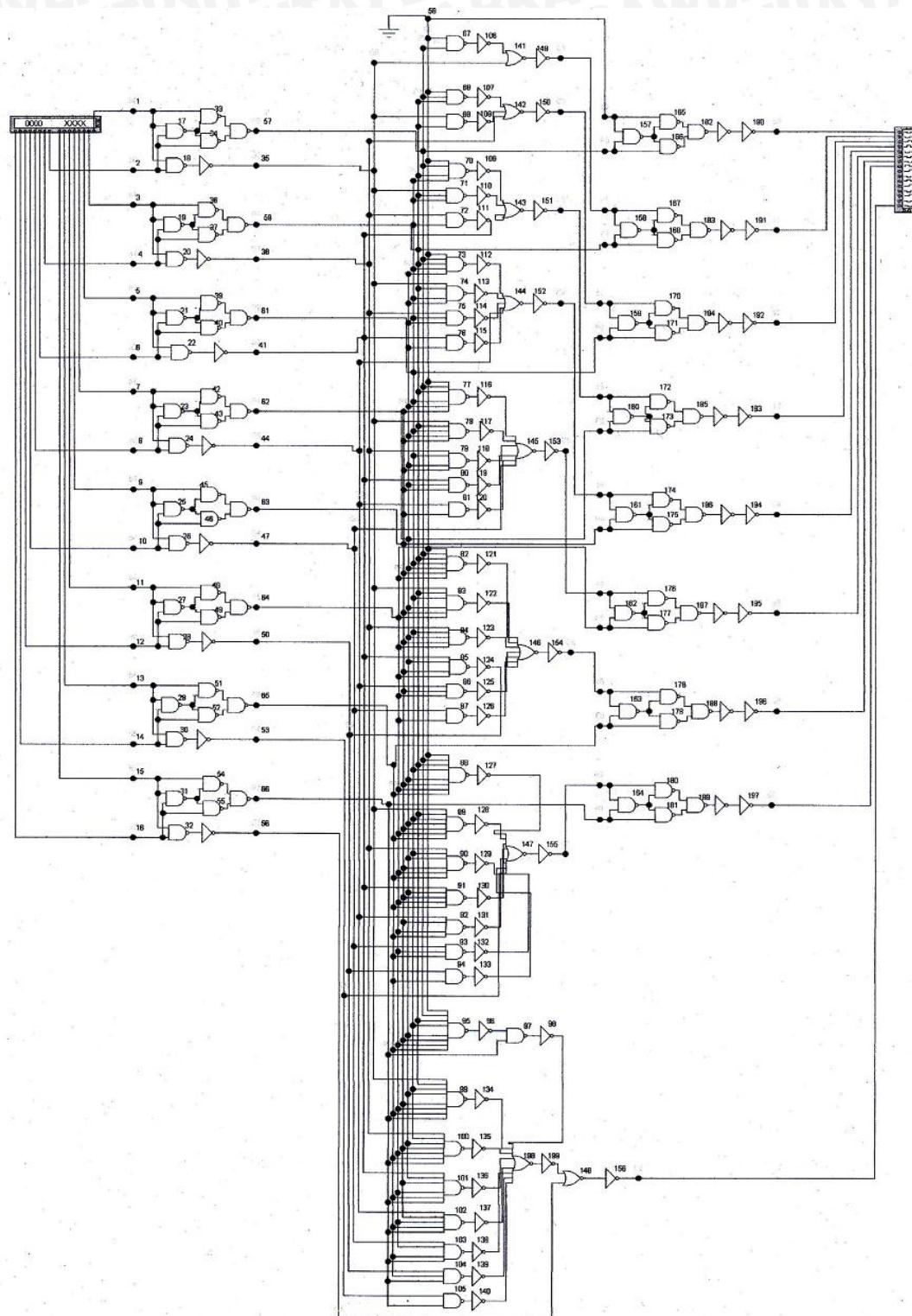
Gambar 4.5 Rangkaian Gerbang Logika Full Adder 8 Bit Masukan dengan Kaskada

Gambar 4.5 menunjukkan konfigurasi *full adder* CLA 8 bit masukan HCMOS yang tersusun gerbang XOR, AND, OR, dan INVERTER yang diperoleh dari persamaan *carry* (*c*) dan *sum* (*s*) pada Persamaan (2-24) dan (2-25). Gerbang logika penyusun *full adder* 8 bit masukan lebih lengkap ditunjukkan dalam Tabel 4.2.

Tabel 4.2 Gerbang Penyusun *Full Adder* 8 Bit Masukan

Gerbang	Jumlah (buah)
XOR 2 masukan	16
AND 2 masukan	17
AND 3 masukan	7
AND 4 masukan	6
AND 5 masukan	5
AND 6 masukan	4
AND 7 masukan	3
AND 8 masukan	3
OR 2 masukan	2
OR 3 masukan	1
OR 4 masukan	1
OR 5 masukan	1
OR 6 masukan	1
OR 7 masukan	1
OR 8 masukan	1
inverter kaskada	16

Gerbang-gerbang tersebut kecuali inverter bukan gerbang dasar, oleh karena itu dalam analisis Pspice akan diubah ke dalam gerbang dasar kombinasi gerbang NAND, NOR, dan INVERTER. Gambar 4.6 menunjukkan susunan gerbang logika *full adder* 8 bit masukan yang tersusun dari gerbang dasar inverter, NAND, dan NOR.



Gambar 4.6 Rangkaian Gerbang Logika *Full Adder* 8 Bit Masukan Gerbang NAND, NOR, dan Inverter

Gambar 4.6 menunjukkan konfigurasi *full adder* CLA 8 bit masukan HCMOS yang tersusun atas gerbang dasar INVERTER, NAND dan NOR. Lebih lengkap ditunjukkan dalam Tabel 4.3.

Tabel 4.3 Gerbang Dasar Penyusun *Full Adder* 8 Bit Masukan

Gerbang	Jumlah (buah)	Transistor PMOS & NMOS (buah)
INVERTER	54	108
NAND 2 masukan	89	178
NAND 3 masukan	7	42
NAND 4 masukan	6	48
NAND 5 masukan	6	60
NAND 6 masukan	4	48
NAND 7 masukan	3	42
NAND 8 masukan	3	48
NOR 2 masukan	2	8
NOR 3 masukan	1	6
NOR 4 masukan	1	8
NOR 5 masukan	1	10
NOR 6 masukan	1	12
NOR 7 masukan	1	14
NOR 8 masukan	2	32
inverter kaskada	16	32
Jumlah		690

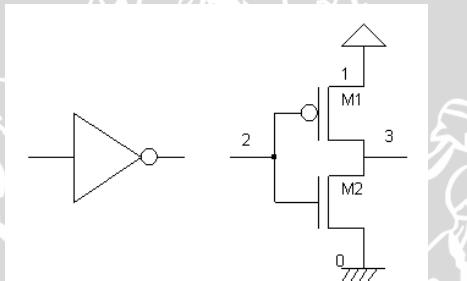
4.5 Perencanaan Transistor *Full Adder* 8 Bit Masukan

Perencanaan transistor pada *full adder* 8 bit masukan dilakukan pada tiap gerbang penyusun IC, dimana tersusun atas rangkaian transistor PMOS dan NMOS yang disusun untuk menghasilkan logika pada tiap gerbang dan dilakukan perancangan *node* dengan memberikan penomoran pada tiap *node* yang menjadi panduan dalam penyusunan program pada *Pspice*. Dalam program Pspice gerbang – gerbang dasar diinisialisasi sebagai bahasa program dengan menggunakan

perintah .SUBCKT. Bahasa program tersebut ditulis dalam program sebagai berikut:

```
.SUBCKT name node_input node_output
VDD node_VDD node_Ground nV
.PMOS node_d node_g node_s node_s PM W_value L_value
.NMOS node_d node_g node_s node_s NM W_value L_value
.MODEL PMOS
.MODEL NMOS
.ENDS name
```

Gambar *inverter* ditunjukkan dalam Gambar 4.7 dimana *gate* pada PMOS dan NMOS terhubung menjadi *node 2*, *source* pada PMOS terhubung dengan VCC, *drain* pada NMOS terhubung pada *ground* sedangkan pada PMOS dan *source* pada NMOS terhubung menjadi satu pada *node 3*.

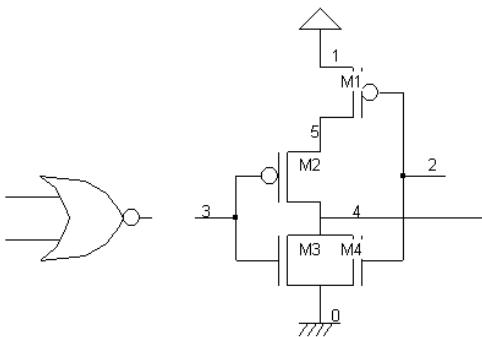


Gambar 4.7 Gerbang dan Transistor Inverter

Dalam bahasa program *Pspice*, gerbang inverter didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT INVERTER 2 3
VDD 1 0 1.2V
M1 3 2 1 1 PM W=1U L=0.1U
M2 3 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS INVERTER
```

Gerbang logika NOR 2 masukan tersusun atas 2 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.8.

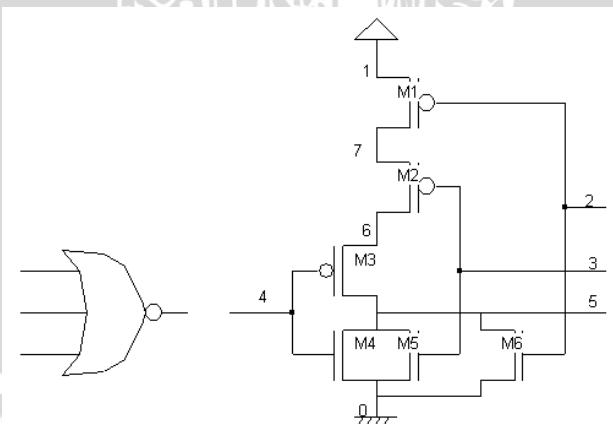


Gambar 4.8 Gerbang dan Transistor NOR 2 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 2 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NOR2INPUT 2 3 4
VDD 1 0 1.2V
M3 5 2 1 1 PM W=1U L=0.1U
M4 5 3 4 4 PM W=1U L=0.1U
M5 4 3 0 0 NM W=1.2U L=0.1U
M6 4 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR2INPUT
```

Gerbang logika NOR 3 masukan tersusun atas 3 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.9.



Gambar 4.9 Gerbang dan Transistor NOR 3 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 3 masukan didefinisikan sebagai bahasa *program* berikut:

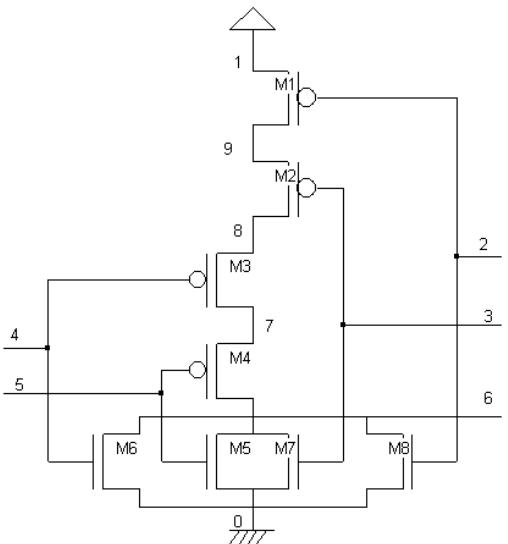
```
.SUBCKT NOR3INPUT 2 3 4 5
```

```

VDD 1 0 1.2V
M7 7 2 1 1 PM W=1U L=0.1U
M8 7 3 6 6 PM W=1U L=0.1U
M9 6 4 5 5 PM W=1U L=0.1U
M10 5 4 0 0 NM W=1.2U L=0.1U
M11 5 3 0 0 NM W=1.2U L=0.1U
M12 5 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR3INPUT

```

Gerbang logika NOR 4 masukan tersusun atas 4 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.10.



Gambar 4.10 Transistor NOR 4 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 4 masukan didefinisikan sebagai bahasa *program* berikut:

```

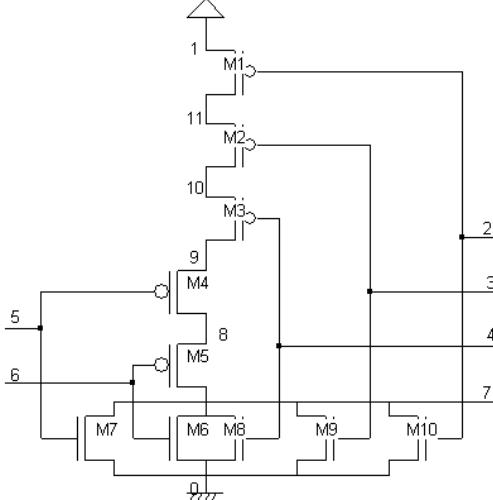
.SUBCKT NOR4INPUT 2 3 4 5 6
VDD 1 0 1.2V
M13 9 2 1 1 PM W=1U L=0.1U
M14 9 3 8 8 PM W=1U L=0.1U
M15 8 4 7 7 PM W=1U L=0.1U
M16 7 5 6 6 PM W=1U L=0.1U
M17 6 5 0 0 NM W=1.2U L=0.1U
M18 6 4 0 0 NM W=1.2U L=0.1U
M19 6 3 0 0 NM W=1.2U L=0.1U
M20 6 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)

```



```
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR4INPUT
```

Gerbang logika NOR 5 masukan tersusun atas 5 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.11.

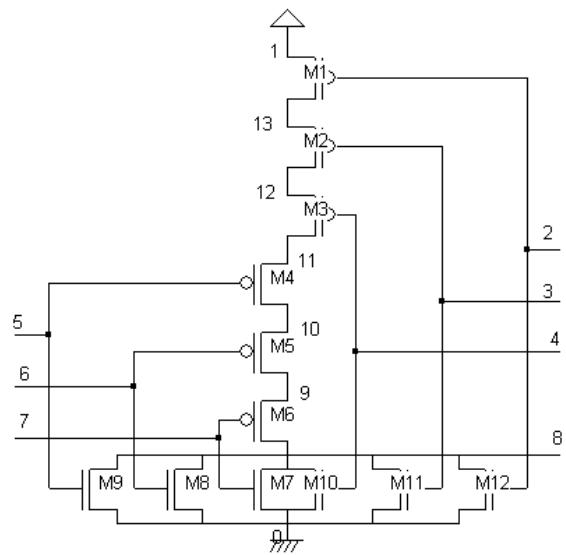


Gambar 4.11 Transistor NOR 5 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 5 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NOR5INPUT 2 3 4 5 6 7
VDD 1 0 1.2V
M21 11 2 1 1 PM W=1U L=0.1U
M22 11 3 10 10 PM W=1U L=0.1U
M23 10 4 9 9 PM W=1U L=0.1U
M24 9 5 8 8 PM W=1U L=0.1U
M25 8 6 7 7 PM W=1U L=0.1U
M26 7 6 0 0 NM W=1.2U L=0.1U
M27 7 5 0 0 NM W=1.2U L=0.1U
M28 7 4 0 0 NM W=1.2U L=0.1U
M29 7 3 0 0 NM W=1.2U L=0.1U
M30 7 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR5INPUT
```

Gerbang logika NOR 6 masukan tersusun atas 6 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.12.

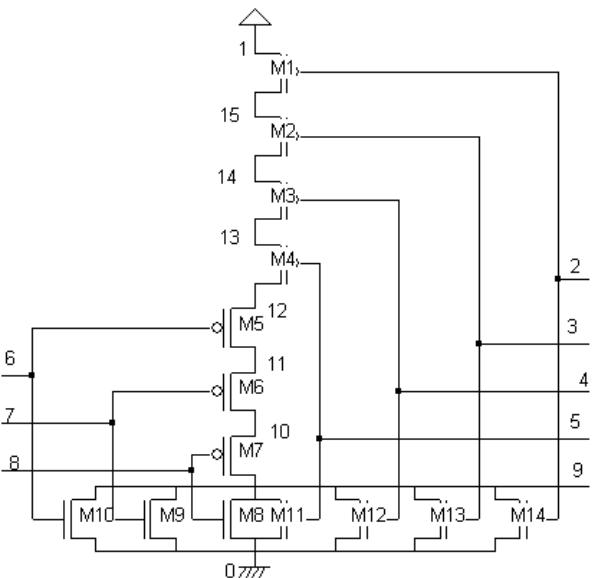


Gambar 4.12 Transistor NOR 6 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 6 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NOR6INPUT 2 3 4 5 6 7 8
VDD 1 0 1.2V
M31 13 2 1 1 PM W=1U L=0.1U
M32 13 3 12 12 PM W=1U L=0.1U
M33 12 4 11 11 PM W=1U L=0.1U
M34 11 5 10 10 PM W=1U L=0.1U
M35 10 6 9 9 PM W=1U L=0.1U
M36 9 7 8 8 PM W=1U L=0.1U
M37 8 7 0 0 NM W=1.2U L=0.1U
M38 8 6 0 0 NM W=1.2U L=0.1U
M39 8 5 0 0 NM W=1.2U L=0.1U
M40 8 4 0 0 NM W=1.2U L=0.1U
M41 8 3 0 0 NM W=1.2U L=0.1U
M42 8 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR6INPUT
```

Gerbang logika NOR 7 masukan tersusun atas 7 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.13.

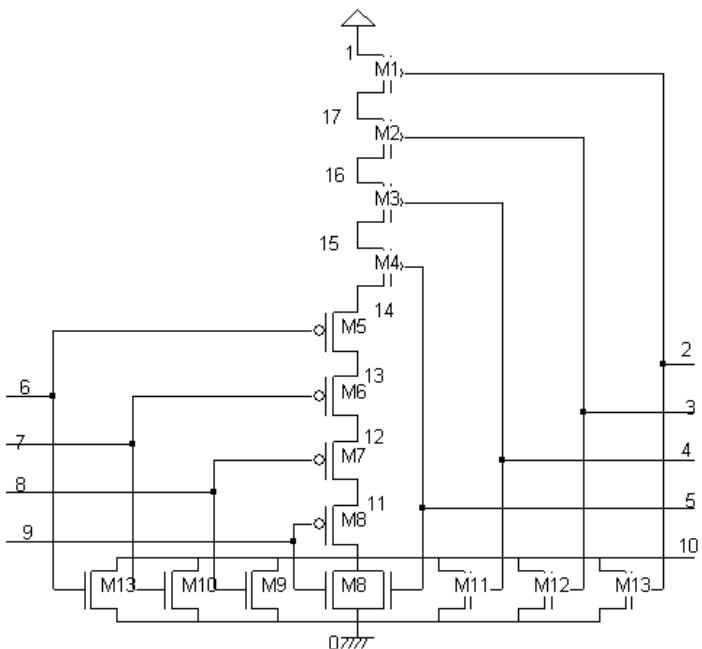


Gambar 4.13 Transistor NOR 7 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 7 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NOR7INPUT 2 3 4 5 6 7 8 9
VDD 1 0 1.2V
M43 15 2 1 1 PM W=1U L=0.1U
M44 15 3 14 14 PM W=1U L=0.1U
M45 14 4 13 13 PM W=1U L=0.1U
M46 13 5 12 12 PM W=1U L=0.1U
M47 12 6 11 11 PM W=1U L=0.1U
M48 11 7 10 10 PM W=1U L=0.1U
M49 10 8 9 9 PM W=1U L=0.1U
M50 9 8 0 0 NM W=1.2U L=0.1U
M51 9 7 0 0 NM W=1.2U L=0.1U
M52 9 6 0 0 NM W=1.2U L=0.1U
M53 9 5 0 0 NM W=1.2U L=0.1U
M54 9 4 0 0 NM W=1.2U L=0.1U
M55 9 3 0 0 NM W=1.2U L=0.1U
M56 9 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR7INPUT
```

Gerbang logika NOR 8 masukan tersusun atas 8 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.14.



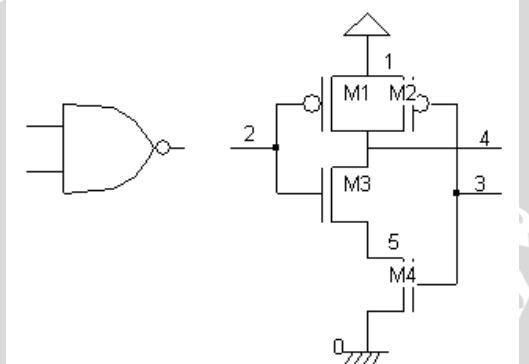
Gambar 4.14 Transistor NOR 8 Masukan

Dalam bahasa program *Pspice*, gerbang NOR 8 masukan didefinisikan sebagai bahasa program berikut:

```
.SUBCKT NOR8INPUT 2 3 4 5 6 7 8 9 10
VDD 1 0 1.2V
M57 17 2 1 1 PM W=1U L=0.1U
M58 17 3 16 16 PM W=1U L=0.1U
M59 16 4 15 15 PM W=1U L=0.1U
M60 15 5 14 14 PM W=1U L=0.1U
M61 14 6 13 13 PM W=1U L=0.1U
M62 13 7 12 12 PM W=1U L=0.1U
M63 12 8 11 11 PM W=1U L=0.1U
M64 11 9 10 10 PM W=1U L=0.1U
M65 10 9 0 0 NM W=1.2U L=0.1U
M66 10 8 0 0 NM W=1.2U L=0.1U
M67 10 7 0 0 NM W=1.2U L=0.1U
M68 10 6 0 0 NM W=1.2U L=0.1U
M69 10 5 0 0 NM W=1.2U L=0.1U
M70 10 4 0 0 NM W=1.2U L=0.1U
M71 10 3 0 0 NM W=1.2U L=0.1U
M72 10 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
```

```
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR8INPUT
```

Gerbang logika NAND 2 masukan dibuat dari rangkaian logika dasar NAND dan *inverter* yang tersusun atas 2 pasang PMOS dan NMOS ditunjukkan dalam Gambar 4.15. *Source* transistor PMOS terhubung pada VCC diinisialisasikan sebagai *node* 1 sedangkan *drain*-nya terhubung pada *node* 4. *Gate* M1 dan M3 terhubung menjadi *node* 2 sebagai logika input sedangkan *gate* M2 dan M4 terhubung menjadi *node* 3, *drain* M1 dan M2 terhubung menjadi *node* 4 dengan *source* M3. Sedangkan *drain* pada M3 dan *source* pada M4 terhubung menjadi satu pada *node* 5.



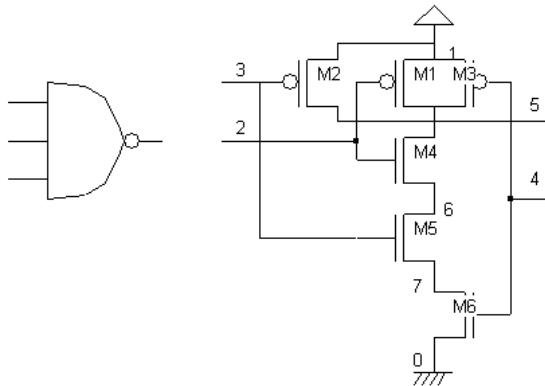
Gambar 4.15 Transistor NAND 2 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 2 masukan didefinisikan sebagai bahasa program berikut:

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 1.2V
M73 4 2 1 1 PM W=1U L=0.1U
M74 4 3 1 1 PM W=1U L=0.1U
M75 4 2 5 5 NM W=1.2U L=0.1U
M76 5 3 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND2INPUT
```

Gerbang logika NAND 3 masukan tersusun atas 3 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.16.



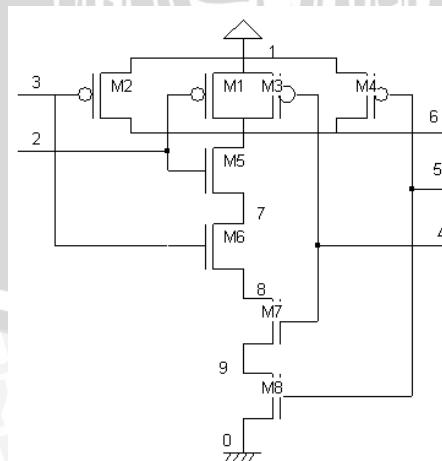


Gambar 4.16 Transistor NAND 3 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 3 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NAND3INPUT 2 3 4 5
VDD 1 0 1.2V
M77 5 2 1 1 PM W=1U L=0.1U
M78 5 3 1 1 PM W=1U L=0.1U
M79 5 4 1 1 PM W=1U L=0.1U
M80 5 2 6 6 NM W=1.2U L=0.1U
M81 6 3 7 7 NM W=1.2U L=0.1U
M82 7 4 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND3INPUT
```

Gerbang logika NAND 4 masukan tersusun atas 4 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.17.



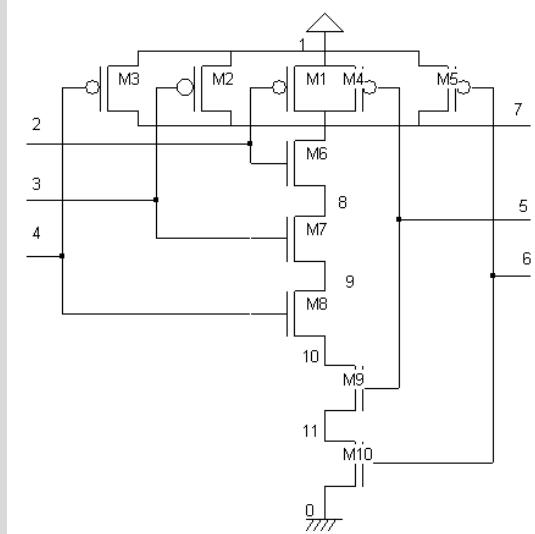
Gambar 4.17 Transistor NAND 4 Masukan



Dalam bahasa program *Pspice*, gerbang NAND 4 masukan didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 1.2V
M82 6 2 1 1 PM W=1U L=0.1U
M84 6 3 1 1 PM W=1U L=0.1U
M85 6 4 1 1 PM W=1U L=0.1U
M86 6 5 1 1 PM W=1U L=0.1U
M87 6 2 7 7 NM W=1.2U L=0.1U
M88 7 3 8 8 NM W=1.2U L=0.1U
M89 8 4 9 9 NM W=1.2U L=0.1U
M90 9 5 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND4INPUT
```

Gerbang logika NAND 5 masukan tersusun atas 5 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.18.



Gambar 4.18 Transistor NAND 5 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 5 masukan didefinisikan sebagai bahasa *program* berikut:

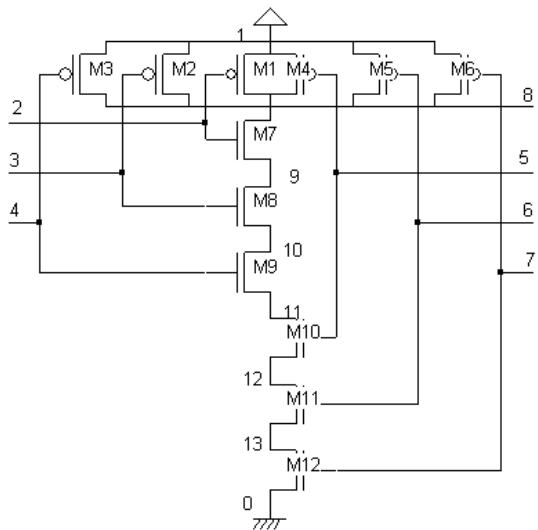
```
.SUBCKT NAND5INPUT 2 3 4 5 6 7
VDD 1 0 1.2V
M91 7 2 1 1 PM W=1U L=0.1U
M92 7 3 1 1 PM W=1U L=0.1U
M93 7 4 1 1 PM W=1U L=0.1U
```

```

M94 7 5 1 1 PM W=1U L=0.1U
M95 7 6 1 1 PM W=1U L=0.1U
M96 7 2 8 8 NM W=1.2U L=0.1U
M97 8 3 9 9 NM W=1.2U L=0.1U
M98 9 4 10 10 NM W=1.2U L=0.1U
M99 10 5 11 11 NM W=1.2U L=0.1U
M100 11 6 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND5INPUT

```

Gerbang logika NAND 6 masukan tersusun atas 6 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.19



Gambar 4.19 Transistor NAND 6 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 6 masukan didefinisikan sebagai bahasa *program* berikut:

```

.SUBCKT NAND6INPUT 2 3 4 5 6 7 8
VDD 1 0 1.2V
M101 8 2 1 1 PM W=1U L=0.1U
M102 8 3 1 1 PM W=1U L=0.1U
M103 8 4 1 1 PM W=1U L=0.1U
M104 8 5 1 1 PM W=1U L=0.1U
M105 8 6 1 1 PM W=1U L=0.1U
M106 8 7 1 1 PM W=1U L=0.1U
M107 8 2 9 9 NM W=1.2U L=0.1U
M108 9 3 10 10 NM W=1.2U L=0.1U

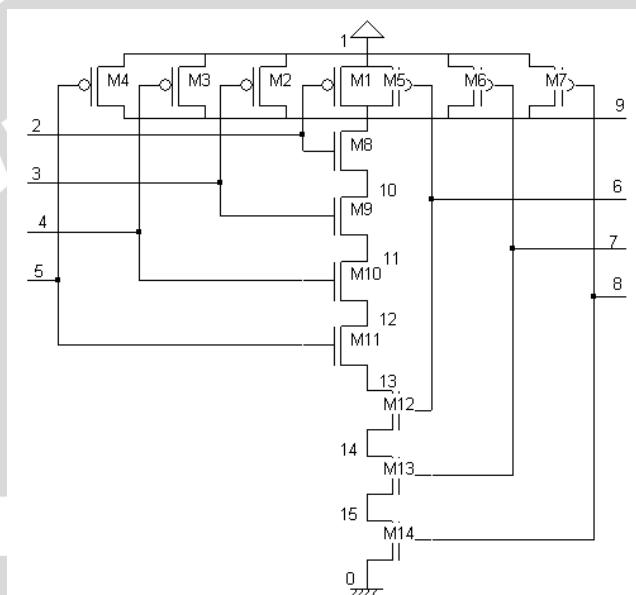
```

```

M109 10 4 11 11 NM W=1.2U L=0.1U
M110 11 5 12 12 NM W=1.2U L=0.1U
M111 12 6 13 13 NM W=1.2U L=0.1U
M112 13 7 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND6INPUT

```

Gerbang logika NAND 7 masukan tersusun atas 7 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.20



Gambar 4.20 Transistor NAND 7 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 7 masukan didefinisikan sebagai bahasa *program* berikut:

```

.SUBCKT NAND7INPUT 2 3 4 5 6 7 8 9
VDD 1 0 1.2V
M113 9 2 1 1 PM W=1U L=0.1U
M114 9 3 1 1 PM W=1U L=0.1U
M115 9 4 1 1 PM W=1U L=0.1U
M116 9 5 1 1 PM W=1U L=0.1U
M117 9 6 1 1 PM W=1U L=0.1U
M118 9 7 1 1 PM W=1U L=0.1U
M119 9 8 1 1 PM W=1U L=0.1U
M120 9 2 10 10 NM W=1.2U L=0.1U
M121 10 3 11 11 NM W=1.2U L=0.1U
M122 11 4 12 12 NM W=1.2U L=0.1U
M123 12 5 13 13 NM W=1.2U L=0.1U

```

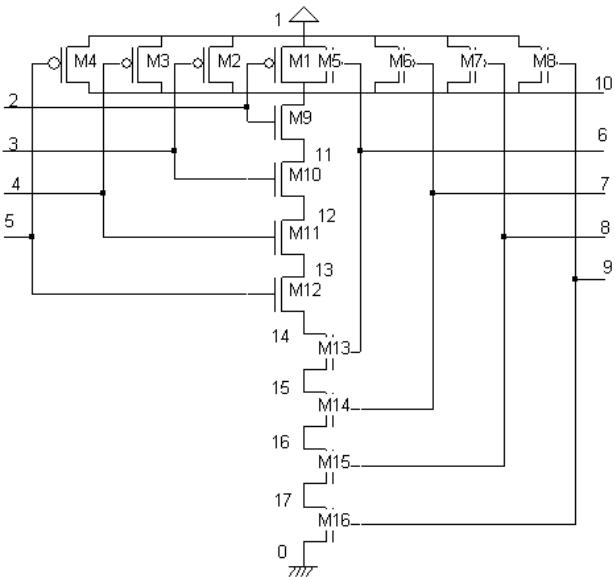


```

M124 13 6 14 14 NM W=1.2U L=0.1U
M125 14 7 15 15 NM W=1.2U L=0.1U
M126 15 8 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND7INPUT

```

Gerbang logika NAND 8 masukan tersusun atas 8 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.21



Gambar 4.21 Transistor NAND 8 Masukan

Dalam bahasa program *Pspice*, gerbang NAND 8 masukan didefinisikan sebagai bahasa *program* berikut:

```

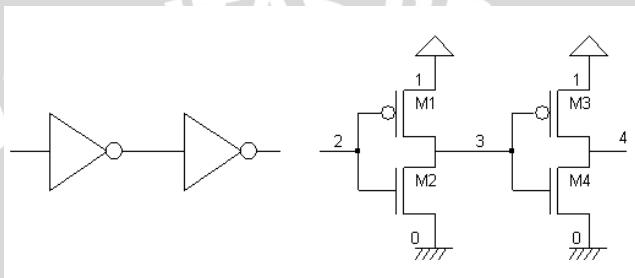
.SUBCKT NAND8INPUT 2 3 4 5 6 7 8 9 10
VDD 1 0 1.2V
M127 10 2 1 1 PM W=1U L=0.1U
M128 10 3 1 1 PM W=1U L=0.1U
M129 10 4 1 1 PM W=1U L=0.1U
M130 10 5 1 1 PM W=1U L=0.1U
M131 10 6 1 1 PM W=1U L=0.1U
M132 10 7 1 1 PM W=1U L=0.1U
M133 10 8 1 1 PM W=1U L=0.1U
M134 10 9 1 1 PM W=1U L=0.1U
M135 10 2 11 11 NM W=1.2U L=0.1U
M136 11 3 12 12 NM W=1.2U L=0.1U
M137 12 4 13 13 NM W=1.2U L=0.1U

```



```
M138 13 5 14 14 NM W=1.2U L=0.1U
M139 14 6 15 15 NM W=1.2U L=0.1U
M140 15 7 16 16 NM W=1.2U L=0.1U
M141 16 8 17 17 NM W=1.2U L=0.1U
M142 17 9 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND8INPUT
```

Gerbang kaskada tersusun atas 2 inverter seri sebanyak 2 pasang transistor PMOS dan NMOS ditunjukkan dalam Gambar 4.22



Gambar 4.22 Gerbang dan Transistor Penyusun Kaskada

Dalam bahasa program *Pspice*, gerbang KASKADA didefinisikan sebagai bahasa *program* berikut:

```
.SUBCKT CASKADA 2 4
VDD 1 0 1.2V
M143 3 2 1 1 PM W=3.6U L=0.1U
M144 3 2 0 0 NM W=3.6U L=0.1U
M145 4 3 1 1 PM W=10.8U L=0.1U
M146 4 3 0 0 NM W=10.8U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS CASKADA
```

4.6 Perhitungan V_{IL} , V_{IH} , V_{OL} , V_{OH} dan Noise Margin Inverter

Noise margin menunjukkan kekebalan relatif sebuah famili logika terhadap noise. Untuk mengetahui *noise margin* rangkaian, maka harus diketahui terlebih dahulu nilai V_{IL} , V_{OH} , V_{IH} , dan V_{OL} pada gerbang logika. Dalam pembahasan Bab 4 ini nilai perhitungan karakteristik alih tegangan yang dihitung pada sebuah gerbang dasar inverter sesuai dengan dasar teori yang ada. Nilai karakteristik alih

tegangan satu gerbang dasar memiliki nilai yang sebanding dengan gerbang penyusun IC keseluruhan.

4.6.1 Analisis Matematis V_{IL} dan V_{OH} Inverter

Nilai V_{IL} merupakan nilai tegangan masukan maksimum yang dapat dinyatakan sebagai logika 0. Persamaan yang digunakan untuk menentukan V_{IL} ditunjukkan dalam Persamaan (2-35).

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1+k_R} \quad (2-35)$$

Dengan mensubstitusikan nilai $k_R = 1$, $V_{DD} = 1,2$ V, $V_{T,n} = 0,34$ V, $V_{T,p} = -0,34$ V, maka didapat fungsi V_{IH} sebagai fungsi V_{out} sebagai berikut:

$$\begin{aligned} V_{IL} &= \frac{2V_{out} + (-0,34) - 1,2 + (1 \times 0,34)}{1+1} \\ V_{IL} &= \frac{2V_{out} - 1,2}{2} \\ V_{IL} &= V_{out} - 0,6 \end{aligned} \quad (4-4)$$

Substitusi Persamaan (4-4) ke dalam Persamaan (2-34), diperoleh:

$$\frac{k_n}{2}(V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2]$$

Dengan $k_n = k_p$, $V_{in} = V_{IL}$, dan $V_{out} = V_{IL} + 0,6$, maka

$$(V_{in} - V_{T,n})^2 = [2(V_{in} - V_{DD} - V_{T,p})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2]$$

$$(V_{out} - 0,6 - 0,34)^2 = [2(V_{out} - 0,6 - 1,2 + 0,34)(V_{out} - 1,2) - (V_{out} - 1,2)^2]$$

$$(V_{out} - 0,94)^2 = [2(V_{out} - 1,46)(V_{out} - 1,2) - (V_{out} - 1,2)^2]$$

$$(V_{out}^2 - 1,88V_{out} + 0,8836)$$

$$= [(2V_{out}^2 - 5,32V_{out} + 3,504) - (V_{out}^2 - 2,4V_{out} + 1,44)]$$

$$(V_{out}^2 - 1,88V_{out} + 0,8836) = (V_{out}^2 - 2,92V_{out} + 2,064)$$

$$1,04V_{out} = 1,1804$$

$$V_{out} = 1,135V$$

Maka nilai $V_{IL} = 1,135 - 0,6 = 0,535$ V.

Jadi, tegangan keluaran minimum yang dapat dinyatakan sebagai logika 1 (V_{OH}) adalah 1,135 V.

4.6.2 Analisis Matematis V_{IH} dan V_{OL} Inverter

Nilai V_{IH} merupakan nilai tegangan masukan minimum yang dapat dinyatakan sebagai logika 1. Persamaan yang digunakan untuk menentukan V_{IH} seperti dalam Persamaan (2-37)

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R(2V_{out} + V_{T,n})}{1+k_R} \quad (2-37)$$

Dengan mensubstitusikan nilai $k_R = 1$, $V_{DD} = 1,2$ V, $V_{T,n} = 0,34$ V, $V_{T,p} = -0,34$ V, maka didapat fungsi V_{IH} sebagai fungsi V_{out} sebagai berikut:

$$\begin{aligned} V_{IH} &= \frac{1,2 + (-0,34) + 1(2V_{out} + 0,34)}{1+1} \\ V_{IH} &= \frac{2V_{out} + 1,2}{2} \\ V_{IH} &= V_{out} + 0,6 \end{aligned} \quad (4-5)$$

Substitusi Persamaan (4-5) ke dalam Persamaan (2-44) maka diperoleh:

$$\frac{k_n}{2} [2(V_{in} - V_{T,n})V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (2-36)$$

Dengan $k_n = k_p$, $V_{in} = V_{IH}$, $V_{DD} = 1,2$, $V_{T,n} = 0,34$ V, $V_{T,p} = -0,34$ V maka,

$$\begin{aligned} [2(V_{IH} - V_{T,n})V_{out} - V_{out}^2] &= (V_{IH} - V_{DD} - V_{T,p})^2 \\ [2(V_{out} + 0,6 - 0,34)V_{out} - V_{out}^2] &= (V_{out} + 0,6 - 1,2 + 0,34)^2 \\ [(2V_{out} + 0,52)V_{out} - V_{out}^2] &= (V_{out} - 0,26)^2 \\ 0,52V_{out} - V_{out}^2 &= V_{out}^2 - 0,52V_{out} + 0,0676 \\ 1,04V_{out} &= 0,0676 \\ V_{out} &= 0,065V \end{aligned}$$

Maka nilai $V_{IH} = 0,065 + 0,6 = 0,665$ V.

Jadi, tegangan keluaran maksimum yang dinyatakan sebagai logika 0 adalah 0,065 V

4.6.3 Analisis Matematis V_{th}

Tegangan *threshold switching* terjadi pada saat $V_{in}=V_{out}=V_{th}$ yang ditentukan dari Persamaan (2-9) dan mensubstitusi nilai $k_R = 1$, $V_{DD} = 1,2 \text{ V}$, $V_{T,n} = 0,34 \text{ V}$ dan $V_{T,p} = -0,34 \text{ V}$ diperoleh:

$$V_{th} = \frac{V_{T,n} + (V_{DD} + V_{T,p})\sqrt{\frac{1}{k_n}}}{1 + \sqrt{\frac{1}{k_n}}}$$

$$V_{th} = \frac{0,34 + (1,2 - 0,34)\sqrt{1}}{1 + \sqrt{1}}$$

$$V_{th} = \frac{1,2}{2} = 0,6V \text{ atau } V_{DD}/2$$

4.6.4 Noise Margin

Dari analisis perhitungan untuk satu gerbang dasar inverter, diperoleh nilai V_{IH} , V_{IL} , V_{OH} dan V_{OL} sebagai berikut,

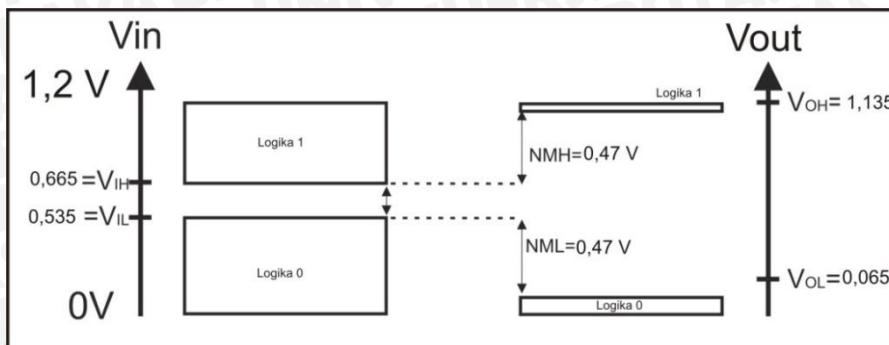
- $V_{OH} = 1,135 \text{ V}$, saat $V_{IL} = 0,535 \text{ V}$
- $V_{OL} = 0,065 \text{ V}$, saat $V_{IH} = 0,665 \text{ V}$

Dari nilai-nilai tersebut dapat diketahui nilai noise margin sesuai dengan Persamaan (2-27) dan (2-28) dan ditunjukkan dalam Gambar 4.14.

- $NM_H = V_{OH} - V_{IH}$
 $NM_H = 1,135 - 0,665 = 0,47 \text{ V}$
- $NM_L = V_{IL} - V_{OL}$
 $NM_L = 0,535 - 0,065 = 0,47 \text{ V}$

Gambar 4.23 menunjukkan *noise margin* hasil perhitungan, *range* tegangan *input* yang dinyatakan sebagai logika LOW adalah 0 V sampai 0,535 V dan *range* tegangan *input* yang dinyatakan sebagai logika HIGH adalah 0,665 V sampai 1,2 V, sedangkan *range* tegangan *output* yang dinyatakan sebagai logika LOW adalah 0 V sampai 0,065V dan *range*

tegangan *output* yang dinyatakan sebagai logika HIGH adalah 1,135 V sampai 1,2 V.



Gambar 4.23 Noise Margin

4.7 Analisis Waktu Tunda Rambatan (*Propagation Delay*) dan Disipasi Daya

Ada 4 karakteristik *propagation delay* IC full adder yaitu;

1. *carry in* (c_0) ke *output* (S_0-S_7),
2. *carry in* (c_0) ke *carry out* (c_8),
3. *input* a dan b (a_0-a_7 dan b_0-b_7) ke *output* (S_0-S_7),
4. *input* a dan b (a_0-a_7 dan b_0-b_7) ke *carry out* (c_8).

Mengacu pada nilai parameter transkonduktansi (K) maka analisis perancangan secara manual menggunakan nilai K yang bervariasi. Namun dalam perancangan ini nilai K yang dipilih adalah nilai yang sudah ditentukan sendiri. Perancangan nilai K ini bertujuan untuk mendapatkan *propagation delay* yang lebih cepat dengan perbandingan K_N/K_P adalah 2,5. Variasi parameter transkonduktansi K diambil nilai $K_N = 40 \mu\text{A}/\text{V}^2$ dan $K_P=16 \mu\text{A}/\text{V}^2$ dan dengan menggunakan Persamaan (2-16), (2-17) dan (2-18) diperoleh nilai;

$$t_{PLH} = \frac{0,8C}{\frac{1}{2}\mu_P C_{OX} \left(\frac{W}{L}\right)_P V_{DD}} \quad (2-16)$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2}\mu_N C_{OX} \left(\frac{W}{L}\right)_N V_{DD}} \quad (2-17)$$

$$t_{PD} = \frac{t_{PLH} + t_{PHL}}{2} \quad (2-18)$$

- Untuk Variasi nilai $K_N = 40 \mu\text{A}/\text{V}^2$, $K_P = 16 \mu\text{A}/\text{V}^2$, dan nilai beban $C_L = 0,5 \text{ pF}$

➤ Untuk $C = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \times \left(\frac{10}{1}\right) \times 1,2} = 4,166 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \times \left(\frac{10}{1}\right) \times 1,2} = 1,666 \text{ ns}$$

$$\text{Rise time, } t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 4,166 \text{ ns} = 8,332 \text{ ns}$$

$$\text{Fall time, } t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 1,666 = 3,332 \text{ ns}$$

$$\text{Average Propagation Delay (} t_{PD} \text{)} = \frac{4,166 \text{ ns} + 1,666 \text{ ns}}{2} = 2,916 \text{ ns}$$

4.8 Disipasi Daya

Disipasi daya merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya diperoleh dengan menentukan frekuensi kerja dan sesuai dengan kapasitor yang digunakan. Nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-22). Salah satu parameter yang digunakan untuk menunjukkan ukuran kecepatan dan daya maksimum sebuah gerbang adalah *Power Delay Product* (PDP).

$$PD = C_L \cdot V_{DD}^2 \cdot f \quad (2-22)$$

$$PDP = t_{PD} \cdot PD \quad (2-23)$$

Perencanaan nilai disipasi daya dilakukan dengan membandingkan nilai pada datasheet dan menggunakan variasi frekuensi dan nilai kapasitor $K_N = 40 \mu\text{A}/\text{V}^2$ dan $K_P = 16 \mu\text{A}/\text{V}^2$.

Disipasi daya untuk nilai frekuensi 1 MHz adalah:

Untuk $C = 0,5 \text{ pF}$, $t_{PD} = 2,916 \text{ ns}$

$$PD = 0,5 \times 10^{-12} \times 1,2^2 \times 1 \times 10^6 = 0,72 \times 10^{-6} = 0,72 \mu\text{W}, \text{ dan}$$

$$PDP = 2,916 \times 10^{-9} \times 0,72 \times 10^{-6} = 2,099 \times 10^{-15} = 13,95 \text{ fJ}$$

Jadi disipasi daya yang diserap untuk 1 inverter sebesar $0,72 \mu\text{W}$.

BAB V

SIMULASI DAN PEMBUATAN LAYOUT

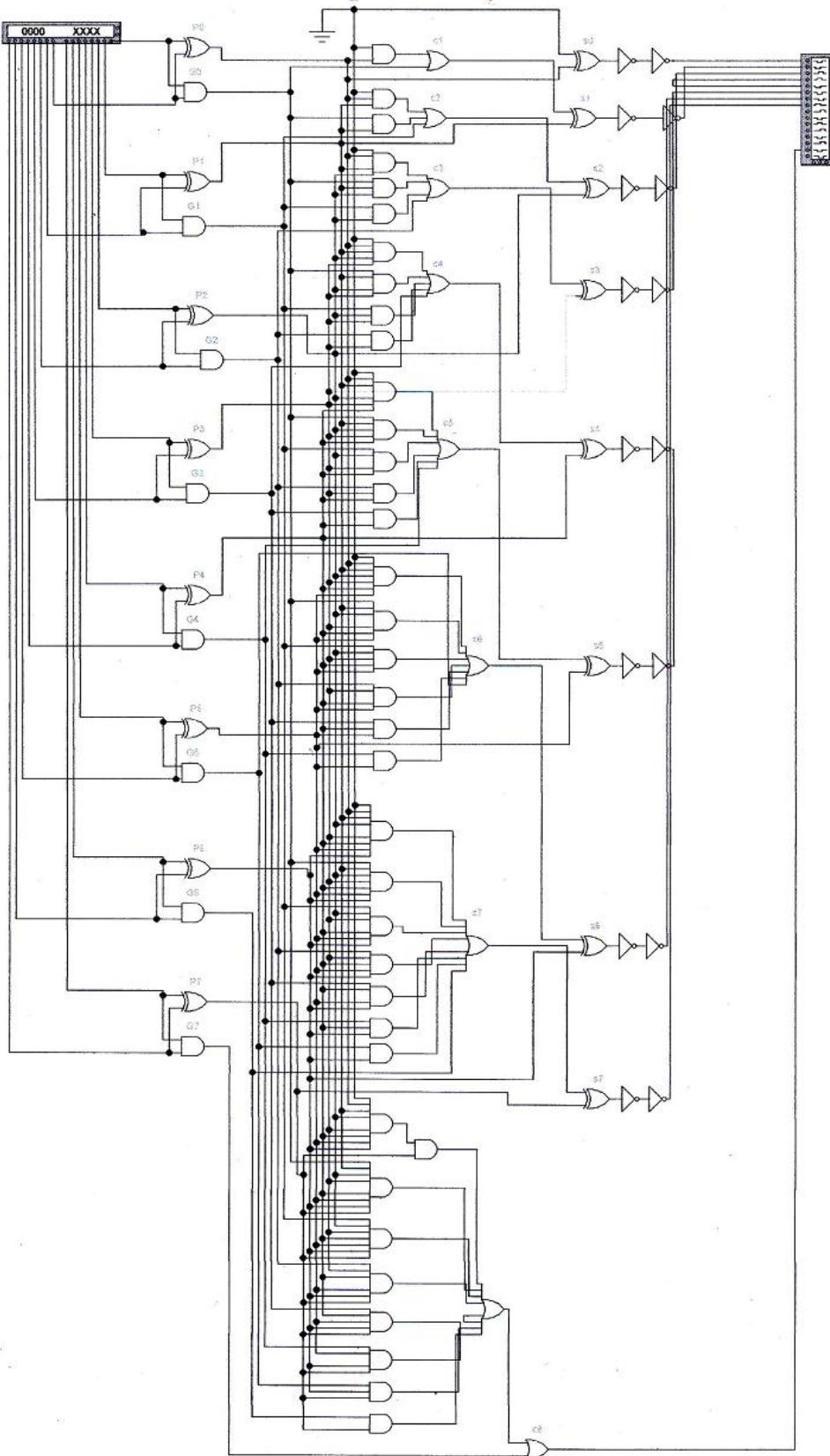
Bab ini membahas tentang simulasi dan pembuatan *layout* IC *full adder* 8-bit masukan. Dibutuhkan pembuktian dari hasil perancangan yang telah dilakukan pada bab IV.

Proses simulasi yang dilakukan adalah simulasi rangkaian *full adder* 8 bit masukan yang dibuat dalam program dsch, simulasi alih tegangan (VTC) untuk mengetahui besarnya nilai V_{IL} , V_{IH} , V_{OL} , V_{OH} , serta *noise margin* dengan menggunakan perangkat lunak Pspice. Simulasi yang dilakukan adalah menggunakan analisis DC. Proses simulasi selanjutnya adalah simulasi *propagation delay* untuk mengetahui besarnya nilai t_{PHL} , t_{PLH} , t_f dan t_r . Simulasi dilakukan dengan menggunakan variasi frekuensi sinyal.

Pada pemrograman *Pspice* terdapat 3 macam level, yaitu level 1, level 2, dan level 3. Pemilihan level yang digunakan sesuai dengan kebutuhan pengguna *Pspice*. Pada simulasi ini dipilih level 1 karena pada level ini model yang digunakan sederhana dan kondisi ideal.

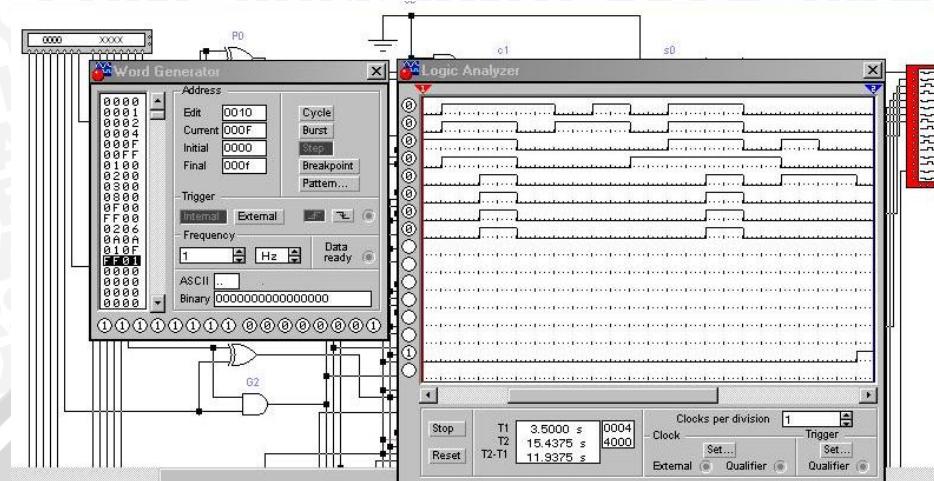
5.1 Simulasi Rangkaian *Full Adder* 8 Bit Masukan

Pengujian rangkaian *full adder* penting dilakukan untuk mengetahui kebenaran rangkaian yang telah dirancang dengan metode yang ada. Pada bab sebelumnya dibahas perancangan *full adder* 8 bit masukan dengan menggunakan persamaan yang dijabarkan dalam sub bab 4.2 ditunjukkan dalam Gambar 5.1 yang dibuat menggunakan program EWB (*Electronics Workbench*). Simulasi kebenaran rangkaian dilakukan dengan cara setiap *input* a dan b dihubungkan dengan tool *Word Generator* yang berfungsi member catu tegangan sekaligus level logika yang dinyatakan dalam bilangan heksa yang mampu mencatu masukan sebanyak 16 bit, serta *output* dihubungkan dengan tool *Logic Analyzer* yang berfungsi menampilkan bitkeluaran dalam bentuk logika 1 dan 0 (bit). Tabel kebenaran antara *input* (a_0-a_7 , b_0-b_7) dan *output* (s_0-s_7) dengan mengambil beberapa nilai masukan penjumlahan 8 bit ditunjukkan dalam Tabel 5.1.



Gambar 5.1 Simulasi Rangkaian Gerbang Logika Full Adder 8 Bit Masukan

Hasil pengujian beberapa penjumlahan bilangan dari masukan *Word Generator* dan keluaran *Logic Analyzer* ditunjukkan dalam Gambar 5.2



Gambar 5.2 Pengujian *Input-Output* dan *Carry Out*

Dalam pengujian nilai yang diambil sebagai masukan acak dan dimasukkan dalam *Word Generator* dalam kode bilangan heksadesimal.

Tabel 5.1 Daftar Pengujian *Input, Output* dan *Carry Out* Full Adder 8 bit Masukan

$a_7a_6a_5a_4a_3a_2a_1a_0$ heksadesimal	$b_7b_6b_5b_4b_3b_2b_1b_0$ heksadesimal	$s_7s_6s_5s_4s_3s_2s_1s_0$ biner	c_8 (Carry out)
desimal	desimal	desimal	
00	00	0000 0000	0
00	01	0000 0001	0
00	02	0000 0010	0
00	04	0000 0100	0
00	0F	0000 1111	0
00	FF	1111 1111	0
01	00	0000 0001	1
02	00	0000 0010	0
03	00	0000 0011	0
08	00	0000 1000	0
0F	00	0000 1111	0
FF	00	1111 1111	0
02	06	0000 1000	0
0A	10	0001 0100	0



01	1	0F	15	0001 0000	16	0
11	17	07	7	0001 1000	24	0
98	152	F0	240	0000 1000	8	1
49	73	0A	10	0101 0011	83	0
01	1	09	9	0000 1010	10	0
05	5	08	8	0000 1101	13	0
03	3	0F	15	0001 0010	18	0
DD	221	AC	172	1000 1001	137	1
83	131	9F	159	0010 0010	34	1
20	32	18	24	0011 1000	56	0
D4	212	67	103	0011 1011	59	1
22	34	8F	143	1011 0001	177	0
AB	171	CD	205	0111 1000	60	1
13	19	43	67	0101 0110	86	0
FF	255	5F	95	0101 1110	46	1
FF	255	A0	160	1001 1111	79	1
AA	170	0F	15	1011 1001	185	0
FF	255	01	1	0000 0000	0	1

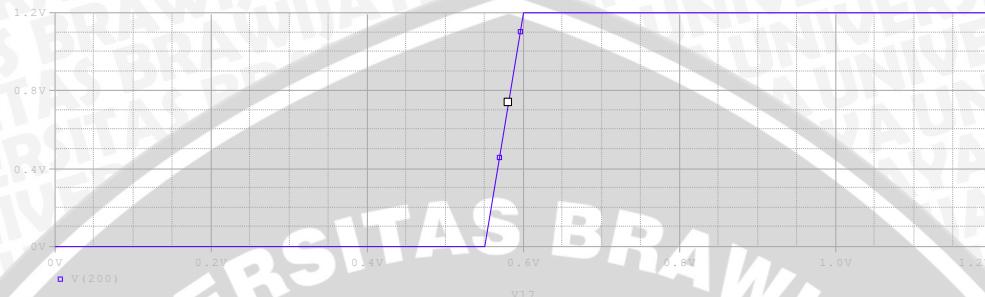
5.2 Simulasi Karakteristik Alih Tegangan (VTC)

Simulasi alih tegangan dilakukan dengan memberikan tegangan catu yang berupa tegangan DC 1,2 V pada *input* dan *carry in* (c_0). Pada saat simulasi ini rangkaian diuji dengan menggunakan beban kapasitor (C_L) 15 pF yang hanya berfungsi untuk mengetahui respon waktu. Sedangkan variasi beban kapasitor yang lain tidak diberikan karena memiliki hasil VTC yang sama. Dengan menggunakan *listing* program yang benar dan sesuai dengan perancangan, dapat menampilkan grafik VTC sesuai dengan kondisi yang diharapkan. Listing program dapat dilihat pada lembar Lampiran VTC.

Perlakuan yang diberikan untuk menguji karakteristik alih tegangan pada IC *full adder* yaitu:

1. Karakteristik alih tegangan dari *carry in* (c_0) ke *carry out* (c_8)

Dengan memberikan tegangan *carry in* (c_0) berupa tegangan V_{ramp} 0 sampai 1,2 V, tegangan *input* a_0-a_7 bertegangan 0 V, *input* b_0-b_7 bertegangan 1,2 V, dan C_L 15pF diperoleh respons tegangan untuk c_8 seperti ditunjukkan dalam Gambar 5.3.



Gambar 5.3 Grafik Alih Tegangan *Carry In* (c_0) to *Carry Out* (c_8)

Grafik dalam Gambar 5.3 menunjukkan nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} sebagai berikut :

$$V_{OH} = 1,2 \text{ V}$$

$$V_{IL} = 0,55 \text{ V}$$

$$V_{IH} = 0,6 \text{ V}$$

$$V_{OL} = 0 \text{ V}$$

Maka diperoleh NM_H (*noise margin* batasan logika tinggi) dan NM_L (*noise margin* batasan logika rendah);

$$NM_H = V_{OH} - V_{IH}$$

$$NM_H = 1,2 - 0,6 = 0,6 \text{ V}$$

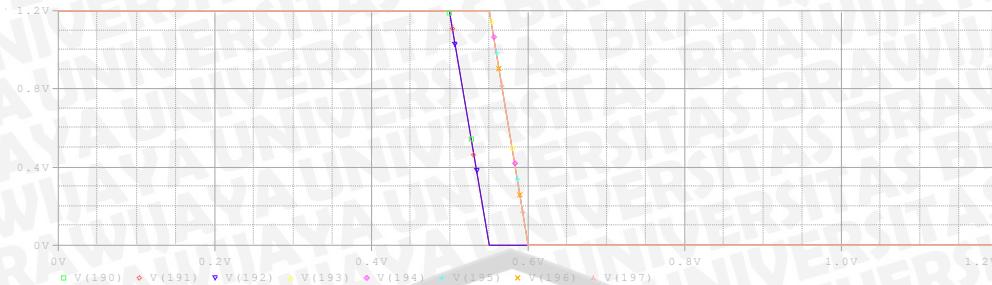
$$NM_L = V_{IL} - V_{OL}$$

$$NM_L = 0,55 - 0 = 0,55 \text{ V}$$

2. Karakteristik alih tegangan dari *carry in* (c_0) ke *output* (s_0-s_7)

Dengan memberikan tegangan *carry in* (c_0) berupa tegangan V_{ramp} 0 sampai 1,2 V, tegangan *input* a_0-a_7 bertegangan 0 V, *input* b_0-b_7 bertegangan 1,2 V dan C_L 15pF diperoleh respons tegangan untuk *output* s_0 dan s_5 seperti ditunjukkan dalam Gambar 5.4.





Gambar 5.4 Grafik Alih Tegangan *Carry In* (c_0) to *Output*

Grafik dalam Gambar 5.4 menunjukkan nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} sebagai berikut :

$$V_{OH} = 1,2 \text{ V} \quad V_{IL}(s_0) = 0,5 \text{ V} \text{ dan } V_{IL}(s_5) = 0,55 \text{ V}$$

$$V_{IH}(s_0) = 0,55 \text{ V} \text{ dan } V_{IH}(s_5) = 0,6 \text{ V} \quad V_{OL} = 0 \text{ V}$$

Maka diperoleh NM_H (*noise margin* batasan logika tinggi) dan NM_L (*noise margin* batasan logika rendah) untuk *output* s_5 ;

$$NM_H = V_{OH} - V_{IH}$$

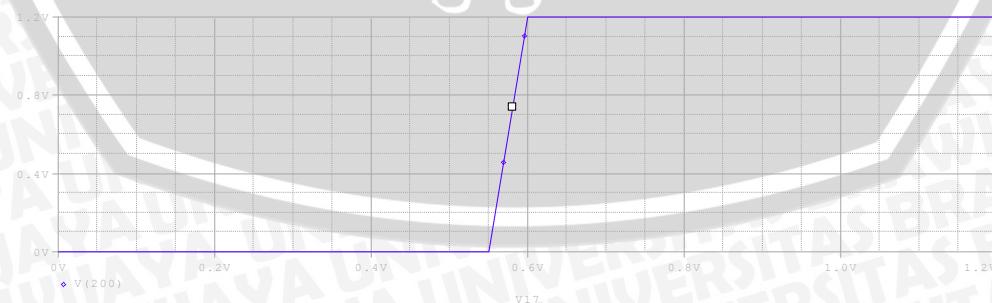
$$NM_H = 1,2 - 0,6 = 0,6 \text{ V}$$

$$NM_L = V_{IL} - V_{OL}$$

$$NM_L = 0,55 - 0 = 0,55 \text{ V}$$

3. Karakteristik alih tegangan dari *input* (a_0-a_7, b_0-b_7) ke *carry out* (c_8)

Untuk mengetahui respons alih tegangan dari *input* ke *carry out* maka diberikan perlakuan untuk setiap *input* b_0-b_7 bertegangan 1,2 V, *input* a_0-a_7 bertegangan 0 V kecuali masukan a_0 dengan V_{ramp} 0 sampai 1,2 V, dan *carry in* 0 V dan C_L 15pF diperoleh respon tegangan untuk *carry out* (c_8) seperti ditunjukkan dalam Gambar 5.5.



Gambar 5.5 Grafik Alih Tegangan *Input* to *Carry Out* (c_8)

Grafik dalam Gambar 5.3 menunjukkan nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} sebagai berikut :



$$V_{OH} = 1,2 \text{ V}$$

$$V_{IH} = 0,6 \text{ V}$$

$$V_{IL} = 0,55 \text{ V}$$

$$V_{OL} = 0 \text{ V}$$

Maka diperoleh NM_H (*noise margin* batasan logika tinggi) dan NM_L (*noise margin* batasan logika rendah);

$$NM_H = V_{OH} - V_{IH}$$

$$NM_H = 1,2 - 0,6 = 0,6 \text{ V}$$

$$NM_L = V_{IL} - V_{OL}$$

$$NM_L = 0,55 - 0 = 0,55 \text{ V}$$

4. Karakteristik alih tegangan dari *input* (a_0-a_7, b_0-b_7) ke *output* (s_0-s_7)

Untuk mengetahui respons alih tegangan dari *input* ke *carry out* maka diberikan perlakuan untuk setiap *input* b_0-b_7 bertegangan 1,2 V, *input* a_0-a_7 bertegangan 0 V kecuali masukan a_0 dengan V_{ramp} 0 sampai 1,2 V, dan *carry in* 0 V dan C_L 15pF diperoleh respon tegangan untuk *output* s_0 dan s_5 seperti ditunjukkan dalam Gambar 5.6.



Gambar 5.6 Grafik Alih Tegangan *Input to Output*

Grafik dalam Gambar 5.6 menunjukkan nilai V_{IL} , V_{IH} , V_{OL} dan V_{OH} sebagai berikut :

$$V_{OH} = 1,2 \text{ V}$$

$$V_{IL}(s_0) = 0,5 \text{ V} \text{ dan } V_{IL}(s_5) = 0,55 \text{ V}$$

$$V_{IH}(s_0) = 0,55 \text{ V} \text{ dan } V_{IH}(s_5) = 0,6 \text{ V} \quad V_{OL} = 0 \text{ V}$$

Maka diperoleh NM_H (*noise margin* batasan logika tinggi) dan NM_L (*noise margin* batasan logika rendah) untuk *output* s_5 ;

$$NM_H = V_{OH} - V_{IH}$$

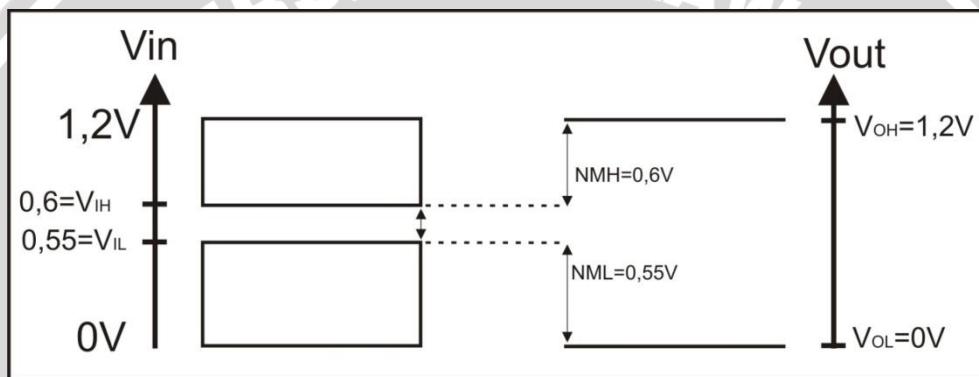
$$NM_H = 1,2 - 0,6 = 0,6 \text{ V}$$

$$NM_L = V_{IL} - V_{OL}$$

$$NM_L = 0,55 - 0 = 0,55 \text{ V}$$



Dari hasil percobaan alih tegangan pada *output* s_0, s_1 dan s_2 memberikan hasil keluaran grafik yang berbeda, dengan nilai $V_{IL}(s_0) = 0,5 \text{ V}$ dan $V_{IH}(s_0) = 0,55 \text{ V}$ dikarenakan tingkat level gerbang logika yang digunakan yang masih sedikit, sedangkan bit keluaran s_3 sampai s_8 level logika yang dilalui semakin banyak dan kebutuhan tegangan tiap gerbang juga semakin meningkat. Nilai C_L sebagai beban yang diberikan di keluaran s_0 sampai s_7 dan c_8 tidak berpengaruh terhadap hasil simulasi karakteristik alih tegangan. Diagram *noise margin* ditunjukkan dalam Gambar 5.7



Gambar 5.7 Noise Margin Hasil Simulasi

Noise margin hasil simulasi dimana tegangan *input* yang dinyatakan sebagai logika LOW adalah $0V - 0,55V$ dan *range* tegangan *input* yang dinyatakan sebagai logika HIGH adalah $0,6 \text{ V} - 1,2 \text{ V}$, sedangkan tegangan *output* yang dinyatakan sebagai logika LOW adalah 0 V dan *range* tegangan *output* yang dinyatakan sebagai logika HIGH adalah $1,2 \text{ V}$. Dengan demikian amplitudo sinyal masukan noise yang diperbolehkan masuk ke rangkaian maksimal $0,55 \text{ V}$. *Noise* diharapkan tidak melampaui kondisi tersebut agar tidak merubah batas logika tinggi dan rendah IC.

5.3 Simulasi Unit Step

Simulasi *unit step* dilakukan untuk mendapatkan nilai *propagation delay*. Masukan yang diberikan berupa gelombang pulsa (*step*). Nilai *Propagation delay* diperoleh dari sinyal *output* yang berupa nilai t_{PLH} , t_{PHL} , *rise time* (t_r) dan *fall time*



(t_f). Dalam simulasi *unit step* diberikan variasi kapasitor pada keluaran untuk mengetahui respon waktu rangkaian yaitu 0,5 pF, 5 pF, 10 pF, 15 pF dan 50 pF. Selain itu digunakan variasi frekuensi yang berbeda yaitu 1 MHz, 5 MHz, 10 MHz, 20 MHz dan 25 MHz. Program dalam Pspice untuk menyatakan frekuensi menggunakan perintah PWL (*Piecewise Linear Source*) dengan menggunakan kata perintah : `Vname N1 N2 PWL(T1 V1 T2 V2 T3 V3 ...)`

Kondisi ideal yang diharapkan dalam simulasi *unit step* ini adalah menghasilkan nilai *propagation delay* yang lebih cepat, V_{OL} mendekati tegangan *ground* (0 V) dan V_{OH} mendekati tegangan catu (1,2 V). Dalam pengujian *unit step* juga terbagi dalam 4 pengujian yaitu :

1. *Unit step* dari *carry in* (c_0) ke *output* (s_0-s_7)
2. *Unit step* dari *carry in* (c_0) ke *carry out* (c_8)
3. *Unit step* dari *input* (a_0-a_7, b_0-b_7) ke *output* (s_0-s_7)
4. *Unit step* dari *input* (a_0-a_7, b_0-b_7) ke *carry out* (c_8)

Dalam penulisan laporan penelitian ini dibahas *unit step* dari *carry in* (c_0) ke *output* (s_0-s_7) dimana *output* yang dipilih adalah bit paling rendah yaitu s_0 dengan memberikan catu tegangan transient pada *carry in* (c_0). Dalam pembacaan nilai t_{PLH} , t_{PHL} , t_r , dan t_f hasil simulasi, nilai tegangan sumbu y yang digunakan untuk melihat nilai waktu tunda yang ditunjukkan di sumbu x sebagai berikut:

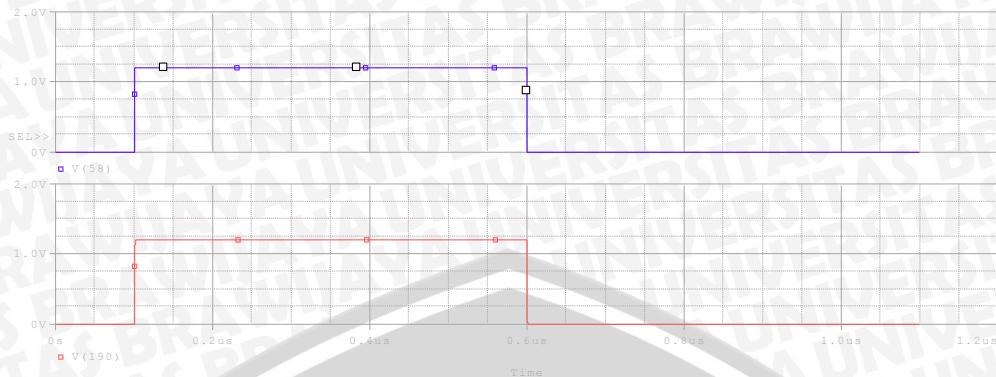
1. Nilai t_{PLH} di V_{in} dan V_{out} , sumbu y yang dibaca pada titik 0,6 V
2. Nilai t_{PHL} di V_{in} dan V_{out} , sumbu y yang dibaca pada titik 0,6 V
3. Nilai t_r , sumbu y yang dibaca pada titik 10% V_{DD} dan 90% V_{DD} yaitu titik 0,12 V dan 1,08 V
4. Nilai t_f , sumbu y yang dibaca pada titik 90% V_{DD} dan 10% V_{DD} yaitu titik 1,08 V dan 1,08 V

5.3.1 Simulasi *Unit Step* dengan $C_L=0,5$ pF

- 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L=0,5$ pF frekuensi 1 MHz. Grafik simulasi *unit step* $C_L=0,5$ pF frekuensi 1 MHz ditunjukkan dalam Gambar 5.8.





Gambar 5.8 Grafik *unit step* IC full adder 8 bit masukan $C_L=0,5$ pF frekuensi 1 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 100,483 - 100,050 = 0,433 \text{ ns} \quad t_r = 101,139 - 100,054 = 1,085 \text{ ns}$$

$$t_{PHL} = 600,226 - 600,050 = 0,176 \text{ ns} \quad t_f = 600,484 - 600,084 = 0,4 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0,433 \text{ ns} + 0,176 \text{ ns}}{2} = 0,3045 \text{ ns}$$

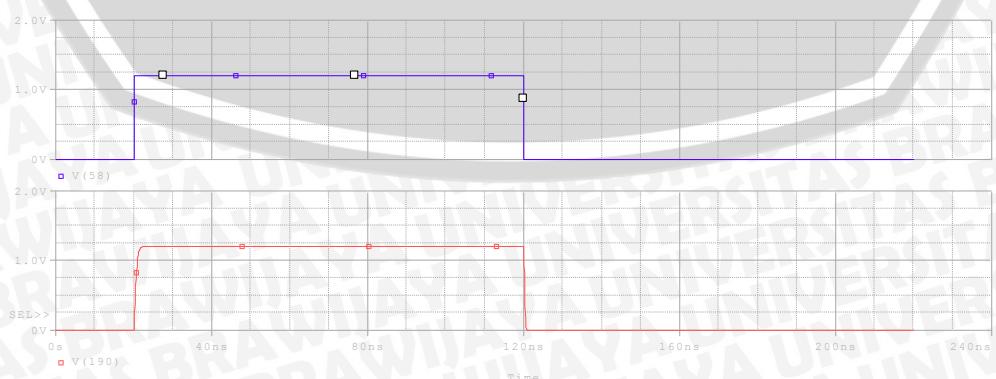
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 1,2^2 \times 10^6 = 0,72 \times 10^{-6} \text{ W} = 0,72 \mu\text{W}$$

$$PDP = t_{PD} PD = 0,3045 \times 10^{-9} \times 0,72 \times 10^{-6} = 0,21924 \times 10^{-15} = 0,21924 fJ$$

2) Frekuensi 5 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L=0,5$ pF frekuensi 5 MHz. Grafik simulasi *unit step* $C_L=0,5$ pF frekuensi 5 MHz ditunjukkan dalam Gambar 5.9.



Gambar 5.9 Grafik *unit step* IC full adder 8 bit masukan $C_L=0,5$ pF frekuensi 5 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 20,483 - 20,050 = 0,433 \text{ ns} \quad t_r = 21,117 - 20,131 = 0,986 \text{ ns}$$

$$t_{PHL} = 120,226 - 120,050 = 0,176 \text{ ns} \quad t_f = 120,484 - 120,083 = 0,401 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0,433 \text{ ns} + 0,176 \text{ ns}}{2} = 0,3045 \text{ ns}$$

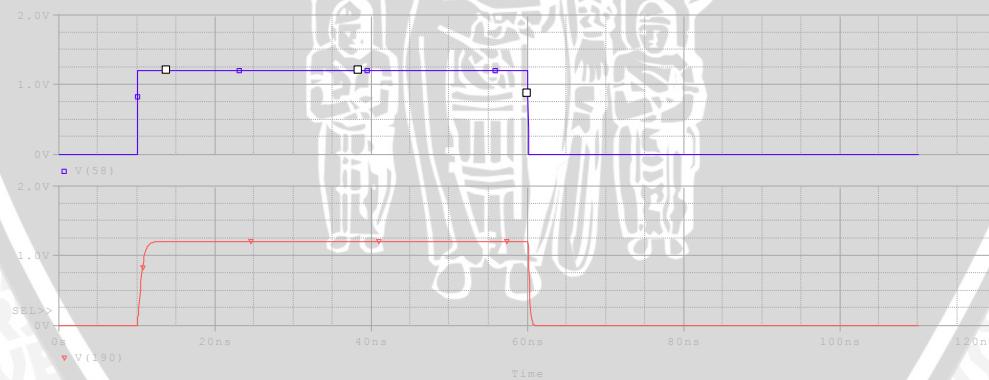
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 1,2^2 \times 5 \times 10^6 = 3,6 \times 10^{-6} \text{ W} = 3,6 \mu\text{W}$$

$$PDP = t_{PD} PD = 0,3045 \times 10^{-9} \times 3,6 \times 10^{-6} = 1,0962 \times 10^{-15} = 1,0962 \text{ fJ}$$

3) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step, listing program unit step* $C_L=0,5 \text{ pF}$ frekuensi 10 MHz. Grafik simulasi *unit step* $C_L=0,5 \text{ pF}$ frekuensi 10 MHz ditunjukkan dalam Gambar 5.10.



Gambar 5.10 Grafik *unit step* IC full adder 8 bit masukan $C_L=0,5 \text{ pF}$ frekuensi 10 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 10,485 - 10,050 = 0,435 \text{ ns} \quad t_r = 11,156 - 10,129 = 1,027 \text{ ns}$$

$$t_{PHL} = 60,226 - 60,050 = 0,176 \text{ ns} \quad t_f = 60,484 - 60,084 = 0,4 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0,435 \text{ ns} + 0,176 \text{ ns}}{2} = 0,3055 \text{ ns}$$

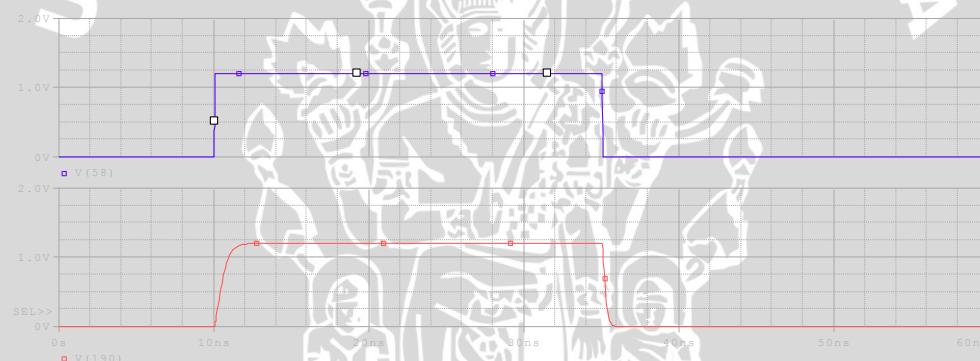
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 1,2^2 \times 10 \times 10^6 = 7,2 \times 10^{-6} \text{ W} = 7,2 \mu\text{W}$$

$$PDP = t_{PD} PD = 0,3055 \times 10^{-9} \times 7,2 \times 10^{-6} = 2,1996 \times 10^{-15} = 2,1996 \text{ fJ}$$

4) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step, listing program unit step* $C_L = 0,5 \text{ pF}$ frekuensi 20 MHz. Grafik simulasi *unit step* $C_L = 0,5 \text{ pF}$ frekuensi 20 MHz ditunjukkan dalam Gambar 5.11.



Gambar 5.11 Grafik *unit step* IC full adder 8 bit masukan $C_L=0,5 \text{ pF}$ frekuensi 20 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 10,483 - 10,050 = 0,433 \text{ ns}$$

$$t_r = 11,115 - 10,130 = 0,985 \text{ ns}$$

$$t_{PHL} = 35,226 - 35,050 = 0,176 \text{ ns}$$

$$t_f = 35,843 - 35,084 = 0,759 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0,433 \text{ ns} + 0,178 \text{ ns}}{2} = 0,3045 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

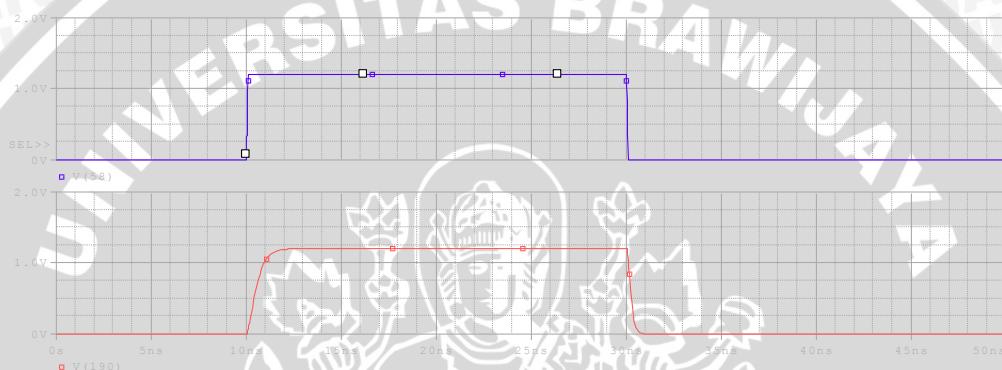


$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 1,2^2 \times 20 \times 10^6 = 14,4 \times 10^{-6} \text{ W} = 14,4 \mu\text{W}$$

$$PDP = t_{PD} PD = 0,3045 \times 10^{-9} \times 14,4 \times 10^{-6} = 4,3848 \times 10^{-15} = 4,3848 f\text{J}$$

5) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step, listing program unit step* $C_L = 0,5 \text{ pF}$ frekuensi 25 MHz. Grafik simulasi *unit step* $C_L = 0,5 \text{ pF}$ frekuensi 25 MHz ditunjukkan dalam Gambar 5.12.



Gambar 5.12 Grafik *unit step* IC full adder 8 bit masukan $C_L=0,5 \text{ pF}$ frekuensi 25 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 10,484 - 10,050 = 0,434 \text{ ns} \quad t_r = 11,115 - 10,130 = 0,985 \text{ ns}$$

$$t_{PHL} = 30,226 - 30,050 = 0,176 \text{ ns} \quad t_f = 30,484 - 30,084 = 0,4 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{0,434 \text{ ns} + 0,176 \text{ ns}}{2} = 0,305 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 1,2^2 \times 25 \times 10^6 = 18 \times 10^{-6} \text{ W} = 18 \mu\text{W}$$

$$PDP = t_{PD} PD = 0,305 \times 10^{-9} \times 18 \times 10^{-6} = 5,49 \times 10^{-15} = 5,49 f\text{J}$$

5.3.2 Simulasi *Unit Step* dengan $C_L=5 \text{ pF}$

1) Frekuensi 1 MHz



Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 5 \text{ pF}$ frekuensi 1 MHz. Grafik simulasi *unit step* $C_L = 5 \text{ pF}$ frekuensi 1 MHz ditunjukkan dalam Gambar 5.13.



Gambar 5.13 Grafik *unit step* IC full adder 8 bit masukan $C_L = 5 \text{ pF}$ frekuensi 1 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 104,411 - 100,050 = 4,361 \text{ ns} \quad t_r = 110,747 - 100,898 = 9,849 \text{ ns}$$

$$t_{PHL} = 601,796 - 600,050 = 1,746 \text{ ns} \quad t_f = 604,328 - 600,385 = 3,943 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{3,934 \text{ ns} + 1,761 \text{ ns}}{2} = 3,0535 \text{ ns}$$

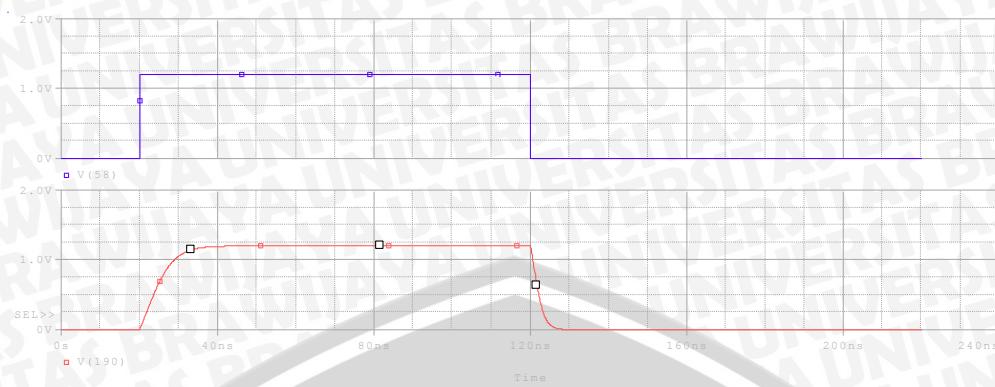
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 1,2^2 \times 1 \times 10^6 = 7,2 \times 10^{-6} \text{ W} = 7,2 \mu\text{W}$$

$$PDP = t_{PD} PD = 2,848 \times 10^{-9} \times 7,2 \times 10^{-6} = 20,505 \times 10^{-15} = 21,9852 \text{ fJ}$$

2) Frekuensi 5 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 5 \text{ pF}$ frekuensi 5 MHz. Grafik simulasi *unit step* $C_L = 5 \text{ pF}$ frekuensi 5 MHz ditunjukkan dalam Gambar 5.14.



Gambar 5.14 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 5 \text{ pF}$ frekuensi 5 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 24,420 - 20,050 = 4,37 \text{ ns} \quad t_r = 30,752 - 20,896 = 9,856 \text{ ns}$$

$$t_{PHL} = 121,787 - 120,050 = 1,737 \text{ ns} \quad t_f = 124,319 - 120,381 = 3,938 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{4,37 \text{ ns} + 1,737 \text{ ns}}{2} = 3,0535 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

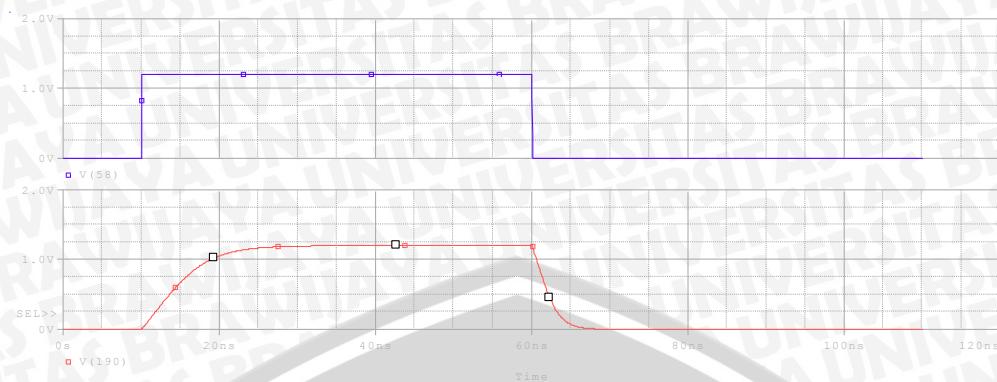
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 1,2^2 \times 5 \times 10^6 = 36 \times 10^{-6} \text{ W} = 36 \mu\text{W}$$

$$PDP = t_{PD} PD = 3,0535 \times 10^{-9} \times 36 \times 10^{-6} = 109,926 \times 10^{-15} =$$

$$109,926 \text{ fJ}$$

3) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 5 \text{ pF}$ frekuensi 10 MHz. Grafik simulasi *unit step* $C_L = 5 \text{ pF}$ frekuensi 10 MHz ditunjukkan dalam Gambar 5.15.



Gambar 5.15 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 5 \text{ pF}$ frekuensi 10 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 14,405 - 10,050 = 4,355 \text{ ns}$$

$$t_r = 20,767 - 10,895 = 9,872 \text{ ns}$$

$$t_{PHL} = 61,795 - 60,050 = 1,745 \text{ ns}$$

$$t_f = 64,328 - 60,386 = 3,942 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{4,355 \text{ ns} + 1,745 \text{ ns}}{2} = 3,05 \text{ ns}$$

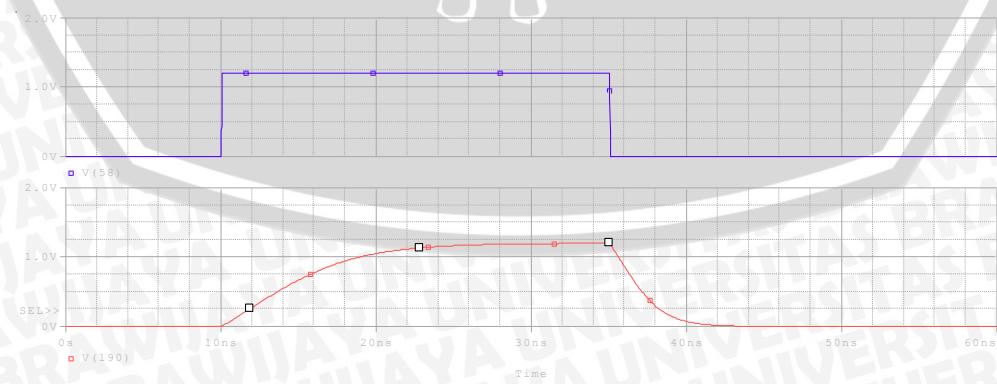
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 1,2^2 \times 10 \times 10^6 = 72 \times 10^{-6} \text{ W} = 72 \mu\text{W}$$

$$PDP = t_{PD} PD = 3,05 \times 10^{-9} \times 72 \times 10^{-6} = 219,6 \times 10^{-15} = 219,6 \text{ fJ}$$

4) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 5 \text{ pF}$ frekuensi 20 MHz. Grafik simulasi *unit step* $C_L = 5 \text{ pF}$ frekuensi 20 MHz ditunjukkan dalam Gambar 5.16.



Gambar 5.16 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 5 \text{ pF}$ frekuensi 20 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan fall time dari grafik tersebut adalah :

$$t_{PLH} = 14,414 - 10,050 = 4,364 \text{ ns}$$

$$t_{PHL} = 36,789 - 35,050 = 1,739 \text{ ns}$$

$$t_r = 20,741 - 10,897 = 9,844 \text{ ns}$$

$$t_f = 39,322 - 35,324 = 3,998 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{4,364 \text{ ns} + 1,739 \text{ ns}}{2} = 3,0515 \text{ ns}$$

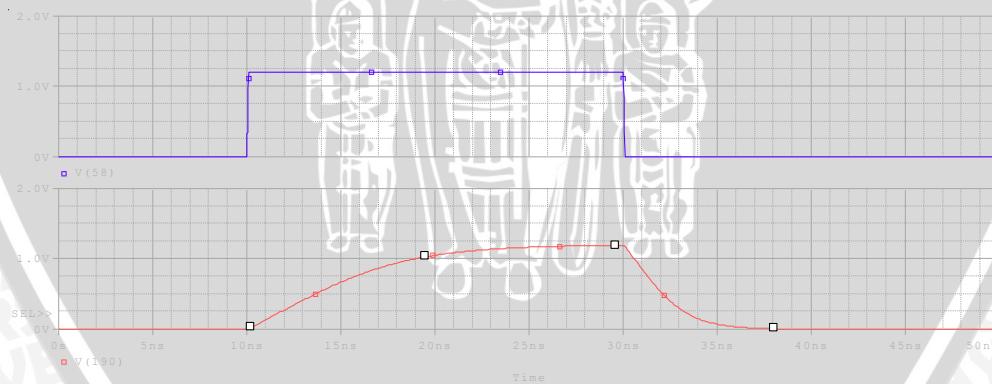
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 1,2^2 \times 20 \times 10^6 = 144 \times 10^{-6} \text{ W} = 144 \mu\text{W}$$

$$PDP = t_{PD} PD = 3,0515 \times 10^{-9} \times 144 \times 10^{-6} = 439,416 \times 10^{-15} = 439,416 \text{ fJ}$$

5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 5 \text{ pF}$ frekuensi 25 MHz. Grafik simulasi *unit step* $C_L = 5 \text{ pF}$ frekuensi 25 MHz ditunjukkan dalam Gambar 5.17.



Gambar 5.17 Grafik *unit step* IC full adder 8 bit masukan $C_L = 5 \text{ pF}$ frekuensi 25 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan fall time dari grafik tersebut adalah :

$$t_{PLH} = 14,404 - 10,050 = 4,354 \text{ ns}$$

$$t_{PHL} = 31,773 - 30,050 = 1,723 \text{ ns}$$

$$t_r = 20,742 - 10,897 = 9,845 \text{ ns}$$

$$t_f = 34,301 - 30,364 = 3,973 \text{ ns}$$



Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{4,354 \text{ ns} + 1,723 \text{ ns}}{2} = 3,0385 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

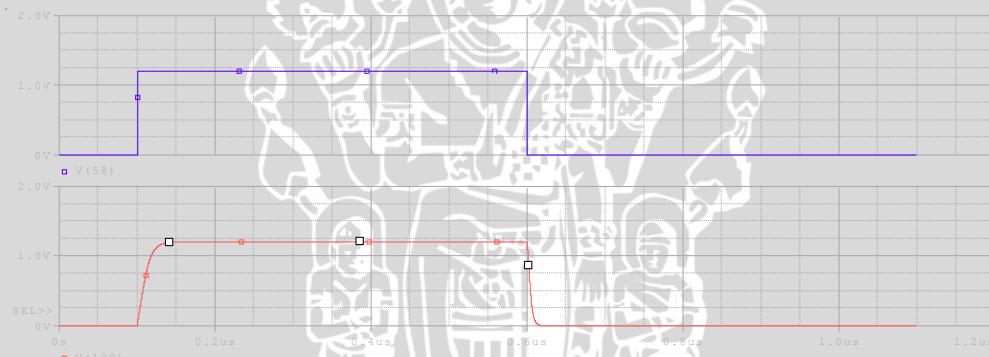
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 1,2^2 \times 25 \times 10^6 = 180 \times 10^{-6} \text{ W} = 180 \mu\text{W}$$

$$PDP = t_{PD} PD = 3,0385 \times 10^{-9} \times 180 \times 10^{-6} = 546,93 \times 10^{-15} = 546,93 \text{ fJ}$$

5.3.3 Simulasi *Unit Step* dengan $C_L=10 \text{ pF}$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L= 10 \text{ pF}$ frekuensi 1 MHz. Grafik simulasi *unit step* $C_L= 10 \text{ pF}$ frekuensi 1 MHz ditunjukkan dalam Gambar 5.18.



Gambar 5.18 Grafik *unit step* IC full adder 8 bit masukan $C_L= 10 \text{ pF}$ frekuensi 1 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 108,766 - 100,050 = 8,716 \text{ ns} \quad t_r = 121,487 - 101,749 = 19,738 \text{ ns}$$

$$t_{PHL} = 603,539 - 600,050 = 3,489 \text{ ns} \quad t_f = 608,591 - 600,728 = 7,863 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{8,716 \text{ ns} + 3,489 \text{ ns}}{2} = 6,1025 \text{ ns}$$

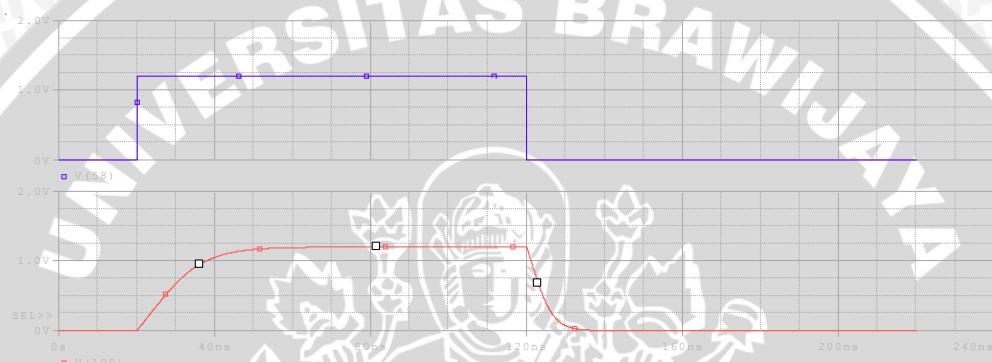
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 1,2^2 \times 1 \times 10^6 = 14,4 \times 10^{-6} W = 14,4 \mu W$$

$$PDP = t_{PD} PD = 6,1025 \times 10^{-9} \times 14,4 \times 10^{-6} = 87,0876 \times 10^{-15} = 87,0876 fJ$$

2) Frekuensi 5 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 10 \text{ pF}$ frekuensi 5 MHz. Grafik simulasi *unit step* $C_L = 10 \text{ pF}$ frekuensi 5 MHz ditunjukkan dalam Gambar 5.19.



Gambar 5.19 Grafik *unit step* IC full adder 8 bit masukan $C_L = 10 \text{ pF}$ frekuensi 5 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 28,722 - 20,050 = 8,672 \text{ ns} \quad t_r = 41,432 - 21,746 = 19,686 \text{ ns}$$

$$t_{PHL} = 123,535 - 120,050 = 3,485 \text{ ns} \quad t_f = 128,586 - 120,725 = 7,861 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{8,672 \text{ ns} + 3,485 \text{ ns}}{2} = 6,0785 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 1,2^2 \times 5 \times 10^6 = 72 \times 10^{-6} W = 72 \mu W$$

$$PDP = t_{PD} PD = 6,0785 \times 10^{-9} \times 72 \times 10^{-6} = 437,652 \times 10^{-15} = 437,652 fJ$$

3) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 10 \text{ pF}$ frekuensi 10 MHz. Grafik simulasi *unit step* $C_L = 10 \text{ pF}$ frekuensi 10 MHz ditunjukkan dalam Gambar 5.20.



Gambar 5.20 Grafik *unit step* IC full adder 8 bit masukan $C_L = 10 \text{ pF}$ frekuensi 10 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 18,779 - 10,050 = 8,729 \text{ ns}$$

$$t_r = 32,452 - 11,732 = 20,72 \text{ ns}$$

$$t_{PHL} = 63,530 - 60,050 = 3,48 \text{ ns}$$

$$t_f = 68,599 - 60,736 = 7,863 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{8,729 \text{ ns} + 3,48 \text{ ns}}{2} = 6,1045 \text{ ns}$$

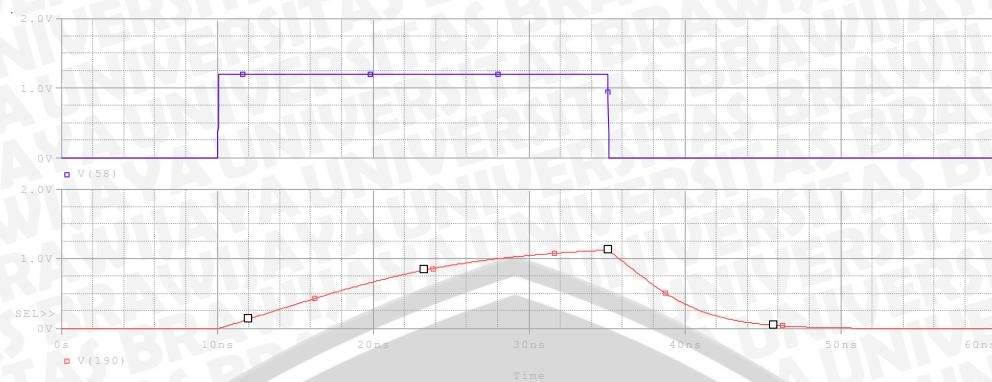
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 1,2^2 \times 10 \times 10^6 = 144 \times 10^{-6} \text{ W} = 144 \mu\text{W}$$

$$PDP = t_{PD} PD = 6,1045 \times 10^{-9} \times 144 \times 10^{-6} = 879,048 \times 10^{-15} = 879,048 fJ$$

4) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 10 \text{ pF}$ frekuensi 20 MHz. Grafik simulasi *unit step* $C_L = 10 \text{ pF}$ frekuensi 20 MHz ditunjukkan dalam Gambar 5.21.



Gambar 5.21 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 10 \text{ pF}$ frekuensi 20 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 18,771 - 10,050 = 8,721 \text{ ns} \quad t_r = 31,434 - 11,743 = 19,691 \text{ ns}$$

$$t_{PHL} = 38,144 - 35,050 = 3,084 \text{ ns} \quad t_f = 43,194 - 35,320 = 7,874 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{8,721 \text{ ns} + 3,084 \text{ ns}}{2} = 5,9075 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

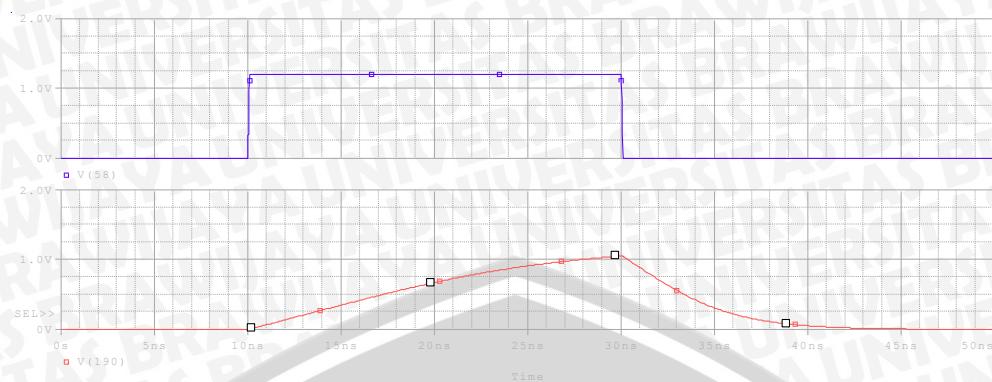
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 1,2^2 \times 20 \times 10^6 = 288 \times 10^{-6} \text{ W} = 288 \mu\text{W}$$

$$PDP = t_{PD} PD = 5,9075 \times 10^{-9} \times 288 \times 10^{-6} = 1.701,36 \times 10^{-15} = 1.701,36 \text{ fJ}$$

5) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 10 \text{ pF}$ frekuensi 25 MHz. Grafik simulasi *unit step* $C_L = 10 \text{ pF}$ frekuensi 25 MHz ditunjukkan dalam Gambar 5.22.





Gambar 5.22 Grafik unit step IC full adder 8 bit masukan $C_L = 10 \text{ pF}$ frekuensi 25 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 18,786 - 10,050 = 8,736 \text{ ns} \quad t_r = 30,03 - 11,745 = 18,285 \text{ ns}$$

$$t_{PHL} = 32,711 - 30,050 = 2,661 \text{ ns} \quad t_f = 37,786 - 30,03 = 7,756 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{8,736 \text{ ns} + 2,661 \text{ ns}}{2} = 5,6985 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

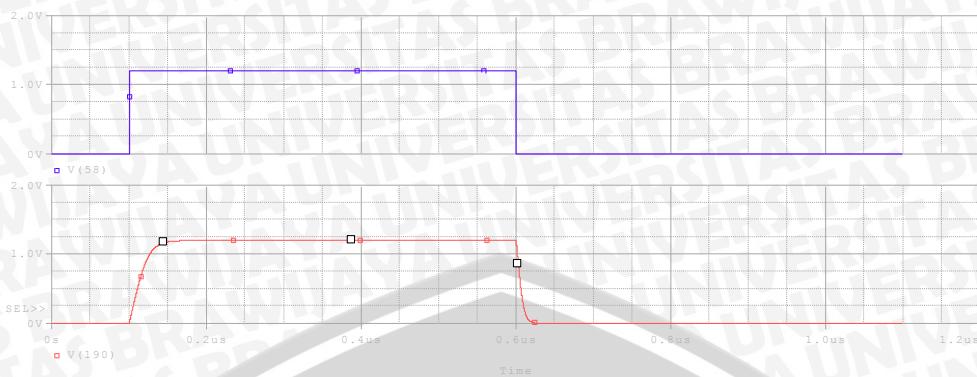
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 1,2^2 \times 25 \times 10^6 = 360 \times 10^{-6} \text{ W} = 360 \mu\text{W}$$

$$PDP = t_{PD} PD = 5,6985 \times 10^{-9} \times 360 \times 10^{-6} = 2.051,46 \times 10^{-15} = 2.051,46 \text{ fJ}$$

5.3.4 Simulasi Unit Step dengan $C_L=15 \text{ pF}$

- 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 15 \text{ pF}$ frekuensi 1 MHz. Grafik simulasi *unit step* $C_L = 15 \text{ pF}$ frekuensi 1 MHz ditunjukkan dalam Gambar 5.23.



Gambar 5.23 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 15 \text{ pF}$ frekuensi 1 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 113,134 - 100,050 = 13,084 \text{ ns} \quad t_r = 132,137 - 102,611 = 29,526 \text{ ns}$$

$$t_{PHL} = 605,286 - 600,050 = 5,218 \text{ ns} \quad t_f = 612,877 - 601,045 = 11,832 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,084 \text{ ns} + 5,218 \text{ ns}}{2} = 9,151 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

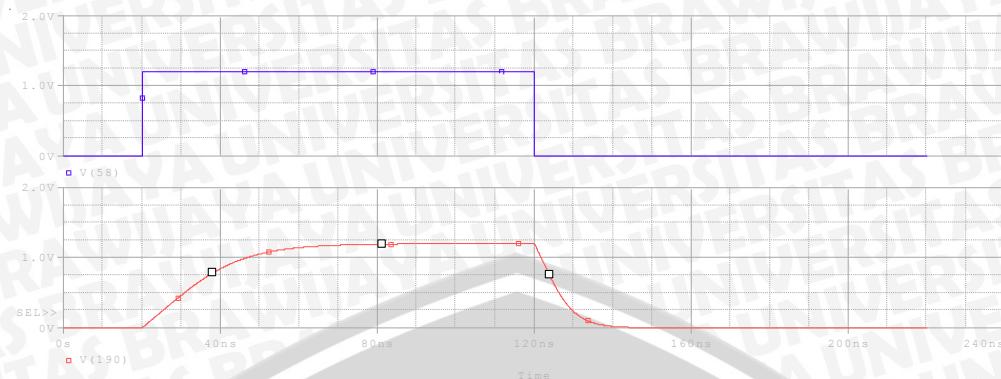
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 1,2^2 \times 1 \times 10^6 = 216 \times 10^{-6} \text{ W} = 21,6 \mu\text{W}$$

$$PDP = t_{PD} PD = 9,151 \times 10^{-9} \times 21,6 \times 10^{-6} = 1.976,616 \times 10^{-15} = 197,66 \text{ fJ}$$

2) Frekuensi 5 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 15 \text{ pF}$ frekuensi 5 MHz. Grafik simulasi *unit step* $C_L = 15 \text{ pF}$ frekuensi 5 MHz ditunjukkan dalam Gambar 5.24.





Gambar 5.24 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 15 \text{ pF}$ frekuensi 5 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 33,152 - 20,050 = 13,102 \text{ ns}$$

$$t_r = 52,149 - 22,602 = 29,547 \text{ ns}$$

$$t_{PHL} = 125,294 - 120,050 = 5,244 \text{ ns}$$

$$t_f = 132,890 - 121,017 = 11,873 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,102 \text{ ns} + 5,244 \text{ ns}}{2} = 9,173 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

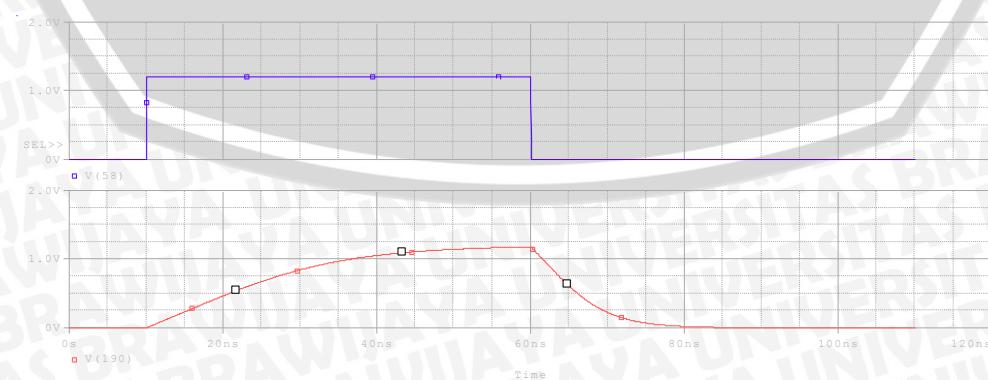
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 1,2^2 \times 5 \times 10^6 = 108 \times 10^{-6} \text{ W} =$$

$$108 \mu\text{W}$$

$$PDP = t_{PD} PD = 9,173 \times 10^{-9} \times 108 \times 10^{-6} = \times 10^{-15} = 990,684 \text{ fJ}$$

3) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 15 \text{ pF}$ frekuensi 10 MHz. Grafik simulasi *unit step* $C_L = 15 \text{ pF}$ frekuensi 10 MHz ditunjukkan dalam Gambar 5.25.



Gambar 5.25 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 15 \text{ pF}$ frekuensi 10 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan fall time dari grafik tersebut adalah :

$$t_{PLH} = 23,137 - 10,050 = 13,087 \text{ ns} \quad t_r = 42,141 - 12,592 = 29,549 \text{ ns}$$

$$t_{PHL} = 65,112 - 60,050 = 5,062 \text{ ns} \quad t_f = 72,711 - 60,888 = 11,823 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,087 \text{ ns} + 5,062 \text{ ns}}{2} = 9,0745 \text{ ns}$$

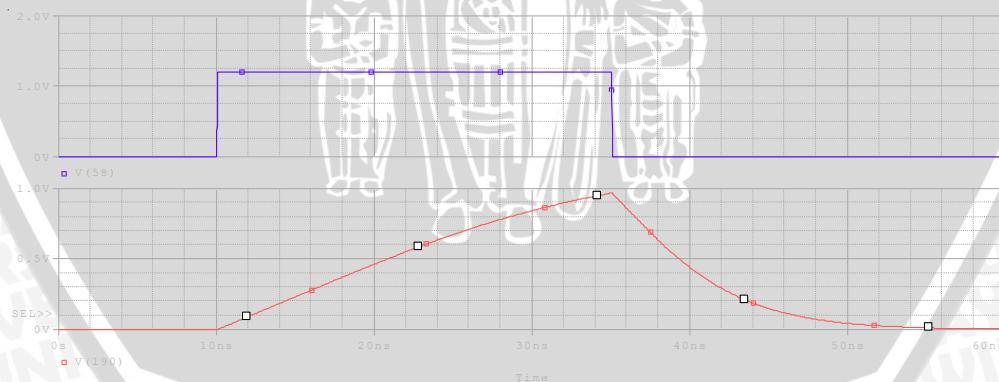
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 1,2^2 \times 10 \times 10^6 = 216 \times 10^{-6} \text{ W} = 216 \mu\text{W}$$

$$PDP = t_{PD} PD = 9,0745 \times 10^{-9} \times 2160 \times 10^{-6} = 1.960,092 \times 10^{-15} = 1.960,092 \text{ fJ}$$

4) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 15 \text{ pF}$ frekuensi 20 MHz. Grafik simulasi *unit step* $C_L = 15 \text{ pF}$ frekuensi 20 MHz ditunjukkan dalam Gambar 5.26.



Gambar 5.26 Grafik *unit step* IC full adder 8 bit masukan $C_L = 15 \text{ pF}$ frekuensi 20 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan fall time dari grafik tersebut adalah :

$$t_{PLH} = 23,137 - 10,050 = 13,087 \text{ ns} \quad t_r = 35,043 - 12,589 = 22,454 \text{ ns}$$



$$t_{PLH} = 38,322 - 35,050 = 3,272 \text{ ns} \quad t_f = 45,919 - 35,043 = 10,876 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,087 \text{ ns} + 3,272 \text{ ns}}{2} = 8,1795 \text{ ns}$$

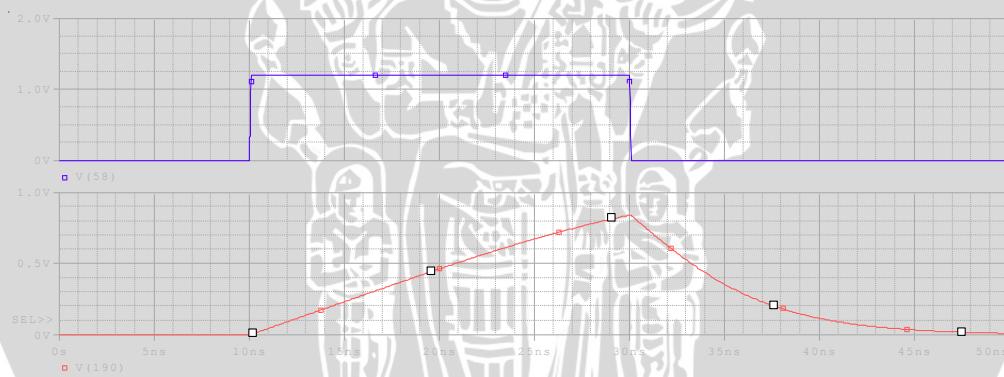
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 1,2^2 \times 20 \times 10^6 = 432 \times 10^{-6} \text{ W} = 432 \mu\text{W}$$

$$PDP = t_{PD} PD = 8,1795 \times 10^{-9} \times 432 \times 10^{-6} = 3.533,544 \times 10^{-15} = 3.533,544 \text{ fJ}$$

5) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 15 \text{ pF}$ frekuensi 25 MHz. Grafik simulasi *unit step* $C_L = 15 \text{ pF}$ frekuensi 25 MHz ditunjukkan dalam Gambar 5.27.



Gambar 5.27 Grafik *unit step* IC full adder 8 bit masukan $C_L = 15 \text{ pF}$ frekuensi 25 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 23,136 - 10,050 = 13,086 \text{ ns} \quad t_r = 30,056 - 12,590 = 17,466 \text{ ns}$$

$$t_{PHL} = 32,260 - 30,050 = 2,21 \text{ ns} \quad t_f = 39,859 - 30,056 = 9,803 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,086 \text{ ns} + 2,21 \text{ ns}}{2} = 7,648 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

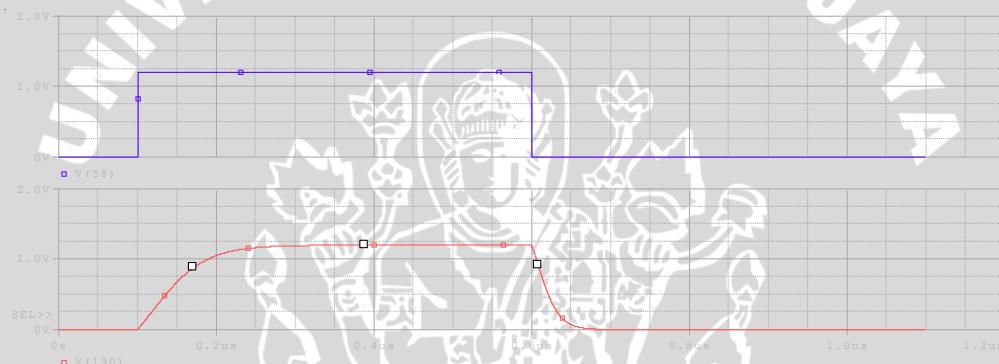
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 1,2^2 \times 25 \times 10^6 = 540 \times 10^{-6} W = 540 \mu W$$

$$PDP = t_{PD} PD = 7,648 \times 10^{-9} \times 540 \times 10^{-6} = 4.129,92 \times 10^{-15} = 4.129,92 fJ$$

5.3.5 Simulasi Unit Step dengan $C_L=50$ pF

- 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L= 50$ pF frekuensi 1 MHz. Grafik simulasi *unit step* $C_L= 50$ pF frekuensi 1 MHz ditunjukkan dalam Gambar 5.28.



Gambar 5.28 Grafik *unit step* IC full adder 8 bit masukan $C_L= 50$ pF frekuensi 1 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 143,911 - 100,050 = 43,861 \text{ ns} \quad t_r = 207,212 - 108,611 = 98,601 \text{ ns}$$

$$t_{PHL} = 617,520 - 600,050 = 17,47 \text{ ns} \quad t_f = 642,920 - 603,420 = 39,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{\text{ns} + \text{ns}}{2} = 30,6655 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

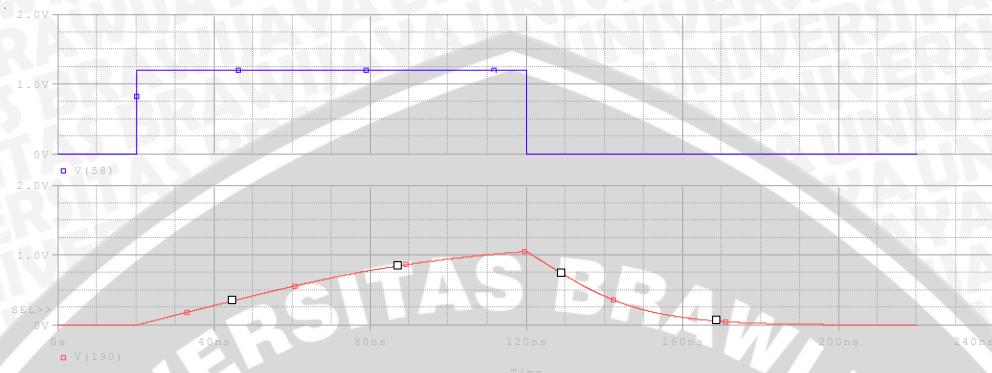
$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 1,2^2 \times 1 \times 10^6 = 72 \times 10^{-6} W = 72 \mu W$$

$$PDP = t_{PD} PD = \times 10^{-9} \times 72 \times 10^{-6} = \times 10^{-15} = 2.207,916 \text{ fJ}$$



2) Frekuensi 5 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 50 \text{ pF}$ frekuensi 5 MHz. Grafik simulasi *unit step* $C_L = 50 \text{ pF}$ frekuensi 5 MHz ditunjukkan dalam Gambar 5.29.



Gambar 5.29 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 50 \text{ pF}$ frekuensi 5 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$\begin{aligned} t_{PLH} &= 63,611 - 20,050 = 43,561 \text{ ns} & t_r &= 119,912 - 28,481 = 91,431 \text{ ns} \\ t_{PHL} &= 133,329 - 120,050 = 13,279 \text{ ns} & t_f &= 158,620 - 119,912 = 38,708 \text{ ns} \end{aligned}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{\text{ns} + \text{ns}}{2} = 28,42 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

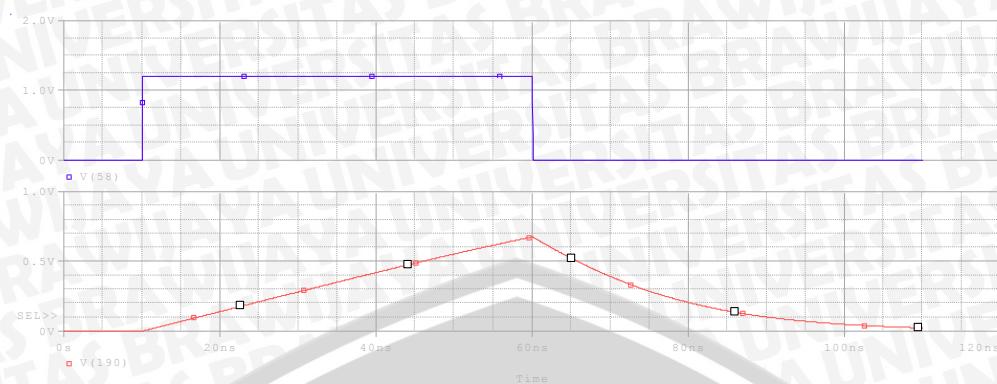
$$\begin{aligned} PD &= C_L V_{DD}^2 f = 50 \times 10^{-12} \times 1,2^2 \times 5 \times 10^6 = 360 \times 10^{-6} \text{ W} = \\ &360 \mu\text{W} \end{aligned}$$

$$PDP = t_{PD} PD = \times 10^{-9} \times 360 \times 10^{-6} = \times 10^{-15} = 10.231,2 \text{ fJ}$$

3) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran Unit Step, *listing program unit step* $C_L = 50 \text{ pF}$ frekuensi 10 MHz. Grafik simulasi *unit step* $C_L = 50 \text{ pF}$ frekuensi 10 MHz ditunjukkan dalam Gambar 5.30.





Gambar 5.30 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 50 \text{ pF}$ frekuensi 10 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 53,686 - 10,050 = 43,636 \text{ ns}$$

$$t_r = 60,032 - 18,533 = 41,499 \text{ ns}$$

$$t_{PHL} = 62,436 - 60,050 = 2,386 \text{ ns}$$

$$t_f = 87,760 - 60,032 = 27,728 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{43,636 \text{ ns} + 2,386 \text{ ns}}{2} = 23,011 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

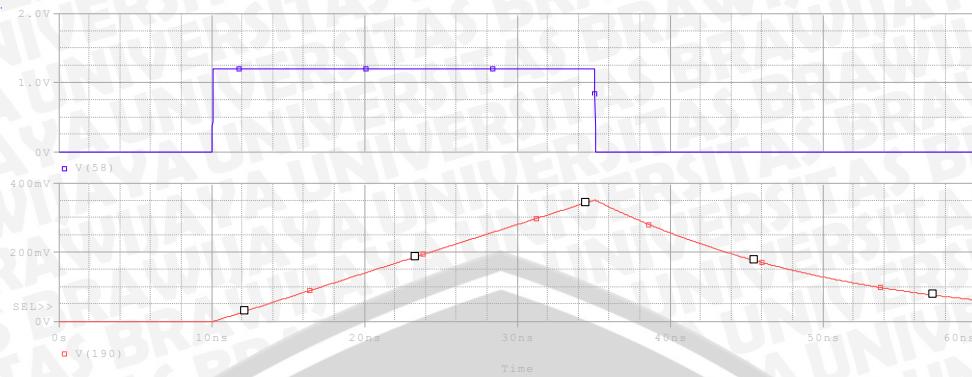
$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 1,2^2 \times 10 \times 10^6 = 720 \times 10^{-6} \text{ W} = 720 \mu\text{W}$$

$$PDP = t_{PD} PD = 23,011 \times 10^{-9} \times 720 \times 10^{-6} = 16.567,92 \times 10^{-15} = 16.567,92 \text{ fJ}$$

4) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 50 \text{ pF}$ frekuensi 20 MHz. Grafik simulasi *unit step* $C_L = 50 \text{ pF}$ frekuensi 20 MHz ditunjukkan dalam Gambar 5.31.





Gambar 5.31 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 50 \text{ pF}$ frekuensi 20 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 23,810 - 10,049 = 13,761 \text{ ns} \quad t_r = 31,157 - 16,385 = 14,772 \text{ ns}$$

$$t_{PHL} = 45,986 - 35,048 = 10,938 \text{ ns} \quad t_f = 53,674 - 38,503 = 15,171 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{13,761 \text{ ns} + 10,938 \text{ ns}}{2} = 12,3495 \text{ ns}$$

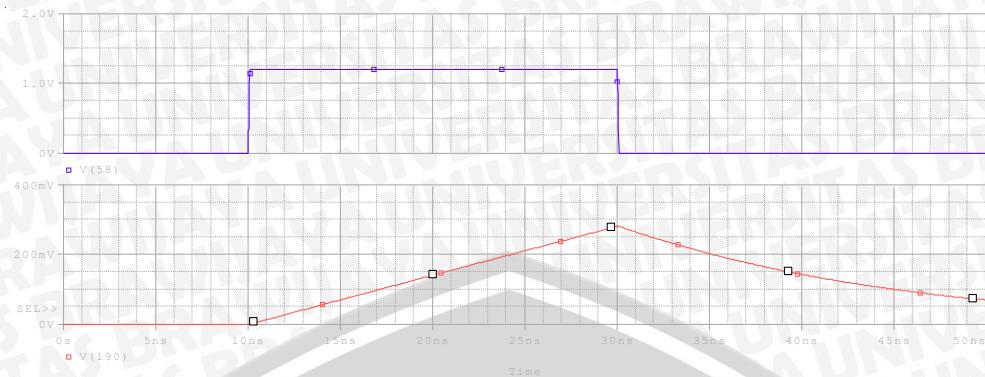
Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 1,2^2 \times 20 \times 10^6 = 1440 \times 10^{-6} \text{ W} = 1440 \mu\text{W}$$

$$PDP = t_{PD} PD = 12,3495 \times 10^{-9} \times 1440 \times 10^{-6} = 17.783,28 \times 10^{-15} = 17.783,28 \text{ fJ}$$

5) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran *Unit Step*, *listing program unit step* $C_L = 50 \text{ pF}$ frekuensi 25 MHz. Grafik simulasi *unit step* $C_L = 50 \text{ pF}$ frekuensi 25 MHz ditunjukkan dalam Gambar 5.32.



Gambar 5.32 Grafik *unit step* IC *full adder* 8 bit masukan $C_L = 50 \text{ pF}$ frekuensi 25 MHz

Nilai *Propagation delay* rangkaian, *rise time*, dan *fall time* dari grafik tersebut adalah :

$$t_{PLH} = 20,455 - 10,049 = 10,406 \text{ ns}$$

$$t_r = 26,989 - 13,977 = 13,012 \text{ ns}$$

$$t_{PHL} = 45,986 - 30,048 = 15,938 \text{ ns}$$

$$t_f = 59,674 - 33,503 = 26,171 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* sebagai berikut:

$$TPD = \frac{t_{PLH} + t_{PHL}}{2} = \frac{10,406 \text{ ns} + 15,938 \text{ ns}}{2} = 13,172 \text{ ns}$$

Dan nilai *Power Delay Product* (PDP)

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 1,2^2 \times 25 \times 10^6 = 1800 \times 10^{-6} \text{ W} = 1800 \mu\text{W}$$

$$PDP = t_{PD} PD = 13,172 \times 10^{-9} \times 1800 \times 10^{-6} = 23.709,6 \times 10^{-15} = 23.709,6 \text{ fJ}$$

5.4 Data Hasil Simulasi

Berdasarkan hasil simulasi IC *full adder* 8-bit masukan dalam Bab 5.2 diperoleh data simulasi yang ditunjukkan dalam Tabel 5.2.

Tabel 5.2 Daftar Hasil Simulasi IC *Full Adder* 8-bit Masukan HCMOS

C_L	Parameter	Frekuensi				
		1MHz	5MHz	10MHz	20MHz	25MHz
0,5pF	$t_{PLH}(\text{ns})$	0,433	0,433	0,435	0,433	0,434



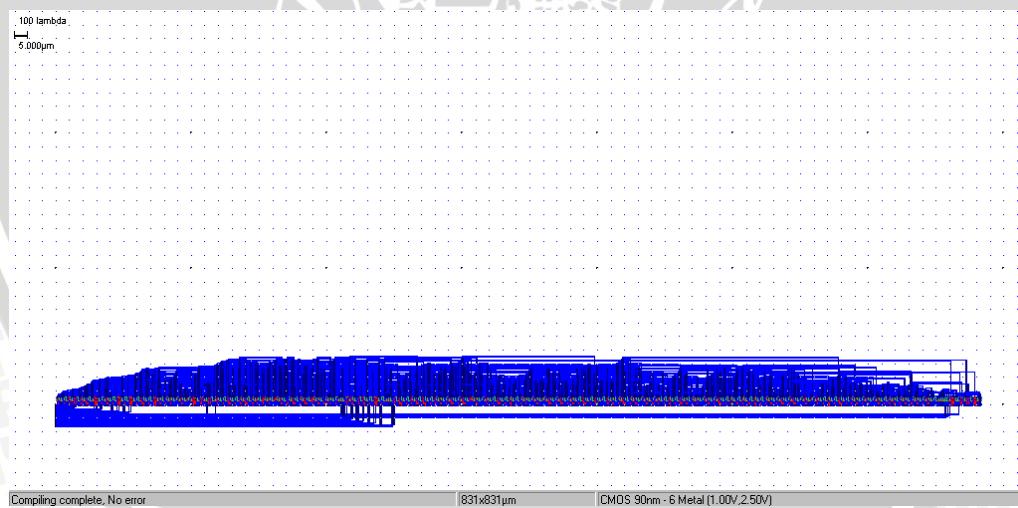
	t _{PHL} (ns)	0,176	0,176	0,176	0,176	0,176
	t _r (ns)	1,085	0,986	1,027	0,985	0,985
	t _f (ns)	0,400	0,401	0,400	0,759	0,400
	t _{PD} (ns)	0,3045	0,3045	0,3055	0,3045	0,305
	PD(μW)	0,72	3,6	7,2	14,4	18
	PDP(fJ)	0,21924	1,0962	2,1996	4,3848	5,49
5pF	t _{PLH} (ns)	4,361	4,37	4,355	4,364	4,354
	t _{PHL} (ns)	1,746	1,737	1,745	1,739	1,723
	t _r (ns)	9,849	9,856	9,872	9,844	9,845
	t _f (ns)	3,943	3,938	3,942	3,998	3,973
	t _{PD} (ns)	3,0535	3,0535	3,05	3,0515	3,0385
	PD(μW)	7,2	36	72	144	180
	PDP(fJ)	21,9852	109,926	219,6	439,416	546,93
10pF	t _{PLH} (ns)	8,716	8,672	8,729	8,721	8,736
	t _{PHL} (ns)	3,489	3,485	3,48	3,084	2,661
	t _r (ns)	19,738	19,686	20,72	19,691	18,285
	t _f (ns)	7,863	7,861	7,863	7,874	7,756
	t _{PD} (ns)	6,1025	6,0785	6,1045	5,9075	5,6985
	PD(μW)	14,4	72	144	288	360
	PDP(fJ)	87,0876	437,652	879,048	1.701,36	2.051,46
15pF	t _{PLH} (ns)	13,084	13,102	13,087	13,087	13,086
	t _{PHL} (ns)	5,218	5,244	5,062	3,272	2,21
	t _r (ns)	29,526	29,547	29,549	22,454	17,466
	t _f (ns)	11,832	11,873	11,823	10,876	9,803
	t _{PD} (ns)	9,151	9,173	9,0745	8,1795	7,648
	PD(μW)	21,6	108	216	432	540
	PDP(fJ)	197,66	990,684	1.960,092	3.533,544	4.129,92
50pF	t _{PLH} (ns)	43,861	43,561	43,636	13,761	10,406
	t _{PHL} (ns)	17,47	13,279	2,386	10,938	15,938
	t _r (ns)	98,601	91,431	41,499	14,772	13,012
	t _f (ns)	39,5	28,42	27,728	15,171	26,171
	t _{PD} (ns)	30,6655	31,467	23,011	12,3495	13,172

PD(μ W)	72	360	720	1440	1800
PDP(fJ)	2.207,916	10.231,2	16.567,92	17.783,28	23.709,6

Berdasarkan Tabel 5.1 diperoleh nilai *average propagation delay* yang semakin besar jika nilai kapasitor yang digunakan juga besar. Sedangkan nilai *Power Disipation fan Power Delay Product* semakin besar jika kapasitor yang digunakan bernilai besar dan frekuensi yang diberikan semakin besar. Kombinasi nilai kapasitor dan frekuensi yang besar dapat menghasilkan nilai *propagation delay* yang tidak simetris sehingga menghasilkan nilai $V_{OH} < 1,2 \text{ V}$ dan $V_{IL} > 0 \text{ V}$.

5.5 Pembuatan Layout

Pembuatan *layout* dilakukan dengan membuat *stick diagram* yang dirancang sesuai dengan rangkaian transistor CMOS yang ditunjukkan dalam Gambar 4.2. *Stick diagram* diperlukan sebagai dasar pembuatan layout. *Layout* dibuat secara otomatis dengan menggunakan software Microwind2 dengan labda $0,05\mu\text{m}$. proses pembuatan *layout* ditunjukkan dalam Gambar 5.33.

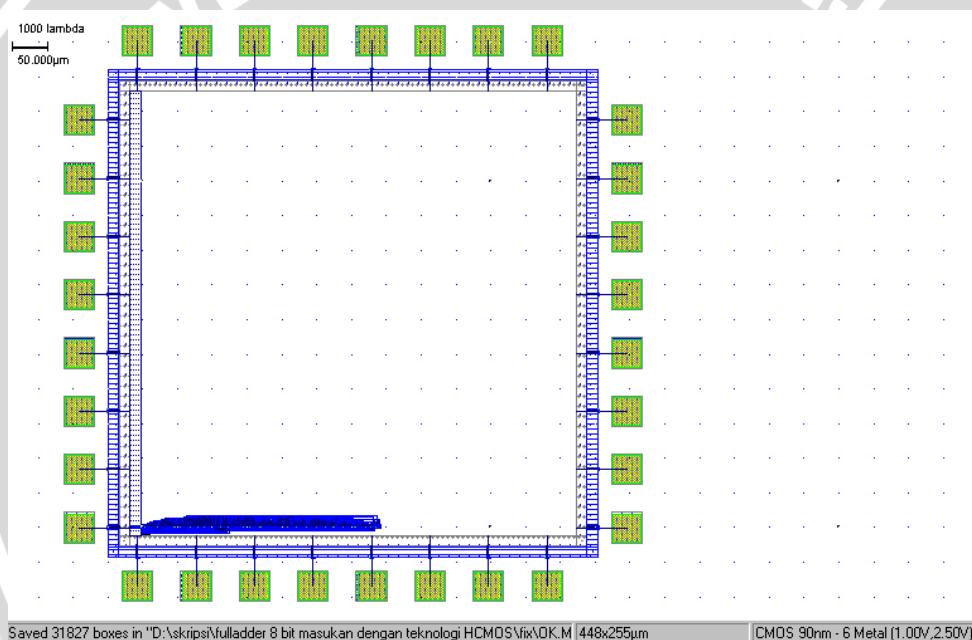


Gambar 5.33 Layout IC Full Adder 8 Bit

Gambar 5.11 menunjukkan layout IC *full adder* 8 bit masukan HCMOS. File rangkaian transistor CMOS dibuat dengan software dsch2.exe dalam bentuk format file .sch. Proses selanjutnya memilih menu file pada *toolbar* dan pilih verilog file dan proses OK. Proses penggambaran secara otomatis selanjutnya

dilakukan dengan menggunakan software Microwind2.exe. proses compiling dilakukan dengan memilih menu compile pada toolbar dan pilih compile verilog file. Open file pada folder dsch.exe, pilih file.txt hasil verilog file yang telah dilakukan. Pilih beberapa menu yang dibutuhkan seperti jumlah metal yang digunakan, pad I/O dan ukuran W dan L pada transistor PMOS dan NMOS. Proses selanjutnya adalah pilih compile dan layout akan terbentuk secara otomatis.

Gambar 5.34 menunjukkan bentuk IC *full adder* 8 bit masukan yang diperoleh dari microwind.2 dengan melakukan proses yang sama dengan proses penggambaran layout dan melakukan konfigurasi di kotak dialog dengan mencentang pilihan *free placement*.



Gambar 5.34 Bentuk IC *Full Adder* 8 bit Masukan

6.1 Kesimpulan

Berdasarkan hasil perancangan dan analisis hasil simulasi rangkaian CLA *full adder* 8 bit masukan dapat diambil kesimpulan sebagai berikut:

- 1) Rangkaian CLA *full adder* 8 bit masukan tersusun dari gerbang XOR, AND, dan OR dimana dalam analisis Pspice gerbang – gebang tersebut diubah ke bentuk gebang dasar INVERTER, NAND dan NOR untuk mempermudah analisis gerbang. Setiap gerbang dasar tersusun atas transistor NMOS dan PMOS dimana dalam analisis Pspice diberi penomoran di setiap titik. Jumlah transistor NMOS dan PMOS yang digunakan dalam perancangan IC *full adder* 8 bit sebanyak 690 buah.
- 2) Perancangan IC *full adder* 8 bit HCMOS memiliki karakteristik transfer tegangan (VTC) yang simetris dengan *noise margin* logika tinggi (N_{MH}) dan *noise margin* logika rendah (N_{ML}) masing – masing sebesar 0,47 V dengan $V_{IL} = 0,53$ V, $V_{IH} = 0,665$ V, $V_{OL} = 0,065$ V, dan $V_{OH} = 1,135$ V
- 3) Hasil simulasi dengan menggunakan PSpice untuk keempat analisis memperoleh nilai pada bit *output* s_3 sampai s_8 $V_{IL} = 0,55$ V, $V_{IH} = 0,6$ V, $V_{OL} = 0,0$ V, dan $V_{OH} = 1,2$ V sehingga nilai $N_{MH} = 0,6$ V dan $N_{ML} = 0,55$ V sedangkan pada bit s_0 sampai s_2 diperoleh nilai $V_{IL} = 0,5$ V, $V_{IH} = 0,55$ V, $V_{OL} = 0,0$ V, dan $V_{OH} = 1,2$ V sehingga nilai $N_{MH} = 0,65$ V dan $N_{ML} = 0,5$ V. Perbedaan nilai pada 3 bit LSB dengan 5 bit MSB disebabkan karena semakin banyaknya gerbang logika yang digunakan untuk masing – masing keluaran . Karakteristik *propagation delay* hasil simulasi *carry in to output* (s_0) dengan varisi pembebahan C_L yang berbeda dan respon frekuensi berbeda, diperoleh nilai *average propagation delay* yang semakin besar jika nilai kapasitor yang digunakan juga besar dan pengaruh frekuensi untuk masing – masing pembebahan kapasitor tidak berpengaruh signifikan terhadap *delay*. Nilai disipasi daya juga semakin besar jika diberikan beban kapasitor meningkat, artinya daya yang diserap berbanding lurus dengan beban yang diberikan.



- 4) IC *full adder* 8 bit masukan mempunyai *layout* dengan pad I/O dengan luasan $831\mu\text{m} \times 831\mu\text{m}$ dan menggunakan pad I/O dengan luasan $448\mu\text{m} \times 225\mu\text{m}$.

6.2 Saran

- 1) Hasil simulasi yang dikemukakan dalam perancangan ini akan menghasilkan keluaran yang simetris, akan tetapi pada kenyataannya tidak simetris. Untuk menghasilkan keluaran yang simetris maka harus dilakukan desain ulang nilai W dan L transistor
- 2) Hasil perancangan ini dapat digunakan sebagai salah satu bahan referensi bagi perancangan rangkaian terintegrasi sejenis untuk menganalisis karakteristik *propagation delay full adder* yang lain.

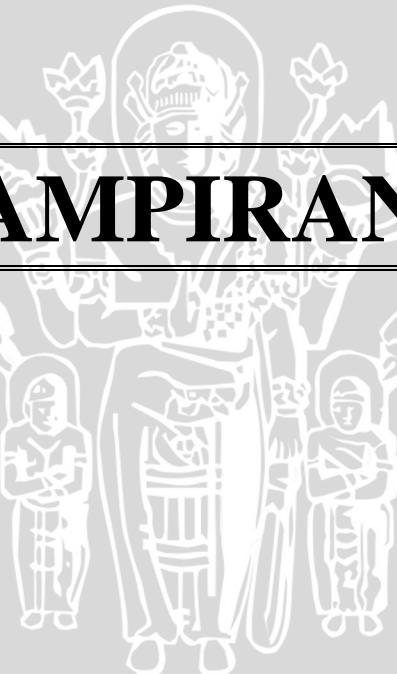


DAFTAR PUSTAKA

- Etiend, Sicard. 2005. *User Manual Microwind2 & DSCH*.
- Fairchild Semiconductor Corporation. 2000. *ID Series Datasheet*.
www.fairchild.com, diakses tanggal 9 April 2012
- Geiger, Randall L., dkk. 1990. *VLSI Design Techniques for Analog and Digital Circuit*, Singapore : McGraw-Hill Book Co.
- Haznedar, Haldun. 1991. *Digital Microelectronics*, California: Benjamin Cummings Publishing Company, Inc.
- Hodges, David A., Jackson, Horace G. 1987. *Analisis dan Desain Rangkaian Terpadu Digital*. Alih bahasa nasional, Sofyan. Jakarta: Erlangga.
- Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuit : Analysis and Design Second Edition*, Singapore : McGraw-Hill Companies.
- Katz, R. H., Borriello, G. 2005. *Contemporary Logic Design*, Australia: Prentice Hall.
- Mano, M. M., Kime, C. R. 2004. *Logic and Computer Design Fundamentals*, Upper Saddle River, New Jersey: Pearson/Prentice Hall.
- Motorola Semiconductor Corporation. 2000. www.datasheetcatalog.com, diakses tanggal 3 Maret 2012
- Rabaey, Jan M., dkk. 1999. *Digital Integrated Circuits A Design Perspective Second Edition*, New Jersey : Prentide Hall Electronics and VLSI Series.
- Ripple Carry and Carry Lookahead Adders. www.ece.uvic.ca, University of Victoria, British Columbia-Canada, diakes tanggal 9 April 2012

UNIVERSITAS BRAWIJAYA

LAMPIRAN



LAMPIRAN 1

PROGRAM UTAMA



***==program utama IC full adder 8 bit masukan==**

```
.SUBCKT INVERTER 2 3
VDD 1 0 1.2V
M1 3 2 1 1 PM W=1U L=0.1U
M2 3 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS INVERTER
```

```
.SUBCKT NOR2INPUT 2 3 4
VDD 1 0 1.2V
M3 5 2 1 1 PM W=1U L=0.1U
M4 5 3 4 4 PM W=1U L=0.1U
M5 4 3 0 0 NM W=1.2U L=0.1U
M6 4 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR2INPUT
```

```
.SUBCKT NOR3INPUT 2 3 4 5
VDD 1 0 1.2V
M7 7 2 1 1 PM W=1U L=0.1U
M8 7 3 6 6 PM W=1U L=0.1U
M9 6 4 5 5 PM W=1U L=0.1U
M10 5 4 0 0 NM W=1.2U L=0.1U
M11 5 3 0 0 NM W=1.2U L=0.1U
M12 5 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR3INPUT
```

```
.SUBCKT NOR4INPUT 2 3 4 5 6
VDD 1 0 1.2V
M13 9 2 1 1 PM W=1U L=0.1U
M14 9 3 8 8 PM W=1U L=0.1U
M15 8 4 7 7 PM W=1U L=0.1U
M16 7 5 6 6 PM W=1U L=0.1U
M17 6 5 0 0 NM W=1.2U L=0.1U
M18 6 4 0 0 NM W=1.2U L=0.1U
M19 6 3 0 0 NM W=1.2U L=0.1U
M20 6 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR4INPUT
```

```
.SUBCKT NOR5INPUT 2 3 4 5 6 7
VDD 1 0 1.2V
M21 11 2 1 1 PM W=1U L=0.1U
M22 11 3 10 10 PM W=1U L=0.1U
```

M23 10 4 9 9 PM W=1U L=0.1U
M24 9 5 8 8 PM W=1U L=0.1U
M25 8 6 7 7 PM W=1U L=0.1U
M26 7 6 0 0 NM W=1.2U L=0.1U
M27 7 5 0 0 NM W=1.2U L=0.1U
M28 7 4 0 0 NM W=1.2U L=0.1U
M29 7 3 0 0 NM W=1.2U L=0.1U
M30 7 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR5INPUT

.SUBCKT NOR6INPUT 2 3 4 5 6 7 8
VDD 1 0 1.2V
M31 13 2 1 1 PM W=1U L=0.1U
M32 13 3 12 12 PM W=1U L=0.1U
M33 12 4 11 11 PM W=1U L=0.1U
M34 11 5 10 10 PM W=1U L=0.1U
M35 10 6 9 9 PM W=1U L=0.1U
M36 9 7 8 8 PM W=1U L=0.1U
M37 8 7 0 0 NM W=1.2U L=0.1U
M38 8 6 0 0 NM W=1.2U L=0.1U
M39 8 5 0 0 NM W=1.2U L=0.1U
M40 8 4 0 0 NM W=1.2U L=0.1U
M41 8 3 0 0 NM W=1.2U L=0.1U
M42 8 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR6INPUT

.SUBCKT NOR7INPUT 2 3 4 5 6 7 8 9
VDD 1 0 1.2V
M43 15 2 1 1 PM W=1U L=0.1U
M44 15 3 14 14 PM W=1U L=0.1U
M45 14 4 13 13 PM W=1U L=0.1U
M46 13 5 12 12 PM W=1U L=0.1U
M47 12 6 11 11 PM W=1U L=0.1U
M48 11 7 10 10 PM W=1U L=0.1U
M49 10 8 9 9 PM W=1U L=0.1U
M50 9 8 0 0 NM W=1.2U L=0.1U
M51 9 7 0 0 NM W=1.2U L=0.1U
M52 9 6 0 0 NM W=1.2U L=0.1U
M53 9 5 0 0 NM W=1.2U L=0.1U
M54 9 4 0 0 NM W=1.2U L=0.1U
M55 9 3 0 0 NM W=1.2U L=0.1U
M56 9 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR7INPUT

.SUBCKT NOR8INPUT 2 3 4 5 6 7 8 9 10
VDD 1 0 1.2V
M57 17 2 1 1 PM W=1U L=0.1U
M58 17 3 16 16 PM W=1U L=0.1U
M59 16 4 15 15 PM W=1U L=0.1U
M60 15 5 14 14 PM W=1U L=0.1U
M61 14 6 13 13 PM W=1U L=0.1U
M62 13 7 12 12 PM W=1U L=0.1U
M63 12 8 11 11 PM W=1U L=0.1U
M64 11 9 10 10 PM W=1U L=0.1U
M65 10 9 0 0 NM W=1.2U L=0.1U
M66 10 8 0 0 NM W=1.2U L=0.1U
M67 10 7 0 0 NM W=1.2U L=0.1U
M68 10 6 0 0 NM W=1.2U L=0.1U
M69 10 5 0 0 NM W=1.2U L=0.1U
M70 10 4 0 0 NM W=1.2U L=0.1U
M71 10 3 0 0 NM W=1.2U L=0.1U
M72 10 2 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NOR8INPUT

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 1.2V
M73 4 2 1 1 PM W=1U L=0.1U
M74 4 3 1 1 PM W=1U L=0.1U
M75 4 2 5 5 NM W=1.2U L=0.1U
M76 5 3 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND2INPUT

.SUBCKT NAND3INPUT 2 3 4 5
VDD 1 0 1.2V
M77 5 2 1 1 PM W=1U L=0.1U
M78 5 3 1 1 PM W=1U L=0.1U
M79 5 4 1 1 PM W=1U L=0.1U
M80 5 2 6 6 NM W=1.2U L=0.1U
M81 6 3 7 7 NM W=1.2U L=0.1U
M82 7 4 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND3INPUT

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 1.2V
M82 6 2 1 1 PM W=1U L=0.1U
M84 6 3 1 1 PM W=1U L=0.1U
M85 6 4 1 1 PM W=1U L=0.1U
M86 6 5 1 1 PM W=1U L=0.1U

M87 6 2 7 7 NM W=1.2U L=0.1U
M88 7 3 8 8 NM W=1.2U L=0.1U
M89 8 4 9 9 NM W=1.2U L=0.1U
M90 9 5 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND4INPUT

.SUBCKT NAND5INPUT 2 3 4 5 6 7
VDD 1 0 1.2V
M91 7 2 1 1 PM W=1U L=0.1U
M92 7 3 1 1 PM W=1U L=0.1U
M93 7 4 1 1 PM W=1U L=0.1U
M94 7 5 1 1 PM W=1U L=0.1U
M95 7 6 1 1 PM W=1U L=0.1U
M96 7 2 8 8 NM W=1.2U L=0.1U
M97 8 3 9 9 NM W=1.2U L=0.1U
M98 9 4 10 10 NM W=1.2U L=0.1U
M99 10 5 11 11 NM W=1.2U L=0.1U
M100 11 6 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND5INPUT

.SUBCKT NAND6INPUT 2 3 4 5 6 7 8
VDD 1 0 1.2V
M101 8 2 1 1 PM W=1U L=0.1U
M102 8 3 1 1 PM W=1U L=0.1U
M103 8 4 1 1 PM W=1U L=0.1U
M104 8 5 1 1 PM W=1U L=0.1U
M105 8 6 1 1 PM W=1U L=0.1U
M106 8 7 1 1 PM W=1U L=0.1U
M107 8 2 9 9 NM W=1.2U L=0.1U
M108 9 3 10 10 NM W=1.2U L=0.1U
M109 10 4 11 11 NM W=1.2U L=0.1U
M110 11 5 12 12 NM W=1.2U L=0.1U
M111 12 6 13 13 NM W=1.2U L=0.1U
M112 13 7 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND6INPUT

.SUBCKT NAND7INPUT 2 3 4 5 6 7 8 9
VDD 1 0 1.2V
M113 9 2 1 1 PM W=1U L=0.1U
M114 9 3 1 1 PM W=1U L=0.1U
M115 9 4 1 1 PM W=1U L=0.1U
M116 9 5 1 1 PM W=1U L=0.1U
M117 9 6 1 1 PM W=1U L=0.1U
M118 9 7 1 1 PM W=1U L=0.1U

```

M119 9 8 1 1 PM W=1U L=0.1U
M120 9 2 10 10 NM W=1.2U L=0.1U
M121 10 3 11 11 NM W=1.2U L=0.1U
M122 11 4 12 12 NM W=1.2U L=0.1U
M123 12 5 13 13 NM W=1.2U L=0.1U
M124 13 6 14 14 NM W=1.2U L=0.1U
M125 14 7 15 15 NM W=1.2U L=0.1U
M126 15 8 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND7INPUT

```

```

.SUBCKT NAND8INPUT 2 3 4 5 6 7 8 9 10
VDD 1 0 1.2V
M127 10 2 1 1 PM W=1U L=0.1U
M128 10 3 1 1 PM W=1U L=0.1U
M129 10 4 1 1 PM W=1U L=0.1U
M130 10 5 1 1 PM W=1U L=0.1U
M131 10 6 1 1 PM W=1U L=0.1U
M132 10 7 1 1 PM W=1U L=0.1U
M133 10 8 1 1 PM W=1U L=0.1U
M134 10 9 1 1 PM W=1U L=0.1U
M135 10 2 11 11 NM W=1.2U L=0.1U
M136 11 3 12 12 NM W=1.2U L=0.1U
M137 12 4 13 13 NM W=1.2U L=0.1U
M138 13 5 14 14 NM W=1.2U L=0.1U
M139 14 6 15 15 NM W=1.2U L=0.1U
M140 15 7 16 16 NM W=1.2U L=0.1U
M141 16 8 17 17 NM W=1.2U L=0.1U
M142 17 9 0 0 NM W=1.2U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS NAND8INPUT

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 1.2V
M143 3 2 1 1 PM W=3.6U L=0.1U
M144 3 2 0 0 NM W=3.6U L=0.1U
M145 4 3 1 1 PM W=10.8U L=0.1U
M146 4 3 0 0 NM W=10.8U L=0.1U
.MODEL PM PMOS (Vto=-0.32 KP=1.6E-05 GAMMA=0.4 PHI=0.15 LAMBDA=.05)
.MODEL NM NMOS (Vto=0.32 KP=4.0E-05 GAMMA=0.5 PHI=0.15 LAMBDA=.05)
.ENDS CASCADA

```

* RANGKAIAN FULL ADDER 8 BIT INPUT CLA HCMOS

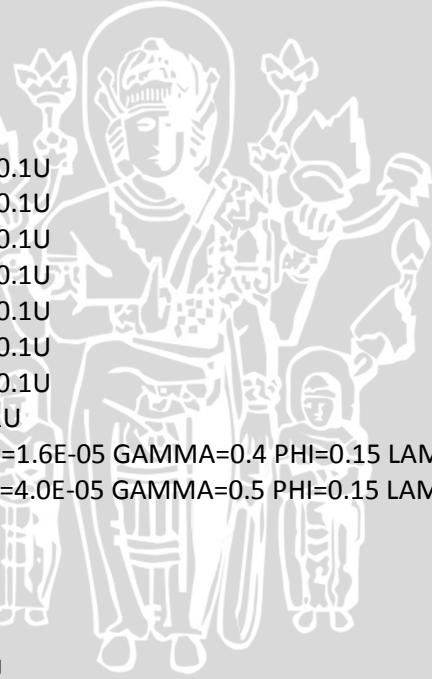
*inverter input

X1 18 35 INVERTER

X2 20 38 INVERTER

X3 22 41 INVERTER

X4 24 44 INVERTER



X5 26 47 INVERTER
X6 28 50 INVERTER
X7 30 53 INVERTER
X8 32 56 INVERTER

*inverter blok1
X9 67 106 INVERTER
X10 68 107 INVERTER
X11 69 108 INVERTER
X12 70 109 INVERTER
X13 71 110 INVERTER
X14 72 111 INVERTER
X15 73 112 INVERTER
X51 74 113 INVERTER
X16 75 114 INVERTER
X17 76 115 INVERTER
X18 77 116 INVERTER
X19 78 117 INVERTER
X20 79 118 INVERTER
X21 80 119 INVERTER
X22 81 120 INVERTER
X23 82 121 INVERTER
X24 83 122 INVERTER
X25 84 123 INVERTER
X26 85 124 INVERTER
X27 86 125 INVERTER
X28 87 126 INVERTER
X29 88 127 INVERTER
X30 89 128 INVERTER
X31 90 129 INVERTER
X32 91 130 INVERTER
X33 92 131 INVERTER
X34 93 132 INVERTER
X35 94 133 INVERTER
X36 95 96 INVERTER
X37 97 98 INVERTER
X40 99 134 INVERTER
X41 100 135 INVERTER
X42 101 136 INVERTER
X43 102 137 INVERTER
X44 103 138 INVERTER
X45 104 139 INVERTER
X46 105 140 INVERTER

*inverter blok2
X47 141 149 INVERTER
X48 142 150 INVERTER
X49 143 151 INVERTER
X50 144 152 INVERTER
X52 145 153 INVERTER



X53 146 154 INVERTER

X54 147 155 INVERTER

X55 148 156 INVERTER

X38 198 199 INVERTER

*XOR-nand2input

X56 1 2 17 NAND2INPUT

X57 1 2 18 NAND2INPUT

X58 1 17 33 NAND2INPUT

X59 2 17 34 NAND2INPUT

X60 33 34 57 NAND2INPUT

X61 3 4 19 NAND2INPUT

X62 3 4 20 NAND2INPUT

X63 3 19 36 NAND2INPUT

X64 4 19 37 NAND2INPUT

X65 36 37 59 NAND2INPUT

X66 5 6 21 NAND2INPUT

X67 5 6 22 NAND2INPUT

X68 5 21 39 NAND2INPUT

X69 6 21 40 NAND2INPUT

X70 39 40 61 NAND2INPUT

X71 7 8 23 NAND2INPUT

X72 7 8 24 NAND2INPUT

X73 7 23 42 NAND2INPUT

X74 8 23 43 NAND2INPUT

X75 42 43 62 NAND2INPUT

X76 9 10 25 NAND2INPUT

X77 9 10 26 NAND2INPUT

X78 9 25 45 NAND2INPUT

X79 10 25 46 NAND2INPUT

X80 45 46 63 NAND2INPUT

X81 11 12 27 NAND2INPUT

X82 11 12 28 NAND2INPUT

X83 11 27 48 NAND2INPUT

X84 12 27 49 NAND2INPUT

X85 48 49 64 NAND2INPUT

X86 13 14 29 NAND2INPUT

X87 13 14 30 NAND2INPUT

X88 13 29 51 NAND2INPUT

X89 14 29 52 NAND2INPUT

X90 51 52 65 NAND2INPUT

X91 15 16 31 NAND2INPUT

X92 15 16 32 NAND2INPUT



X93 15 31 54 NAND2INPUT
X94 16 31 55 NAND2INPUT
X95 54 55 66 NAND2INPUT

*nand2input propagate_generate
X96 57 58 67 NAND2INPUT
X97 35 59 69 NAND2INPUT
X98 38 61 72 NAND2INPUT
X99 41 62 76 NAND2INPUT
X100 44 63 81 NAND2INPUT
X101 47 64 87 NAND2INPUT
X102 50 65 94 NAND2INPUT
X103 66 96 97 NAND2INPUT
X104 53 66 105 NAND2INPUT

*XOR-nand2input output
X105 57 58 157 NAND2INPUT
X106 58 157 165 NAND2INPUT
X107 57 157 166 NAND2INPUT
X108 165 166 182 NAND2INPUT

X109 59 149 158 NAND2INPUT
X110 149 158 167 NAND2INPUT
X111 59 158 168 NAND2INPUT
X112 167 168 183 NAND2INPUT

X113 61 150 159 NAND2INPUT
X114 150 159 170 NAND2INPUT
X115 61 159 171 NAND2INPUT
X116 170 171 184 NAND2INPUT

X117 62 151 160 NAND2INPUT
X118 151 160 172 NAND2INPUT
X119 62 160 173 NAND2INPUT
X120 172 173 185 NAND2INPUT

X121 63 152 161 NAND2INPUT
X122 152 161 174 NAND2INPUT
X123 63 161 175 NAND2INPUT
X124 174 175 186 NAND2INPUT

X125 64 153 162 NAND2INPUT
X126 153 162 176 NAND2INPUT
X127 64 162 177 NAND2INPUT
X128 176 177 187 NAND2INPUT

X129 65 154 163 NAND2INPUT
X130 154 163 178 NAND2INPUT
X131 65 163 179 NAND2INPUT
X132 178 179 188 NAND2INPUT

X133 65 155 164 NAND2INPUT
X134 155 164 180 NAND2INPUT
X135 65 164 181 NAND2INPUT
X136 180 181 189 NAND2INPUT

*nand3input

X137 57 58 59 68 NAND3INPUT
X138 35 59 61 71 NAND3INPUT
X139 38 61 62 75 NAND3INPUT
X140 41 62 63 80 NAND3INPUT
X141 44 63 64 86 NAND3INPUT
X142 47 64 65 93 NAND3INPUT
X143 50 65 66 104 NAND3INPUT

*nand4input

X144 57 58 59 61 70 NAND4INPUT
X145 35 59 61 62 74 NAND4INPUT
X146 38 61 62 63 79 NAND4INPUT
X147 41 62 63 64 85 NAND4INPUT
X148 44 63 64 65 92 NAND4INPUT
X149 47 64 65 66 103 NAND4INPUT

*nand5input

X150 57 58 59 61 62 73 NAND5INPUT
X151 35 59 61 62 63 78 NAND5INPUT
X152 38 61 62 63 64 84 NAND5INPUT
X153 41 62 63 64 65 91 NAND5INPUT
X154 44 63 64 65 66 102 NAND5INPUT

*nand6input

X180 57 58 59 61 62 63 77 NAND6INPUT
X181 35 59 61 62 63 64 83 NAND6INPUT
X155 38 61 62 63 64 65 90 NAND6INPUT
X156 41 62 63 64 65 66 101 NAND6INPUT

*nand7input

X157 57 58 59 61 62 63 64 82 NAND7INPUT
X158 35 59 61 62 63 64 65 89 NAND7INPUT
X159 38 61 62 63 64 65 66 100 NAND7INPUT

*nand8input

X160 57 58 59 61 62 63 64 65 88 NAND8INPUT
X161 57 58 59 61 62 63 64 65 95 NAND8INPUT
X162 35 59 61 62 63 64 65 66 99 NAND8INPUT

*nor

X163 35 106 141 NOR2INPUT
X164 56 199 148 NOR2INPUT

X165 38 107 108 142 NOR3INPUT
X166 41 109 110 111 143 NOR4INPUT
X167 44 112 113 114 115 144 NOR5INPUT
X168 47 116 117 118 119 120 145 NOR6INPUT
X169 50 121 122 123 124 125 126 146 NOR7INPUT
X170 53 127 128 129 130 131 132 133 147 NOR8INPUT
X171 98 134 135 136 137 138 139 140 198 NOR9INPUT

*cascada

X172 182 190 CASCADA
X173 183 191 CASCADA
X174 184 192 CASCADA
X175 185 193 CASCADA
X176 186 194 CASCADA
X177 187 195 CASCADA
X178 188 196 CASCADA
X179 189 197 CASCADA



LAMPIRAN 2

LISTING PROGRAM KARAKTERISTIK ALIH TEGANGAN (VTC)



****==program utama IC full adder 8 bit masukan==***

*pembelahanan

C1 190 0 15p

C2 191 0 15p

C3 192 0 15p

C4 193 0 15p

C5 194 0 15p

C6 195 0 15p

C7 196 0 15p

C8 197 0 15p

*V input

V1 1 0 1.2V

*V2 2 0 0V

*V2ramp 2 0 PULSE(0.00 1.20 0.01N 99.99N 0.03N 0.00N 100.03N)

V3 3 0 1.2V

V4 4 0 0V

V5 5 0 1.2V

V6 6 0 0V

V7 7 0 1.2V

V8 8 0 0V

V9 9 0 1.2V

V10 10 0 0V

V11 11 0 1.2V

V12 12 0 0V

V13 13 0 1.2V

V14 14 0 0V

V15 15 0 1.2V

V16 16 0 0V

*V Carry in

*V17 58 0 0V

*V17ramp 58 0 PULSE(0.00 1.20 0.01N 99.99N 0.03N 0.03N 100.03N)

*ANALISIS TEGANGAN

.dc V17 0 1.2 50mV

.TEMP 27.0



*MENAMPILKAN GRAFIK KELUARAN dan carry out

```
.plot dc V(190)  
.plot dc V(191)  
.plot dc V(192)  
.plot dc V(193)  
.plot dc V(194)  
.plot dc V(195)  
.plot dc V(196)  
.plot dc V(197)  
.plot dc V(200)  
.probe  
.END
```

=====

NB :

tanda “ * ” menunjukkan di program *Pspice* tidak terbaca,

- 1) menguji karakteristik alih tegangan *carry in to output* dan *carry out* dengan memberikan Vramp pada Cin (*node 58*) dengan perintah :

V17ramp 58 0 PULSE(0.00 1.20 0.01N 99.99N 0.03N 0.03N 100.03N)

Kondisi *input a* berlogika HIGH (1,2 V) dan *input b* berlogika LOW (0 V)

- 2) menguji karakteristik alih tegangan *input to output* dan *carry out* dengan memberikan Vramp pada bit terendah masukan yaitu a_0 dengan perintah

V2ramp 2 0 PULSE(0.00 1.20 0.01N 99.99N 0.03N 0.00N 100.03N)

Kondisi *carry in* berlogika LOW (*ground*)



LAMPIRAN 3

LISTING PROGRAM UNIT STEP



***==program utama IC full adder 8 bit masukan==**

*pembebananan

C1 190 0 0,5p

*C2 191 0 0,5p

*C3 192 0 0,5p

*C4 193 0 0,5p

*C5 194 0 0,5p

*C6 195 0 0,5p

*C7 196 0 0,5p

*C8 197 0 0,5p

*C9 200 0 0,5p

*Vin

V1 1 0 DC 1.2V

V2 2 0 DC 1.2V

V3 3 0 DC 0V

V4 4 0 DC 1.2V

V5 5 0 DC 0V

V6 6 0 DC 1.2V

V7 7 0 DC 0V

V8 8 0 DC 1.2V

V9 9 0 DC 0V

V10 10 0 DC 1.2V

V11 11 0 DC 0V

V12 12 0 DC 1.2V

V13 13 0 DC 0V

V14 14 0 DC 1.2V

V15 15 0 DC 1.2V

V16 16 0 DC 1.2V

*V17 58 0 0V



V17 58 0 PWL (0,0V 100ns,0V 100.1ns,1.2V 600ns,1.2V 600.1ns,0V 1100ns,0V)

.TEMP 27.0
.TRAN 0ns 1100ns 0ns 0.1ns

*MENAMPILKAN GRAFIK
.plot TRAN V(190)
.probe
.END

NB :

Simulasi *Unit Step carry in to output* tetap menggunakan program utama, tapi ada pengondisian yang berbeda di nilai *input*, nilai input penjumlahan a dan b berada pada kondisi *input a = 1111 1111* dan *input b = 1000 0001* dengan logika HIGH diberi tegangan 1,2 V pada *node*-nya dan 0 V untuk logika LOW.

Pengaturan untuk nilai frekuensi bervariasi pada *carry in* (node 58) dengan perintah

V17 58 0 PWL (0,0V 100ns,0V 100.1ns,1.2V 600ns,1.2V 600.1ns,0V 1100ns,0V)

dan

.TRAN 0ns 1100ns 0ns 0.1ns
(untuk frekuensi 1MHz)

Frekuensi lainnya dengan mengganti nilai V17 dengan *listing* program berikut:

- 1) 5MHz
V17 58 0 PWL (0,0V 20ns,0V 20.1ns,1.2V 120ns,1.2V 120.1ns,0V 220ns,0V)
.TRAN 0ns 220ns 0ns 0.1ns
- 2) 10MHz
V17 58 0 PWL (0,0V 10ns,0V 10.1ns,1.2V 60ns,1.2V 60.1ns,0V 110ns,0V)
.TRAN 0ns 110ns 0ns 0.1ns
- 3) 20MHz
V17 58 0 PWL (0,0V 10ns,0V 10.1ns,1.2V 35ns,1.2V 35.1ns,0V 60ns,0V)
.TRAN 0ns 60ns 0ns 0.1ns
- 4) 25MHz
V17 58 0 PWL (0,0V 10ns,0V 10.1ns,1.2V 30ns,1.2V 30.1ns,0V 50ns,0V)
.TRAN 0ns 50ns 0ns 0.1ns

Dan pengaturan nilai pembebatan C dengan mengganti nilai pada *node* 190 dengan nilai 0,5p, 5p, 10p, 15p, dan 50p



LAMPIRAN 4

STICK DIAGRAM DAN LAYOUT



