

**PERANCANGAN IC BCD TO DESIMAL DEKODER DENGAN  
MENGUNAKAN TEKNOLOGI HIGH SPEED CMOS (HCMOS)**

**SKRIPSI**

**KONSENTRASI TEKNIK ELEKTRONIKA**

*Diajukan Untuk Memenuhi Sebagian Persyaratan  
Memperoleh Gelar Sarjana Teknik*



**DISUSUN OLEH:  
TITO PANCA NUGRAHA  
NIM. 0810630099-63**

**KEMENTERIAN PENDIDIKAN NASIONAL  
UNIVERSITAS BRAWIJAYA  
FAKULTAS TEKNIK  
JURUSAN TEKNIK ELEKTRO  
MALANG**

**2012**

**PERANCANGAN IC BCD TO DESIMAL DEKODER DENGAN  
MENGUNAKAN TEKNOLOGI HIGH SPEED CMOS (HCMOS)**

**SKRIPSI**

**KONSENTRASI TEKNIK ELEKTRONIKA**

*Diajukan Untuk Memenuhi Sebagian Persyaratan  
Memperoleh Gelar Sarjana Teknik*



**DISUSUN OLEH:  
TITO PANCA NUGRAHA  
NIM. 0810630099**

**Telah diperiksa dan disetujui oleh:**

**Dosen Pembimbing I**

**Nurussa'adah, Ir., MT.**

**NIP. 19680706 199203 2 001**

**Dosen Pembimbing II**

**R. Arief Setyawan, ST., MT.**

**NIP. 19750819 199903 1 001**

## LEMBAR PENGESAHAN

### PERANCANGAN IC BCD TO DESIMAL DEKODER DENGAN MENGUNAKAN TEKNOLOGI HIGH SPEED CMOS (HCMOS)

Disusun Oleh:

**TITO PANCA NUGRAHA**

**NIM. 0810630099-63**

Skripsi ini telah diuji dan dinyatakan lulus pada  
tanggal 27 Juli 2012

**DOSEN PENGUJI**

**Mochammad Rif'an, ST., MT.**  
NIP. 19710301 200012 1 001

**Ponco Siwindarto, Ir., M.Eng.Sc.**  
NIP. 19590304 198903 1 001

**Ir. Muhammad Julius St., MS.**  
NIP. 19540720 198203 1 002

Mengetahui,  
Ketua Jurusan Teknik Elektro

**Sholeh Hadi Pramono, Dr., Ir., MS.**  
NIP. 19580728 198701 1 001



## KATA PENGANTAR

Assalamualaikum wr.wb. Alhamdulillah, puji dan syukur penulis panjatkan kehadiran Allah SWT yang telah memberikan rahmat dan hidayah-Nya, sehingga penulis dapat menyelesaikan skripsi ini dengan baik. Skripsi ini disusun sebagai salah satu syarat untuk mencapai gelar Sarjana Teknik dari jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.

Penulis menyadari bahwa tanpa bantuan, bimbingan serta dorongan dari semua pihak, penyelesaian skripsi ini tidak mungkin bisa terwujud. Pada kesempatan ini penulis menyampaikan rasa terima kasih yang sebesar-besarnya kepada:

1. Ibu dan Bapak tercinta, serta kakak-kakakku yang telah banyak memberikan kasih sayang, dukungan dan doa yang tak terkira.
2. Bapak Dr. Ir. Sholeh Hadi Pramono, MS. selaku Ketua Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.
3. Bapak Aziz selaku Sekretaris Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.
4. Bapak M. Julius, ST., MS. selaku KKDK Sistem Elektronika yang telah banyak memberikan saran, motivasi, serta pengarahan dalam penyusunan skripsi ini.
5. Ibu Nurussa'adah, Ir., MT. dan R. Arief Setyawan, ST., MT., selaku dosen pembimbing skripsi yang telah banyak memberikan pengarahan dan bimbingan dalam penyelesaian skripsi ini serta atas segala bentuk bantuan dan saran yang membangun.
6. Bapak, Ibu dosen serta segenap staf dan karyawan Jurusan Teknik Elektro baik secara langsung maupun tidak langsung yang telah banyak membantu dalam menyelesaikan skripsi ini.
7. Ibu Arnissa, ST., terima kasih atas semua ilmu dan bimbingan dalam penyelesaian skripsi ini.
8. Putri Nadia Farisa, terima kasih atas semua bantuan, semangat dan motivasi yang luar biasa dalam penyelesaian skripsi ini.
9. Ceri Ahendyarti, terima kasih atas bantuannya dalam penyelesaian skripsi ini.
10. Teman-teman seperjuangan Concordes Teknik Elektro 2008, terimakasih atas kerjasama dan bantuannya. Tetap semangat ya, dan semoga bisa lebih baik lagi.

11. Rekan-rekan Unit Aktivitas Bola Basket Brawijaya, keluarga besar UABB UB, rekan-rekan Boal Basket Fakultas Teknik dan Teknik Elektro serta sahabat-sahabatku terimakasih untuk semangat dan motivasinya serta telah menjadi keluarga kedua saya yang telah banyak memberi saya pengalaman yang luar biasa.
12. Semua pihak yang telah memberikan bantuan serta dukungan baik secara langsung maupun tidak langsung atas penyusunan skripsi ini.

Dalam penyusunan skripsi ini, penulis menyadari bahwa skripsi ini belumlah sempurna, karena keterbatasan ilmu dan kendala-kendala lain yang terjadi selama pengerjaan skripsi ini. Semoga tulisan ini dapat bermanfaat dan dapat digunakan untuk pengembangan lebih lanjut. Wassalamualaikum wr.wb.

Malang, Agustus 2012

Penulis



## DAFTAR ISI

<b>KATA PENGANTAR</b> .....	i
<b>DAFTAR ISI</b> .....	iii
<b>DAFTAR GAMBAR</b> .....	vi
<b>DAFTAR TABEL</b> .....	ix
<b>ABSTRAK</b> .....	x
<b>BAB I PENDAHULUAN</b> .....	<b>1</b>
1.1. Latar Belakang Masalah.....	1
1.2. Rumusan Masalah.....	2
1.3. Batasan Masalah .....	3
1.4. Tujuan.....	3
<b>BAB II TINJAUAN PUSTAKA</b> .....	<b>4</b>
2.1. Gerbang Logika.....	4
2.1.1. Gerbang NOT.....	4
2.1.2. Gerbang AND.....	5
2.1.3. Gerbang OR.....	6
2.1.4. Gerbang NAND.....	6
2.1.5. Gerbang NOR.....	7
2.2. MOSFET.....	8
2.2.1. Bentuk Dasar MOSFET.....	11
2.2.2. Karakteristik dan Operasi MOSFET.....	12
2.2.3. Tegangan Ambang ( <i>Threshold Voltage</i> ).....	14
2.2.4. Persambungan MOSFET.....	15
2.2.5. Karakteristik Arus Tegangan.....	20
2.2.6. Kapasitansi Transistor MOSFET.....	20
2.2.7. Lebar dan Panjang ( <i>Width dan Leght</i> ).....	24
2.2.8. Definisi Level Logika dan <i>Noise Margin</i> .....	25
2.2.9. <i>Propagation Delay</i> .....	28
2.2.10. Disipasi Daya.....	30



2.3	NAND CMOS.....	31
2.4	Inverter CMOS.....	32
2.4.1	Analisis Matematis Tegangan Masukan Rendah( $V_{IL}$ ).....	37
2.4.2	Analisis Matematis Tegangan Masukan Tinggi ( $V_{IH}$ ).....	38
2.4.3	Analisis Matematis Tegangan <i>Threshold Inverter</i> ( $V_{TH}$ ).....	39
2.5	Driver Kaskada (HCMOS).....	40
2.5	Sistem Kode BCD ( <i>Binary-Coded Decimal</i> ).....	44
2.7	Sistem Bilangan Desimal.....	46
2.8	Dekoder BCD to Desimal.....	46
<b>BAB III METODOLOGI .....</b>		<b>49</b>
3.1.	Penentuan Spesifikasi Rangkaian.....	49
3.2.	Studi Literatur.....	49
3.3.	Proses Analisis.....	50
3.4.	Proses Simulasi.....	50
3.5.	Proses Penggambaran Layout.....	51
<b>BAB IV PERANCANGAN RANGKAIAN .....</b>		<b>54</b>
4.1	Perancangan Rangkaian Logika BCD to Desimal Dekoder.....	54
4.2	Konfigurasi BCD to Desimal Dekoder.....	57
4.3	Perancangan Transistor BCD to Desimal Dekoder.....	60
4.4	Parameter Dasar Transistor MOSFET.....	62
4.5	Perancangan Nilai W dan L Transistor.....	63
4.6	Perhitungan $V_{IL}$ , $V_{IH}$ , $V_{OL}$ , $V_{OH}$ , dan <i>Noise Margin</i> .....	67
4.6.1	Analisis Matematis $V_{IL}$ dan $V_{OH}$ .....	67
4.6.2	Analisis Matematis $V_{IH}$ dan $V_{OL}$ .....	69
4.6.3	Analisis Matematis $V_{TH}$ .....	70
4.6.4	Batas Derau ( <i>Noise Margin</i> ).....	71
4.7	Analisis Waktu Tunda Rambatan ( <i>Propagation Delay</i> ) dan Disipasi Daya.....	71

<b>BAB V SIMULASI DAN PEMBUATAN LAYOUT.....</b>	<b>86</b>
5.1 Simulasi Karakteristik Alih Tegangan (VTC).....	86
5.2 Simulasi <i>Unit Step</i> .....	88
5.2.1 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 0,5$ pF...	89
5.2.2 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 1$ pF.....	97
5.2.3 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 5$ pF.....	106
5.2.4 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 10$ pF...	115
5.2.5 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 15$ pF...	122
5.2.6 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 50$ pF....	129
5.3 Perbandingan Data Hasil Analisis Perhitungan, Simulasi dan <i>Datasheet</i> .....	134
5.4 Pembuatan Stick Diagram dan Layout.....	138
<b>BAB VI KESIMPULAN DAN SARAN.....</b>	<b>139</b>
6.1 Kesimpulan.....	139
6.2 Saran.....	140
<b>DAFTAR PUSTAKA.....</b>	<b>141</b>
<b>LAMPIRAN</b>	
Lampiran 1 Listing Program Simulasi Alih Tegangan (VTC)	
Lampiran 2 Listing Program Simulasi Unit Step $C_L=0,5$ pF	
Lampiran 3 Listing Program Simulasi Unit Step $C_L=1$ pF	
Lampiran 4 Listing Program Simulasi Unit Step $C_L=5$ pF	
Lampiran 5 Listing Program Simulasi Unit Step $C_L=10$ pF	
Lampiran 6 Listing Program Simulasi Unit Step $C_L=15$ pF	
Lampiran 7 Listing Program Simulasi Unit Step $C_L=50$ pF	
Lampiran 8 Datasheet IC TTL BCD to Desimal Dekoder	
Lampiran 9 Datasheet IC CMOS BCD to Desimal Dekoder	
Lampiran 10 Stick Diagram BCD to Desimal Dekoder	
Lampiran 11 Layout Gerbang IC HCMOS BCD to Desimal Dekoder	
Lampiran 12 IC HCMOS BCD to Desimal Dekoder dengan Pad	



## DAFTAR GAMBAR

No.	Judul	Halaman
Gambar 2.1	Simbol Gerbang NOT.....	5
Gambar 2.2	Simbol Gerbang AND.....	5
Gambar 2.3	Simbol Gerbang OR.....	6
Gambar 2.4	Simbol Gerbang NAND.....	6
Gambar 2.5	Simbol Gerbang NOR.....	7
Gambar 2.6	Simbol Transistor MOSFET Mode <i>Depletion</i> .....	8
Gambar 2.7	Simbol Transistor MOSFET Mode <i>Enhancement</i> .....	9
Gambar 2.8	Skematik MOSFET tipe-n.....	10
Gambar 2.9	Struktur Fisik N-MOSFET tipe <i>Enhancement</i> .....	11
Gambar 2.10	Grafik karakteristik MOSFET arus $I_D$ sebagai fungsi $V_{DS}$ dengan parameter $V_{GS}$ .....	13
Gambar 2.11	Struktur Persambungan MOSFET.....	16
Gambar 2.12	Kapasitansi Parasitik MOSFET.....	21
Gambar 2.13	Parameter W dan L MOSFET.....	24
Gambar 2.14	Pengaruh Nilai $k_R$ Pada Grafik $V_{in}$ Terhadap $V_{out}$ .....	25
Gambar 2.15	Karakteristik Alih Tegangan.....	26
Gambar 2.16	Noise Margin.....	27
Gambar 2.17	Definisi Delay Dalam Gerbang Logika.....	29
Gambar 2.18	Susunan NAND CMOS.....	32
Gambar 2.19	Rangkaian Inverter CMOS.....	33
Gambar 2.20	Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS.....	34
Gambar 2.21	Blok Rangkaian IC HCMOS.....	40
Gambar 2.22	Driver Kaskada.....	42
Gambar 2.23	Grafik Hubungan $\alpha$ dengan $\alpha/\ln\alpha$ .....	43
Gambar 2.24	Grafik Hubungan n dengan $C_I/C_G$ .....	43
Gambar 2.25	Rangkaian Dekoder BCD to Desimal.....	48
Gambar 2.26	Simbol Dekoder BCD to Desimal.....	48
Gambar 3.1	Diagram Alir Perancangan IC HCMOS BCD to Desimal Dekoder.....	52
Gambar 4.1	Rangkaian Logika BCD to Desimal Dekoder HCMOS.....	56
Gambar 4.2	Konfigurasi BCD to Desimal Dekoder HCMOS.....	58

Gambar 4.3	Rangkaian Transistor Inverter.....	60
Gambar 4.4	Rangkaian Transistor NAND 4 Input.....	61
Gambar 4.5	Rangkaian Transistor BCD to Desimal Dekoder HCMOS,.....	62
Gambar 4.6	<i>Noise Margin</i> Hasil Perhitungan.....	71
Gambar 5.1	Grafik Alih Tegangan (VTC) BCD to Desimal Dekoder.....	87
Gambar 5.2	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=1MHz$ ....	89
Gambar 5.3	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=2MHz$ ....	90
Gambar 5.4	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=4MHz$ ....	91
Gambar 5.5	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=8MHz$ ....	92
Gambar 5.6	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=10MHz$ ..	94
Gambar 5.7	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=20MHz$ ..	95
Gambar 5.8	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=0,5pF$ ; $f=25MHz$ ..	96
Gambar 5.9	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=1MHz$ .....	97
Gambar 5.10	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=2MHz$ .....	99
Gambar 5.11	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=4MHz$ .....	100
Gambar 5.12	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=8MHz$ .....	101
Gambar 5.13	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=10MHz$ ...	102
Gambar 5.14	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=20MHz$ ...	104
Gambar 5.15	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=1pF$ ; $f=25MHz$ ...	105
Gambar 5.16	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=1MHz$ .....	106
Gambar 5.17	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=2MHz$ .....	107
Gambar 5.18	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=4MHz$ .....	109
Gambar 5.19	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=8MHz$ .....	110
Gambar 5.20	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=10MHz$ ...	111
Gambar 5.21	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=20MHz$ ...	112
Gambar 5.22	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=5pF$ ; $f=25MHz$ ...	114
Gambar 5.23	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=1MHz$ ....	115
Gambar 5.24	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=2MHz$ ....	116
Gambar 5.25	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=4MHz$ ...	117
Gambar 5.26	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=8MHz$ ....	118
Gambar 5.27	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=10MHz$ ..	120
Gambar 5.28	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=20MHz$ ..	121
Gambar 5.29	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=10pF$ ; $f=25MHz$ ..	122
Gambar 5.30	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=1MHz$ ....	123



Gambar 5.31	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=2MHz$ ...	124
Gambar 5.32	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=4MHz$ ...	125
Gambar 5.33	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=8MHz$ ...	126
Gambar 5.34	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=10MHz$ ..	127
Gambar 5.35	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=20MHz$ ..	128
Gambar 5.36	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=15pF$ ; $f=25MHz$ ..	128
Gambar 5.37	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=1MHz$ ...	129
Gambar 5.38	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=2MHz$ ...	130
Gambar 5.39	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=4MHz$ ...	131
Gambar 5.40	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=8MHz$ ...	131
Gambar 5.41	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=10MHz$ ..	132
Gambar 5.42	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=20MHz$ ..	133
Gambar 5.43	Grafik Unit Step IC BCD to Desimal Dekoder $C_L=50pF$ ; $f=25MHz$ ..	133





## DAFTAR TABEL

No.	Judul	Halaman
Tabel 2.1	Daftar Kebenaran Gerbang NOT.....	5
Tabel 2.2	Daftar Kebenaran Gerbang AND.....	5
Tabel 2.3	Daftar Kebenaran Gerbang OR.....	6
Tabel 2.4	Daftar Kebenaran Gerbang NAND.....	7
Tabel 2.5	Daftar Kebenaran Gerbang NOR.....	7
Tabel 2.6	Nilai Kapasitansi Parasitik MOSFET.....	22
Tabel 2.7	Level Tegangan Input Output Inverter CMOS.....	35
Tabel 2.8	Tegangan Input Output Inverter CMOS.....	35
Tabel 2.9	Daftar Kebenaran Dekoder BCD to Desimal dengan Output <i>active-low</i> ....	47
Tabel 4.1	Daftar Kebenaran Hubungan Masukan dan Keluaran Dekoder BCD to Desimal dengan Output <i>active-low</i> .....	63
Tabel 4.2	Parameter Proses Transistor.....	63
Tabel 4.3	Variasi Parameter Transkonduktansi K.....	72
Tabel 4.4	Data Hasil Perhitungan Analisis Propagation Delay.....	85
Tabel 5.1	Data Hasil Simulasi IC BCD to Desimal Dekoder HCMOS.....	134
Tabel 5.2	Perbandingan Data Hasil Perhitungan dan Simulasi VTC dengan Datasheet IC Decoder TTL DM7445 dan IC CMOS MM74C42..	136
Tabel 5.3	Data Hasil Perbandingan Nilai <i>Propagation Delay</i> , <i>Rise Time</i> , dan <i>Fall time</i> , dan $T_{PD}$ dengan <i>Datasheet IC Decoder TTL DM7445</i> dan IC CMOS MM74C42 pada $f = 1\text{MHz}$ .....	137
Tabel 5.4	Data Hasil Perbandingan <i>Power Disipation</i> dan <i>Power Delay Product</i> dengan <i>Datasheet IC Decoder TTL DM7445</i> dan IC CMOS MM74C42 pada $C_L = 15\text{pF}$ dan $C_L=50\text{pF}$ dengan $f = 1\text{MHz}$ .....	138

## ABSTRAK

**Tito Panca Nugraha**, Jurusan Teknik Elektro, Fakultas Teknik Universitas Brawijaya Malang, 2012, *Perancangan IC BCD to Desimal Dekoder dengan Menggunakan Teknologi High Speed CMOS (HCMOS)*, Dosen Pembimbing : Nurussa'adah, Ir., MT. dan R. Arief Setyawan, ST., MT.

Perancangan ini bertujuan untuk menganalisis dan merancang IC BCD to Desimal Dekoder dengan menggunakan teknologi *High Speed CMOS (HCMOS)*. Pembuatan ini gambar rangkaian HCMOS menggunakan *software DSCH* dan penggambaran *layout* rangkaian menggunakan *software Microwind2*. Pengujian spesifikasi rangkain menggunakan *software PSPICE*. Spesifikasi catu tegangan yang digunakan adalah 5 V dengan nilai kapasitor pembebanan = 5 pF, frekuensi maksimal 20 MHz dengan menggunakan parameter nilai  $K_N = 20 \mu\text{A}/\text{V}^2$  dan  $K_P = 8 \mu\text{A}/\text{V}^2$  sehingga diperoleh nilai *average propagation delay* = 40 ns.

Spesifikasi dari hasil simulasi karakteristik alih tegangan (VTC) adalah  $V_{IL} = 2,86 \text{ V}$ ;  $V_{OL} = 0,31 \text{ V}$ ;  $V_{IH} = 2,95 \text{ V}$ ;  $V_{OH} = 4,82 \text{ V}$ ; dengan *Noise Margin*  $N_{MH} = 1,87 \text{ V}$  dan  $N_{ML} = 2,55 \text{ V}$ . Hasil simulasi waktu tunda (*propagation delay*) adalah  $t_{PLH} = 4,12 \text{ ns}$ ,  $t_{PHL} = 2 \text{ ns}$ , dan  $t_{PD} = 3,06 \text{ ns}$ . Disipasi daya yang dihasilkan sebesar 0,125mW. Ukuran layout tanpa *pad I/O* adalah  $1342 \mu\text{m} \times 116 \mu\text{m}$  dan menggunakan *pad I/O* dengan luasan  $2632 \mu\text{m} \times 1437 \mu\text{m}$ . Berdasarkan hasil simulasi dan perancangan menunjukkan bahwa spesifikasi IC BCD to Desimal Dekoder dengan menggunakan teknologi High Speed CMOS (HCMOS) mempunyai kecepatan dan disipasi daya yang lebih baik daripada IC TTL DM7445 dan IC CMOS MM74C42.

**Kata Kunci:** Dekoder, teknologi HCMOS, propagation delay, disipasi daya.



# BAB I

## PENDAHULUAN

### 1.1 Latar Belakang

Dewasa ini perkembangan ilmu pengetahuan dan teknologi (IPTEK) khususnya di bidang elektronika telah membantu dalam menyelesaikan berbagai pekerjaan manusia. Teknologi mikroelektronika merupakan salah satu bidang elektronika yang diterapkan untuk merealisasikan pembuatan rangkaian elektronik berdimensi kecil dengan tetap mempertimbangkan peningkatan kemampuan perkomponen, pengurangan berat, kekuatan uji daya, dan kemampuan stabilitas lingkungan. Teknologi mikroelektronika dibagi menjadi tiga, yaitu: *Printed Circuit Board* (PCB), teknologi film, dan teknologi rangkaian terpadu atau IC (*Integrated Circuit*). Teknologi rangkaian terpadu sendiri dibagi menjadi dua yaitu: teknologi bipolar dan teknologi MOS (*Metal Oxide Semiconductor*).

Pada awal perkembangan sistem digital, logika TTL merupakan logika terpopuler. Namun, sifat dari transistor bipolar sendiri sebagai penyusun utama dari logika TTL yang berdisipasi daya tinggi membuat logika TTL mulai ditinggalkan dalam teknologi rangkaian terpadu dan sebagai gantinya dipilih logika CMOS. Secara fisik teknologi CMOS memiliki ukuran yang sangat kecil.

Keunggulan dari CMOS terletak pada konsumsi disipasi daya yang rendah (dalam orde  $\mu\text{W}$ ), dan *noise margin* yang lebih baik daripada teknologi TTL. Akan tetapi CMOS memiliki kelemahan utama yaitu bila digunakan untuk menggerakkan beban kapasitif. *Propagation delay* CMOS menjadi lebih besar bila menggerakkan beban dengan kapasitansi besar (meskipun dikatakan "besar" orde kapasitansinya adalah dalam orde pF), sedangkan TTL memiliki *propagation delay* lebih kecil. Untuk mengatasi masalah ini telah dikembangkan teknologi lain seperti BiCMOS, namun bentuk VTC (*Voltage Transfer Characteristic*) yang tidak sebegus CMOS menimbulkan masalah lain. Teknologi yang akan dibahas dalam skripsi ini adalah teknologi HCMOS (*High Speed Complementary Metal Oxide Semiconductor*). Teknologi HCMOS adalah teknologi CMOS yang didesain secara khusus sehingga memiliki *propagation*



*delay* yang sama, mendekati, atau lebih baik dari TTL terutama untuk menggerakkan beban dengan kapasitansi yang besar.

Dasar permasalahan perancangan IC HCMOS BCD to desimal dekoder adalah setiap perancang menghendaki suatu *output* yang ideal pada hasil rancangan. Kondisi ideal mencakup banyak aspek diantaranya; VTC (*Voltage Transfer Characteristic*), *propagation delay* kecil, dan disipasi daya yang rendah. Untuk mendapatkan hasil yang ideal, dalam analisis digunakan parameter-parameter yang terpengaruh dalam proses perancangan. Semua parameter akan dieliminasi pada suatu parameter paling utama yaitu nilai rasio W/L CMOS sebagai *driver*. Perbandingan nilai W (*Width*) dan L (*Length*) inilah yang akan menentukan suatu kondisi ideal pada VTC IC HCMOS BCD to desimal dekoder.

## 1.2 Rumusan Masalah

Berdasarkan latar belakang yang telah diuraikan, maka rumusan masalah yang akan dibahas sebagai berikut:

- 1) Bagaimana merencanakan dan merancang rangkaian IC HCMOS BCD to desimal dekoder.
- 2) Bagaimana perhitungan yang mendukung pembuatan rancangan yang direncanakan.
- 3) Bagaimana hasil perbandingan perhitungan manual dengan hasil simulasi terhadap karakteristik dari rancangan yang telah ditentukan.
- 4) Bagaimana perbandingan perfomansi IC HCMOS BCD to desimal dekoder hasil perhitungan manual dan dengan menggunakan simulasi program *Pspice* terhadap IC TTL dan CMOS (*datasheet*)
- 5) Bagaimana pembuatan tata letak (*layout*) dari hasil rancangan dengan menggunakan program *Microwind*.

### 1.3 Batasan Masalah

Dalam ruang lingkup pembahasan perancangan ini, maka terdapat batasan masalah yang disusun sebagai berikut:

- 1) Perhitungan secara manual digunakan untuk memperoleh hasil rancangan yang sesuai dengan spesifikasi yang diinginkan dengan menggunakan parameter-parameter yang telah ditentukan.
- 2) Hasil Rancangan hanya berupa *layout* dan tidak dilakukan proses fabrikasi IC HCMOS BCD to desimal dekoder.
- 3) Tidak membahas program *Pspice* lebih dalam.
- 4) Data Hasil simulasi diperoleh saat IC bekerja pada suhu 27<sup>0</sup>C.

### 1.4 Tujuan

Tujuan penelitian ini adalah merancang IC HCMOS BCD to desimal dekoder dengan *propagation delay* dan disipasi daya seminimal mungkin sehingga memiliki unjuk kerja yang tinggi.



## BAB II

### TINJAUAN PUSTAKA

Dalam tinjauan pustaka ini akan di bahas teori-teori yang mendukung perencanaan dan analisis dalam pembuatan *layout* IC HCMOS BCD to desimal dekoder. Teori-teori yang akan dibahas meliputi: gerbang logika, MOSFET, NAND CMOS, inverter CMOS, IC HCMOS, sistem kode BCD, sistem bilangan desimal, dan rangkaian BCD to desimal dekoder.

Dekoder merupakan rangkaian logika yang berfungsi mengkode ulang atau menafsirkan kode-kode biner yang ada pada inputnya menjadi data asli pada outputnya, dan fungsinya merupakan kebalikan dari fungsi enkoder. Terdapat bermacam-macam jenis dari dekoder antara lain, dekoder 2 ke 4 yang berfungsi menafsirkan kode-kode biner 2-bit menjadi data asli bilangan desimal 0 sampai dengan 3. Dekoder biner ke oktal atau dekoder 3 ke 8 yang memiliki fungsi menafsirkan kode-kode biner 3-bit menjadi data asli sistem bilangan oktal. Dekoder BCD ke desimal atau dekoder 4 ke 10 yang akan dilakukan pembahasan lebih lanjut dalam penelitian ini yang berfungsi menafsirkan kode-kode BCD menjadi bilangan desimal. Dan yang terakhir ada dekoder BCD ke peraga 7 segment yang berfungsi mengubah kode-kode BCD menjadi kode-kode penggerak peraga 7 segment. (Muchlas, 2005:206)

#### 2.1 Gerbang Logika

Gerbang logika adalah piranti dua keadaan yaitu mempunyai keluaran dua keadaan yaitu keluaran dengan logika nol volt yang menyatakan logika 0 atau logika rendah dan keluaran dengan tegangan tetap yang menyatakan logika 1 atau logika tinggi. Gerbang logika dapat memiliki beberapa masukan yang masing-masing mempunyai salah satu dari dua keadaan logika yaitu logika 0 dan logika 1. (Ibrahim, 1996:23)

##### 2.1.1 Gerbang NOT

Gerbang NOT merupakan gerbang logika yang memberikan keadaan level logika 1 (tinggi) pada outputnya jika keadaan inputnya berlevel logika 0 (rendah) atau sebaliknya, gerbang ini akan memberikan keadaan level logika 0 (rendah) jika keadaan inputnya berlevel logika 1 (tinggi). Jadi Gerbang NOT



berfungsi sebagai inverter (pembalik) daripada inputnya. Simbol gerbang NOT ditunjukkan dalam Gambar 2.1 dan daftar kebenaran gerbang NOT ditunjukkan dalam Tabel 2.1.



Gambar 2.1 Simbol gerbang NOT

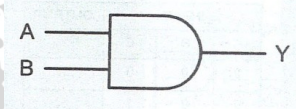
Tabel 2.1 Daftar kebenaran gerbang NOT

Input (A)	Output (Y)
0	1
1	0

Sumber: Muchlas, 2005: 69

### 2.1.2 Gerbang AND

Gerbang AND didefinisikan sebagai gerbang logika yang memberikan keadaan level logika 1 (tinggi) pada outputnya jika dan hanya jika semua keadaan inputnya berlogika 1 (tinggi). Perhatikan, pada Gambar simbol gerbang AND, sisi kiri simbol berupa garis lurus pada sisi kanan berupa garis lengkungan berpola tumpul. Simbol gerbang AND ditunjukkan dalam Gambar 2.2 dan daftar kebenaran gerbang AND ditunjukkan dalam Tabel 2.2.



Gambar 2.2 Simbol gerbang AND

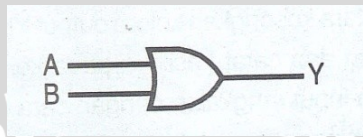
Tabel 2.2 Daftar kebenaran gerbang AND

Input (A)	Input (B)	Output (Y)
0	0	0
0	1	0
1	0	0
1	1	1

Sumber: Muchlas, 2005: 65

### 2.1.3 Gerbang OR

Gerbang OR didefinisikan sebagai gerbang logika yang memberikan keadaan logika 1 (tinggi) pada outputnya jika keadaan salah satu atau lebih inputnya berlogika 1 (tinggi). Perlu di ingat bahwa pada gambar simbol OR tersebut pada sisi kiri berupa garis melengkung dan pada sisi kanannya berupa dua buah garis melengkung yang bertemu membentuk pola runcing. Simbol gerbang OR ditunjukkan dalam Gambar 2.3 dan daftar kebenaran gerbang OR ditunjukkan dalam Tabel 2.3.



Gambar 2.3 Simbol gerbang OR

Tabel 2.3 Daftar kebenaran gerbang OR

Input (A)	Input (B)	Output (Y)
0	0	0
0	1	1
1	0	1
1	1	1

Sumber: Muchlas, 2005: 60

### 2.1.4 Gerbang NAND

Gerbang NAND adalah gerbang logika yang di dalamnya terdapat gabungan gerbang logika AND dan gerbang logika NOT. Outputnya merupakan komplemen atau kebalikan dari gerbang AND, yaitu memberikan keadaan logika 0 (rendah) pada outputnya jika dan hanya jika keadaan semua inputnya berlogika 1 (tinggi). Simbol gerbang NAND ditunjukkan dalam Gambar 2.4 dan daftar kebenaran gerbang NAND ditunjukkan dalam Tabel 2.4.



Gambar 2.4 Simbol gerbang NAND

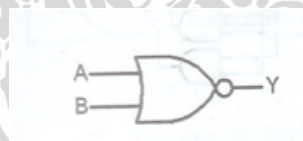
Tabel 2.4 Daftar kebenaran gerbang NAND

Input (A)	Input (B)	Output (Y)
0	0	1
0	1	1
1	0	1
1	1	0

Sumber: Muchlas, 2005: 85

### 2.1.5 Gerbang NOR

Gerbang NOR merupakan gerbang logika gabungan dari gerbang logika OR dan gerbang logika NOT. Outputnya merupakan komplemen atau kebalikan dari gerbang OR, yaitu memberikan keadaan level logika 0 (rendah) pada outputnya jika keadaan salah satu inputnya berlogika 1 (tingi). Simbol gerbang NOR ditunjukkan dalam Gambar 2.5 dan daftar kebenaran gerbang NOR ditunjukkan dalam Tabel 2.5.



Gambar 2.5 Simbol gerbang NOR

Tabel 2.5 Daftar kebenaran gerbang NOR

Input (A)	Input (B)	Output (Y)
0	0	1
0	1	0
1	0	0
1	1	0

Sumber: Muchlas, 2005: 80



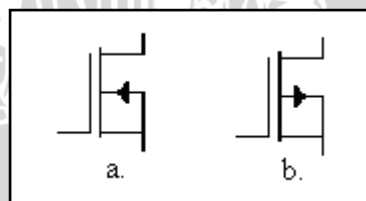
## 2.2 MOSFET

MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) adalah suatu transistor dari bahan semikonduktor (silikon) dengan tingkat konsentrasi ketidakmurnian tertentu. Tingkat dari ketidakmurnian ini akan menentukan jenis transistor tersebut, yaitu transistor MOSFET tipe-N (NMOS) dan transistor MOSFET tipe-P (PMOS). Bahan silikon ini yang akan digunakan sebagai landasan (*substrat*) penguras (*drain*), sumber (*source*), dan gerbang (*gate*). Selanjutnya transistor ini dibuat sedemikian rupa agar antara substrat dan gerbangnya dibatasi oleh oksida silikon yang sangat tipis. Oksida ini diendapkan di atas sisi kiri kanal, sehingga transistor MOSFET akan mempunyai kelebihan dibanding dengan transistor BJT (*Bipolar Junction Transistor*), yaitu menghasilkan disipasi daya yang rendah.

Bila dilihat dari cara kerjanya, transistor MOS dapat dibagi menjadi dua, yaitu:

### 1) Transistor Mode Pengosongan (Transistor Mode Depletion)

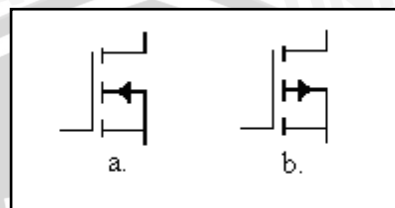
Pada transistor mode depletion, antara drain dan source terdapat saluran yang menghubungkan dua terminal tersebut, dimana saluran tersebut mempunyai fungsi sebagai saluran tempat mengalirnya elektron bebas. Lebar dari saluran itu sendiri dapat dikendalikan oleh tegangan gerbang. Transistor MOSFET mode pengosongan terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.6.



Gambar 2.6 Simbol Transistor MOSFET Mode *Depletion*  
(a). N-Channel *Depletion* (b). P-Channel *Depletion*

## 2) Transistor Mode peningkatan (Transistor Mode Enhancement)

Transistor mode enhancement ini pada fisiknya tidak memiliki saluran antara drain dan sourcena karena lapisan bulk meluas dengan lapisan SiO<sub>2</sub> pada terminal gate. Transistor MOSFET mode peningkatan terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.7.



Gambar 2.7 Simbol Transistor MOSFET Mode *Enhancement*  
(a). N-Channel *Enhancement* (b). P-Channel *Enhancement*

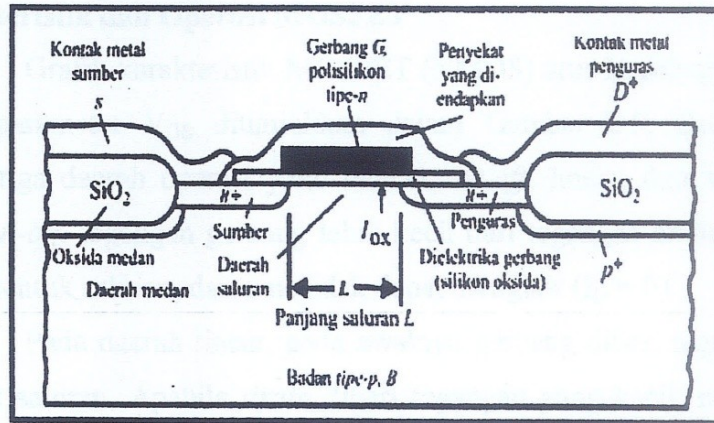
Dilihat dari jenis saluran yang digunakan, transistor MOSFET dapat dikelompokkan menjadi tiga, antara lain:

### 1) NMOS

Transistor NMOS terbuat dari substrat dasar tipe p dengan daerah source dan drain didifusikan tipe n<sup>+</sup> dan daerah kanal terbentuk pada permukaan tipe n. NMOS yang umumnya banyak digunakan adalah NMOS jenis enhancement, dimana pada jenis ini source NMOS sebagian besar akan dihubungkan dengan -V<sub>ss</sub> mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan +V<sub>dd</sub>. Dalam aplikasi gerbang NMOS dapat dikombinasikan dengan resistor, PMOS, atau dengan NMOS lainnya sesuai dengan karakteristik gerbang yang akan dibuat. Sebagai contoh sebuah NMOS dan resistor digabungkan menjadi sebuah gerbang NOT.

*Negatif* MOS adalah MOSFET yang mengalirkan arus penguras sumber menggunakan saluran dari bahan electron, sehingga arus akan mengalir jika tegangan gerbang lebih positif dari substrat dan nilai mutlaknya lebih besar dari  $V_T$  (*Voltage Treshold*). Skematik MOSFET tipe-n ditunjukkan dalam Gambar 2.8.





Gambar 2.8 Skematik MOSFET tipe-n

Sumber: Hodges-Jackson 1987: 37

## 2) PMOS

Transistor PMOS terbuat dari substrat dasar tipe-n dengan daerah source dan drain didifusikan tipe  $p^+$  dan daerah kanal terbentuk pada permukaan tipe p. PMOS yang umumnya banyak digunakan adalah PMOS jenis enhancement, dimana pada jenis ini source PMOS sebagian besar akan dihubungkan dengan  $+V_{dd}$  mengingat struktur dari MOS itu sendiri hampir tidak memungkinkan untuk dihubungkan dengan  $-V_{ss}$ . Dalam aplikasi gerbang PMOS dapat dikombinasikan dengan resistor, NMOS, atau dengan PMOS lainnya sesuai dengan karakteristik gerbang yang akan dibuat. Sebagai contoh sebuah PMOS dan resistor digabungkan menjadi sebuah gerbang NOT.

*Positif* MOS adalah MOSFET yang mengalirkan arus penguras sumber melalui saluran positif berupa *hole*, dimana arus akan mengalir jika tegangan gerbang lebih negatif terhadap substrat dan nilai mutlaknya lebih besar dari  $V_T$ .

## 3) CMOS (Complementary MOS)

MOSFET tipe *complementary* ini mengalirkan arus penguras sumber melalui saluran tipe-n dan tipe-p secara bergantian sesuai dengan tegangan yang dimasukkan pada gerbangnya (*gate*).

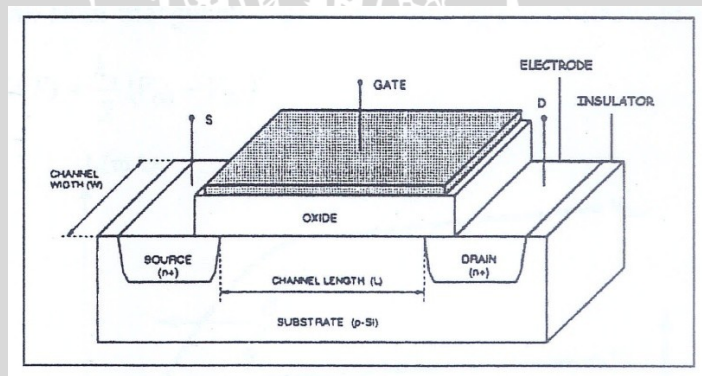


## 2.2.1 Bentuk Dasar MOSFET

### 1) NMOS tipe Enhancement

Struktur transistor NMOS terdiri atas substrat tipe-p dengan daerah *source* dan *drain* diberi difusi  $n^+$ . Diantara daerah *source* dan *drain* terdapat suatu daerah sempit dari substrat p yang disebut *channel* yang ditutupi oleh lapisan tang penghantar (isolator) yang terbuat dari  $\text{SiO}_2$ . Panjang *channel* disebut *Length* (L) dan lebarnya disebut *Width* (W). Gerbang (*gate*) terbuat dari polisilikon dan ditutup oleh penyekat yang diendapkan.

Struktur transistor NMOS terdiri atas substrat tipe-p dan tipe-n, kedua parameter ini sangat penting untuk mengontrol MOSFET. Parameter yang tidak kalah penting adalah ketebalan lapisan oksida yang menutupi daerah *channel* (*tox*). Di atas lapisan *insulating* tersebut didepositikan *polycrystalline silicon (polysilicone) electrode*, yang disebut dengan gerbang (*gate*). struktur fisik NMOSFET tipe *enhancement* ditunjukkan dalam Gambar 2.9.



Gambar 2.9 Struktur fisik N-MOSFET tipe Enhancement

### 2) PMOS tipe Enhancement

Struktur transistor PMOS terdiri atas substrat tipe-n dengan daerah *source* dan *drain* diberi difusi  $p^+$ , dan untuk kondisi yang lain adalah sama dengan NMOS.

### 2.2.2 Karakteristik dan Operasi MOSFET

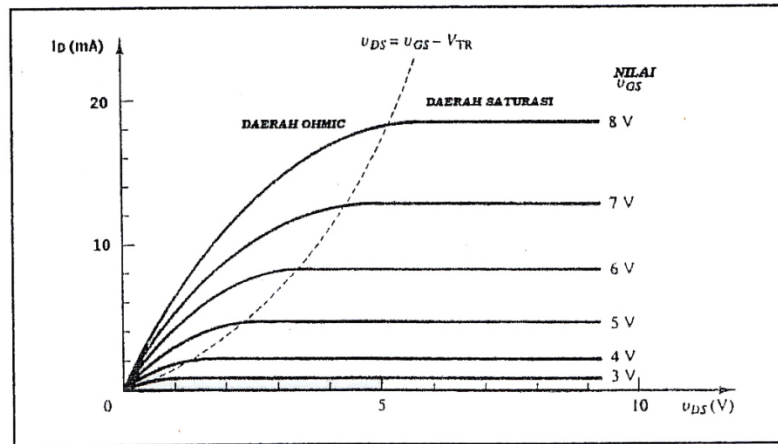
Pada MOSFET terdapat tiga daerah operasi yaitu daerah *cut-off*, linear dan saturasi. Pada daerah *cut-off*, tegangan gerbang lebih kecil dari tegangan ambang, sehingga tidak terbentuk saluran yang berakibat arus tidak dapat mengalir ( $I_D = 0$ ).

Pada daerah linear, pada awalnya gerbang diberi tegangan hingga terbentuk saluran. Apabila *drain* diberi tegangan yang kecil, maka elektron akan mengalir dari *source* menuju *drain* atau arus akan mengalir dari *drain* ke *source*. Selanjutnya saluran tersebut akan bertindak sebagai suatu tahanan, sehingga arus *drain* ( $I_D$ ) akan sebanding dengan tegangan *drain*.

$$I_D (\text{LIN}) = k_n \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.1)$$

Apabila tegangan *drain* terus ditingkatkan hingga tegangan pada *gate* menjadi netral, lapisan inversi saluran pada sisi *drain* akan hilang, dan akan mencapai suatu titik yang disebut titik *pinch-off*. Pada titik *pinch-off* ini merupakan permulaan dari daerah kerja saturasi. Apabila melebihi titik ini, peningkatan tegangan *drain* tidak akan mengubah arus *drain*, sehingga arus *drain* tetap (konstan). Grafik karakteristik arus-tegangan (output) MOSFET ditunjukkan dalam Gambar 2.10.

$$I_D (\text{SAT}) = \frac{k_n}{2} (V_{GS} - V_T)^2 \quad (2.2)$$



Gambar 2.10 Grafik karakteristik MOSFET arus  $I_D$  sebagai fungsi  $V_{DS}$  dengan parameter  $V_{GS}$

Sumber: Geiger, Allen, Strader, 1990: 151

Disebelah kiri garis putus terjepit (*pinch-off*), transistor berlaku sebagai tahanan (resistor) yang dikendalikan tegangan tak linier yang disebut sebagai daerah kerja linier atau tak jenuh (*non-saturation*) atau disebut daerah *ohmic*. Untuk daerah sebelah kanan putus terjepit (*pinch-off*), grafik mendekati sumber arus yang dikendalikan tegangan.

Bentuk operasi untuk MOSFET saluran-p adalah sama seperti pada transistor MOSFET saluran-n. pernyataan arus *drain* identik dengan polaritas tegangan dan arah arus terbalik.

- Cutoff =  $V_{SG,p} \leq -V_{TP}$   
 $I_D(\text{OFF}) = 0$
- Linear =  $V_{SG,p} \geq -V_{TP}$ , dan  $V_{SD,p} \leq V_{SG,p} + V_{TP}$

$$I_{D,p}(\text{LIN}) = k_p \left[ (V_{SG,p} - V_{TP}) V_{SD,p} - \frac{V_{SD,p}^2}{2} \right] \quad (2.3)$$

- Saturasi =  $V_{SG,p} \geq -V_{TP}$ , dan  $V_{SD,p} \geq V_{SG,p} + V_{TP}$

$$I_D(\text{SAT}) = \frac{k_p}{2} (V_{SG,p} - V_{TP})^2 \quad (2.4)$$



### 2.2.3 Tegangan Ambang (*Threshold Voltage*)

Tegangan ambang dapat didefinisikan sebagai tegangan minimal yang diperlukan suatu sistem (dalam hal ini transistor MOS) untuk mulai mengalir atau dalam sebuah MOS adalah tegangan antara *gate* dan *ground* yang menyebabkan arus antara *drain* dan *source* maksimal (saturasi). Tegangan ambang ini diatur dengan menggunakan perubahan konsentrasi *doping*.

Tegangan ambang untuk MOSFET dapat dinyatakan dengan persamaan sebagai berikut.

$$V_T = V_{T0} + \gamma \left( \sqrt{|\phi_F| + V_{SB}} - \sqrt{2\phi_F} \right) \quad (2.5)$$

dengan :

$V_T$  = tegangan ambang (V)

$V_{T0}$  = tegangan ambang untuk  $V_{SB} = 0$  (V)

$\gamma$  = efek bias body ( $V^{1/2}$ )

$V_{SB}$  = tegangan *source-body (bulk)*

$\phi_F$  = potensial fermi (V)

Dengan tegangan *source-body (bulk)* dihubungkan *ground* ( $V_B = 0V$ ). Dalam analisis teknologi CMOS efek bias badan tidak perlu dimasukkan dalam perhitungan (Haznedar, 1990). Logika dasar CMOS dapat dibias dengan persamaan  $V_T = V_{T0}$ , sehingga untuk memudahkan penulisan,  $V_T$  akan digunakan untuk menyatakan tegangan ambang jika  $V_T = V_{T0}$ .

$$\gamma = \frac{\sqrt{2q \cdot N_a \cdot E_s}}{C_{OX}} \quad (2.6)$$

$q$  adalah besar muatan,  $N_a$  adalah jumlah pembawa muatan mayoritas akseptor,  $E_s$  adalah permitivitas silikon,  $C_{OX}$  adalah kapasitansi persatuan luas.  $\phi_F$  potensial fermi atau potensial keseimbangan elektrostatik (*equilibrium electrostatic*). Besarnya dapat ditentukan dengan persamaan :

$$\varphi = \frac{kT}{q} \ln \left( \frac{n_i}{p} \right) \quad (\text{Semikonduktor tipe-p}) \quad (2.7)$$

$$\varphi = \frac{kT}{q} \ln \left( \frac{n}{n_i} \right) \quad (\text{Semikonduktor tipe-n}) \quad (2.8)$$

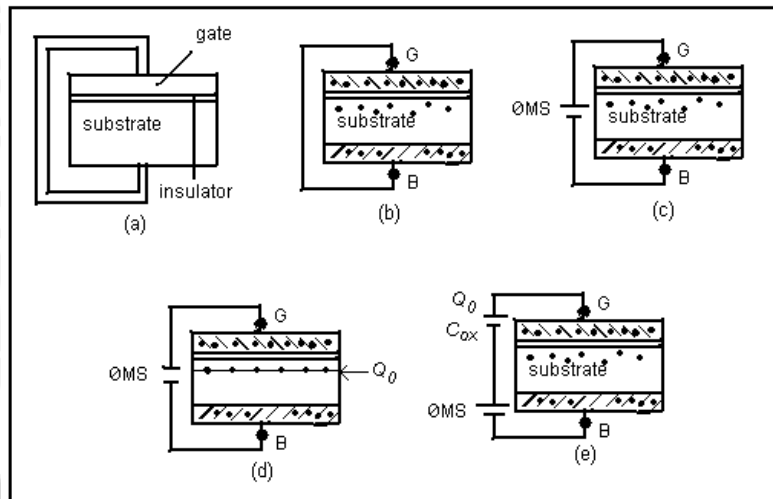
$k$  adalah konstanta boltzman,  $T$  adalah temperatur dalam kelvin,  $q$  besaran muatan dalam coulomb, dan  $p$  dan  $n$  adalah konsentrasi pembawa muatan mayoritas (dianggap sama dengan konsentrasi *doping*  $N_a$  dalam Persamaan 2.6),  $n_a$  adalah konsentrasi pembawa muatan dalam semikonduktor intrinsik.

Jika *VSB* MOSFET adalah positif, maka akan meningkatkan tegangan ambang efektif untuk MOSFET kanal-n, ha ini disebut *efek bias body* yang terdapat dalam Persamaan 2.6. Dalam rangkaian terintegrasi NMOS, substrat selalu dihubungkan dengan tegangan paling negatif dalam sistem, sehingga analisis karakteristik fungsi alih akan mendekati keakuratannya.

Pada kebanyakan *chip* MOS, untuk mengubah tegangan ambang dilakukan dengan mengubah konsentrasi *doping* saluran yang diatur oleh banyaknya ion yang ditanamkan (*implant*) ke saluran. Penamahan *implant* tipe-p menyebabkan tegangan ambang lebih positif dan sebaliknya penambahan *implant* tipe-n menyebabkan tegangan ambang lebih negatif. Tegangan ambang disimbolkan dengan  $V_{TN}$  untuk *implant* tipe-n dan  $V_{TP}$  untuk *implant* tipe-p.

#### 2.2.4 Persambungan MOSFET

Dalam persambungan MOSFET, untuk membedakan dengan terminal sumber S, terminal gerbang diberi simbol G dan terminal substrat diberi simbol B (*bulk/body*) seperti dalam Gambar 2.11.



Gambar 2.11 Struktur Persambungan MOSFET

Suprpto, 2000:7

Besarnya potensial statik di antara gerbang dan substrat tergantung pada konsentrasi atom ketidakmurniannya dan tidak bergantung pada bahan diantaranya. Secara matematis dapat ditulis.

$$\sum_{gerbang}^{bulk} (\text{potensial statik}) = \varphi_{lk} \quad (2.9)$$

dengan :

$\varphi_{gerbang}$  = potensial batang gerbang

$\varphi_{bulk}$  = potensial bahan substrat

Keberadaan potensial statik ini menyebabkan muatan timbul pada kedua sisi isolator, dalam hal ini silikon dioksida. Polaritasnya ditunjukkan dalam Gambar 2.11(b). Muatan batas ini akan hilang jika potensial total dalam *loop* tertutup gerbang *SiO2* substrat-gerbang sama dengan nol. Untuk mencapai kondisi demikian, maka:

$$V_{GB} = \varphi_{ms} \quad (2.10)$$



Dengan  $\phi_{ms}$  adalah potensial statik antara gerbang dan *bulk*, didefinisikan sebagai:

$$\phi_{ms} = \phi_{gerbang} - \phi_{bulk} \quad (2.11)$$

Potensial statik persambungan MOS tidak hanya dipengaruhi  $\phi_{ms}$  melainkan juga dipengaruhi oleh muatan oksida silikon yang ditumbuhkan selama proses pabrikasinya. Proses konstaminasi dan ionisasi menyebabkan muatan timbul dalam silikon dioksida.

Pemberian muatan ini adalah penambahan muatan tidak bergerak yang besarnya tidak tergantung tegangan. Pengaruh muatan terhadap persambungan MOS dimodelkan sebagai suatu lapisan tunggal  $SiO_2$  bermuatan  $Q_0$  positif seperti yang ditunjukkan dalam gambar 2.11(d) maka dalam substrat terbentuk atom-atom *acceptor*. Sedangkan di permukaannya tertumpuk elektron, sehingga saluran terbentuk.

Untuk menghilangkan pengaruh ini perlu diberikan muatan sebesar  $-Q_0$  pada gerbang dengan jalan memberikan suatu sumber tegangan luar dengan terminal negatif pada gerbang, seperti ditunjukkan dalam gambar 2.6(e). Potensial oksida silikon ( $\phi_{ox}$ ) adalah potensial gerbang terhadap substrat melalui  $SiO_2$ . Besarnya potensial ini adalah :

$$\phi_{ox} = \frac{-Q_0}{C_{ox}} \quad (2.12)$$

Dengan  $C_{ox}$  adalah kapasitansi per satuan luas dielektris gerbang, maka dapat di definisikan sebagai:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.13)$$

dengan :

$C_{ox}$  = kapasitansi persatuan luas

$t_{ox}$  = ketebalan silikon dioksida

$\epsilon_{ox}$  = permitivitas ruang hampa =  $8.86E^{-12}$  F/m

Tegangan yang digunakan untuk menetralkan persambungan MOS adalah tegangan pita datar (*flat Band Voltage*) dan disimbolkan dengan  $V_{FB}$ . Besarnya tegangan pita datar ini adalah :

$$V_{FB} = \varphi_{ms} = \frac{-\lambda_o}{C_{ox}} \quad (2.14)$$

Pada rangkaian tertutup persambungan MOS terdapat empat macam tegangan, yaitu:

- 1) Tegangan sumber luar ( $V_{GB}$ )
- 2) Tegangan oksida silikon ( $\varphi_{ox}$ )
- 3) Tegangan permukaan ( $\varphi_s$ )
- 4) Tegangan kontak ( $\varphi_{ms}$ )

Tegangan sumber luar yang besarnya tidak sama menimbulkan tegangan permukaan di permukaan substrat. Hal ini terjadi untuk mencapai keadaan setimbang. Secara matematis dapat ditulis:

$$V_{GB} = \varphi_{ox} + \varphi_s + \varphi_{ms} \quad (2.15)$$

Karena  $\varphi_{ms}$  dan  $\varphi_{ox}$  konstan, maka pengubahan nilai  $V_{GB}$  akan menyebabkan perubahan pada  $\varphi_s$ . Variasi nilai  $V_{GB}$  dan  $V_{FB}$  memberikan empat macam keadaan pada persambungan MOS, yaitu:

- 1) Kondisi pita datar (*Flat Band Condition*)

Pada kondisi ini muatan permukaan dan tegangan permukaan tidak timbul atau sama dengan nol.

$$V_{GB} = V_{FB}, Q_{sc} = 0, \varphi_s = 0$$

2) Akumulasi (*Accumulation*)

Kondisi ini tercapai pada saat  $V_{GB} < V_{FB}$ . Pada saat ini muatan pada gerbang relatif lebih negatif terhadap muatan pada saat  $V_{GB} = V_{FB}$ . Oleh karena itu, lubang akan tertumpuk di permukaan sebagai akibatnya timbul muatan dan tegangan di permukaan:

$$V_{GB} < V_{FB}, Q_{sc} > 0, \phi_s < 0$$

3) Pengosongan (*Depletion*)

Untuk  $V_{GB} < V_{FB}$  maka muatan positif ditimbulkan di gerbang. Akibatnya lubang-lubang dipermukaan di tekan ke bawah dan meninggalkan ion-ion akseptor bermuatan negatif. Muatan yang ditimbulkan oleh ion-ion ini disebut sebagai muatan pengaturan. Besarnya muatan di dalam semikonduktor yang ditimbulkan saat ini adalah:

$$Q_{sc} = Q_{SG} - Q_0 = (V_G - V_{FB} - \phi_s) \cdot C_{ox} \quad (2.16)$$

Sehingga besarnya pengaturan muatan pengaturan:

$$X_B = \frac{\sqrt{2\epsilon}}{qNa} \phi \quad (2.17)$$

Dimana  $\epsilon_s$  adalah konstanta dielektrik silikon.

4) Kondisi pembalikan (*inversion*)

Untuk  $V_{GB} > V_{FB}$  maka akan tertarik ke permukaan. Sehingga di permukaan substrat bertipe sebaiknya (*n*). elektron di dalam substrat sebagai pembawa minoritas.



### 2.2.5 Karakteristik Arus Tegangan

Bila  $V_{GS}$  lebih besar dari  $V_T$  terdapat sebuah saluran penghantar dan  $V_{DS}$  menyebabkan arus hanyut ( $I_D$ ) mengalir dari *drain* ke *source*. Tegangan  $V_{DS}$  menyebabkan prategangan balik (*reverse bias*) yang besar dari *drain* ke *body* daripada dari *source* ke *body*. Jadi terdapat lapisan pengosongan yang lebih lebar pada *drain*.

$$I_D = k \frac{W}{L} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.18)$$

Parameter traskonduktansi adalah  $k = k(W/L)$ . Substitusi Persamaan 2.18 dengan parameter traskonduksi menghasilkan persamaan:

$$I_D = \frac{I_s}{2} \left[ (V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

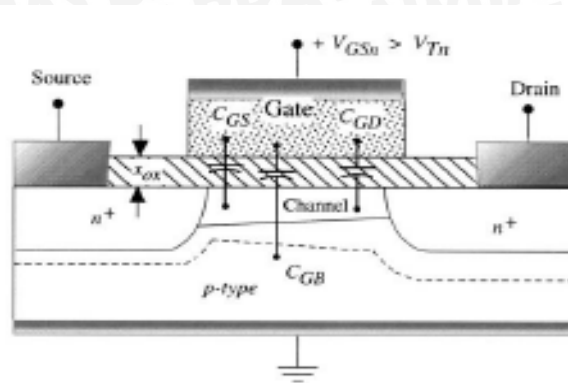
Jika :  $V_{GS} = V_T$

$$V_{DS} = (V_{GS} - V_T)$$

$$\text{maka: } I_D = \frac{I_s}{2} (V_{GS} - V_T)^2 \quad (2.19)$$

### 2.2.6 Kapasitansi Transistor MOSFET

Semua waktu respon alih MOSFET digital sebanding dengan kapasitansi keluaran ( $C_{out}$ ). Minimalisasi  $C_{out}$  menjadi objek terpenting dalam perancangan rangkaian logika berkecepatan tinggi. Kapasitansi serpih MOSFET akan dipertimbangkan dalam proses fabrikasi dan ukuran *layout*.



Gambar 2.12 Kapasitansi Parasitik MOSFET.

Sumber: Geiger, 1990: 162

Beberapa struktur kapasitansi terkumpul (*lumped*) setara yang dikenalkan sebagai model adalah *non-linier* (tergantung tegangan) ditunjukkan dalam Gambar 2.12. Perhitungan hanya dalam perkiraan rata-rata sehingga analisis yang lebih akurat memerlukan simulasi komputer.

Walaupun tidak dapat ditentukan dengan pasti simpul keluaran kapasitansi ( $C_{out}$ ), tetapi perkiraan dapat diperoleh relatif langsung dengan pemodelan. Ini dilakukan dengan mengisolasi kapasitansi intrinsik. Kapasitansi MOSFET yang dibuat akan mendekati kesesuaian dengan setiap transistor dalam rangkaian. Nilai  $C_{out}$  untuk perantaraan gerbang logika dapat dibuat dengan menggabungkan kapasitansi MOSFET dengan kapasitansi saluran  $C_{out}$ . Karena keduanya adalah paralel, maka dapat langsung dijumlahkan dengan  $C_{out}$  sebagai kapasitansi tersendiri.

Besar kapasitansi  $C_{out}$  menentukan waktu tunda rambatan dan besar perkalian daya tunda (*power delay product*). Kapasitansi dalam model ditentukan juga oleh ukuran geometris dari panjang dan lebar gerbang serta ukuran panjang difusi muatan ion dalam saluran dan sumber. Nilai kapasitansi parasitik MOSFET ditunjukkan dalam Tabel 2.6.

Tabel 2.6 Nilai Kapasitansi Parasitik MOSFET

C	Daerah Kerja		
	Cut-off	Linier	Jenuh
$C_{GD}$	$C_{OX} W L_D$	$C_{OX} W L_D + \frac{1}{2} W L C_{OX}$	$C_{OX} W L_D$
$C_{GS}$	$C_{OX} W L_D$	$C_{OX} W L_D + \frac{1}{2} W L C_{OX}$	$C_{OX} W L_D + \frac{2}{3} W L C_{OX}$
$C_{BG}$	$C_{OX} W L$	0	0
$C_{BD}$	$C_{BDI}$	$C_{BDI} + C_{BC}$	$C_{BDI}$
$C_{BS}$	$C_{BSI}$	$C_{BSI} + C_{BC}$	$C_{BSI} + \frac{2}{3} C_{BCI}$

Sumber: Geiger, 1990:164

Panjang fisik gerbang dirumuskan dengan:

$$L = L_s + L_d + L \tag{2.20}$$

Dengan  $L$  adalah panjang sebenarnya (panjang efektif) dari gerbang MOSFET (di antara daerah  $n^+$  saluran dan sumber).  $L_s$  dan  $L_d$  memberikan jarak *overlap* pada gerbang saluran untuk membuat  $L_s > 0$  dan  $L_d > 0$  digunakan untuk operasional alat dan memastikan lapisan inversi dapat membuat hubungan dengan kedua daerah  $n^+$  saluran dan sumber. Kapasitansi *overlap* dapat dihitung dengan:

$$C_{ols} = C_{ox} W L_s C_{old} = C_{ox} W L_d \tag{2.21}$$

dengan:

$$C_{ox} = \frac{\epsilon}{t_{ox}} \tag{2.22}$$





$C_{ols}$  adalah kapasitansi *overlap source* dan  $C_{old}$  adalah kapasitansi *overlap drain*. Dengan  $C_{ols}$  dan  $C_{ox}$  tetap sesuai dengan ukuran. Untuk kapasitansi yang lain adalah  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$  (kapasitansi parasit setiap terminal). Masing-masing kapasitor tersebut dipengaruhi Oleh fungsi tegangan gerbang dan tegangan sumber,  $f(V_{GS}, V_{GD})$  dengan persamaan:

$$C_{gs} = C_{ox}WLf_1(V_{GS}, V_{GD}) \quad (2.23)$$

$$C_{gd} = C_{ox}WLf_2(V_{GS}, V_{GD}) \quad (2.24)$$

Nilai  $f_1$  dan  $f_2$  adalah fungsi yang menyatakan ketergantungan tidak-linier pada tegangan dan  $C_{gb}$  adalah kapasitansi gerbang-badan berisi muatan tipe-p tergantung pada tegangan, dinyatakan sebagai:

$$C_{gd} = C_{ox}WLf_3(V_{GS}, V_{GD}, V_{SB}) \quad (2.25)$$

Dengan  $f_3$  termasuk efek bias badan melalui VSB. Fungsi tegangan  $f_1$ ,  $f_2$ , dan  $f_3$  dapat dianalisis langsung, dengan asumsi langsung terhadap perubahan dalam kanal (lapisan inversi). Perhitungan nilai rangkaian perlu kombinasi kapasitansi terhadap kapasitansi *overlap*. Kapasitansi total diberikan:

$$C_G = C_{ox}WL \quad (2.26)$$

Apabila  $L$  adalah panjang gerbang. Total kapasitansi gerbang-sumber dinyatakan:

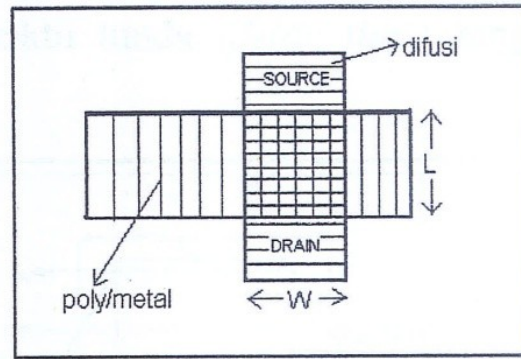
$$C_{GS} = C_{ols} + C_{gs} \quad (2.27)$$

Sedangkan total kapasitansi gerbang saluran:

$$C_{GD} = C_{old} + C_{gd} \quad (2.28)$$

### 2.2.7 Lebar dan Panjang (*Width* dan *Length*)

Transistor MOS dapat dibuat dengan menyilangkan sebuah poly atau logam (metal) dengan sebuah difusi ditunjukkan dalam Gambar 2.13. Masing-masing poly atau metal dan difusi memiliki luas yang terdiri atas lebar (*Width*) dan panjang (*Length*) dan disimbolkan dengan  $W$  dan  $L$ . Nilai  $W$  dan  $L$  ini akan mempengaruhi dimensi dan beberapa parameter lain dalam perancangan.



Gambar 2.13 Parameter  $W$  dan  $L$  Transistor MOS

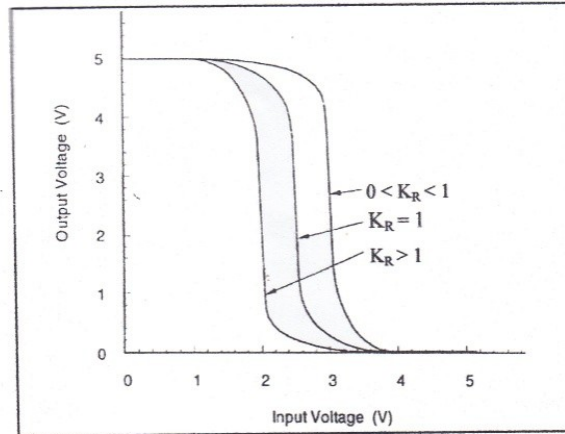
Ukuran  $W$  dan  $L$  ini merupakan parameter terpenting dalam sebuah perancangan Transistor MOS. Perbedaan perbandingan ukuran  $W$  dan  $L$  diusahakan harus sekecil mungkin untuk memperoleh kerapatan rangkaian dan kecepatan proses yang tinggi, yang akhirnya akan menghasilkan performansi yang tinggi.

Parameter lain yang dipergunakan oleh nilai  $W$  dan  $L$  adalah parameter  $k_R$ , yang dapat dilihat dalam Persamaan (2-29),

$$k_R = \frac{\left[ \mu C_{ox} \frac{W_n}{L_n} \right]}{\left[ \mu_r C_{ox} \frac{W_p}{L_p} \right]} \quad k_R = \frac{k_n}{k_p} \quad (2.29)$$

$W_n$  dan  $L_n$  merupakan lebar untuk difusi  $p^+$  dan polisilikon dari transistor PMOS sedangkan  $W_p$  dan  $L_p$  menunjukkan lebar untuk difusi  $n^+$  dan polisilikon dari transistor NMOS. Nilai  $k_R$  memberikan pengaruh terhadap kesimetrisan grafik alih tegangan antara tegangan keluaran dan masukan pada gerbang logika MOS. Gambar 2.14 menunjukkan pengaruh  $k_R$  terhadap kesimetrisan suatu grafik karakteristik alih tegangan.





Gambar 2.14 Pengaruh Nilai  $k_R$  Pada Grafik  $V_{in}$  Terhadap  $V_{out}$

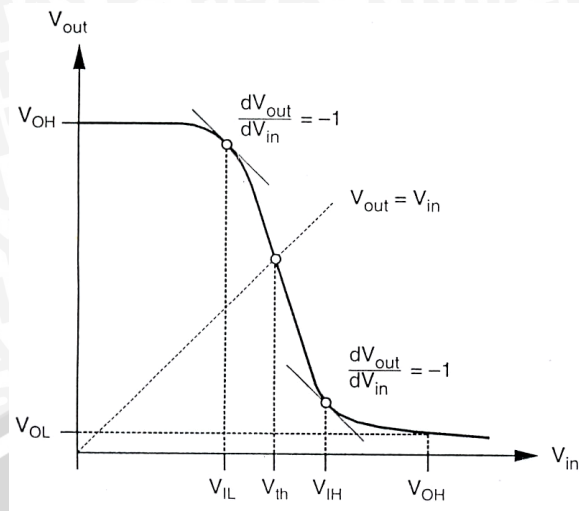
Suatu gerbang dikatakan memiliki grafik karakteristik alih tegangan yang simetris apabila nilai  $k_R = 1$ , dimana pada saat ini berlaku hubungan yang ditunjukkan dalam Persamaan (2.29).

### 2.2.8 Definisi Level Logika dan *Noise Margin*

Sistem digital dalam skala besar selalu terdiri atas interkoneksi gerbang-gerbang dengan jenis *family* sama. Terdapat gerbang yang bertugas sebagai *input port* yang menerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain, yang tentunya dimungkinkan terdapat lagi gerbang setelahnya. Bila sebuah karakter digital ditransmisikan antar gerbang maka level tegangan  $V(1)$ , merepresentasikan logika 1 dan level tegangan  $V(0)$  mempresentasikan logika 0. Setiap level tegangan harus secara konsisten diproduksi oleh setiap gerbang. Secara konversi, level tegangan  $V(1)$  dan  $V(0)$  dinamakan  $V_{OH}$  dan  $V_{OL}$  yang ditunjukkan dalam Gambar 2.15.

Nilai  $V_{OH}$  dan  $V_{OL}$  harus didefinisikan secara konsisten sehingga sebuah inverter yang menerima nilai  $V_{IL}$  harus didefinisikan secara konsisten sehingga tegangan  $V_{OH}$ . Bila inverter tersebut menerima  $V_{IH}$  sebagai masukan maka akan mengeluarkan tegangan  $V_{OL}$ .





Gambar 2.15 Karakteristik Alih Tegangan

Sumber: Kang, 1996: 137

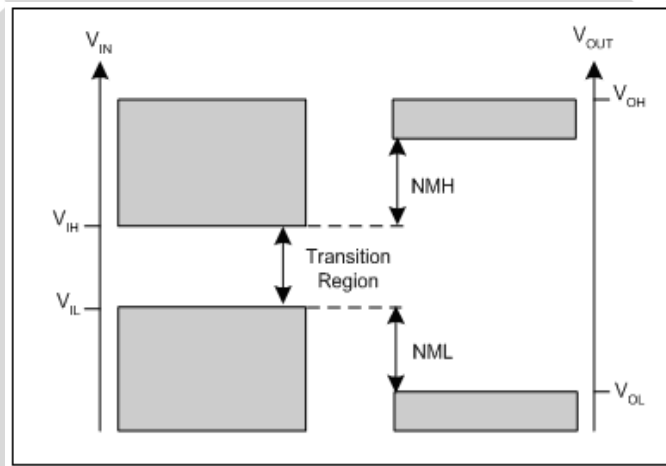
Hubungan antara  $V_{OH}$  dan  $V_{OL}$  adalah hal yang cukup penting pada grafik VTC. Grafik VTC yang ditunjukkan dalam Gambar 2.15, kemiringan grafik untuk nilai yang dapat diterima minimal adalah  $-1$ . Kemiringan  $-1$  terletak pada titik-titik kritis pada grafik (titik belok). Nilai tegangan keluaran di antara dua titik kemiringan ini dinamakan daerah logika tak tentu.

Pada kenyataannya, nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah  $V_{OH}$  atau di atas  $V_{OL}$ . fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen  $L$  dan  $C$  parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi seperti ini. Sebagai konsekuensi, sebuah gerbang harus memproses nilai tegangan yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai  $V_{OH}$  dan  $V_{OL}$  pada setiap *gate* harus diredam dan bukan diperkuat. Penguatan fluktuasi tegangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik VTC adalah  $-1$  (titik kritis).

Nilai tegangan masukan ini menunjukkan nilai tertinggi tegangan masukan yang dapat diterima dengan nilai  $0$  dan masih bisa mengeluarkan nilai  $1$  yang dapat diterima oleh gerbang lain.  $V_{IH}$  didefinisikan sebagai nilai terkecil yang dapat diterima oleh sebuah gerbang dengan nilai  $1$  dan masih bisa mengeluarkan nilai  $0$  yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara  $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$  menjadi penting. Gambar 2.16 menunjukkan parameter lain yaitu *noise margin*. *Noise margin* menunjukkan kekebalan relatif sebuah famili logika terhadap *noise*. *Noise margin* sebuah famili logika diketahui dengan mengevaluasi karakteristik sebuah *single inverter*.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1 maka secara ideal, masukan untuk gerbang berikutnya bernilai  $V_{OH}$ . Namun seandainya nilai tersebut jatuh sehingga bernilai  $V_{IH}$  maka masih akan dianggap berlogika 1. Fluktasi *noise* akan menjadi permasalahan hanya jika tegangan jatuh di bawah nilai  $V_{IH}$ . Perbedaan nilai  $V_{OH}$  dan  $V_{IH}$  merepresentasikan daerah yang diterima berlogika 1, disebut  $NM_H$ ,



Gambar 2.16 Noise Margin

Sumber: Kang, 1996: 140

$$NM_H = V_{OH} - V_{IH} \quad (2.30)$$

dengan:

$V_{OH}$  = Nilai ideal logika 1

$V_{IH}$  = Nilai minimum logika 1 yang bisa diterima

Parameter  $NM_H$  berlaku untuk tegangan masukan tinggi. Semakin besar nilai  $NM_H$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada suatu daerah logika 1.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0 maka secara ideal, masukan untuk gerbang berikutnya bernilai  $V_{OL}$ . Namun seandainya nilai tersebut naik sehingga bernilai  $V_{IL}$  maka masih akan dianggap berlogika 0. Fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan naik di atas  $V_{IL}$ . Perbedaan nilai  $V_{IL}$  dan  $V_{OL}$  merepresentasikan daerah yang diterima berlogika 0, disebut  $NM_L$ ,

$$NM_L = V_{IL} - V_{OL} \quad (2.31)$$

dengan :

$V_{OL}$  = Nilai ideal logika 0

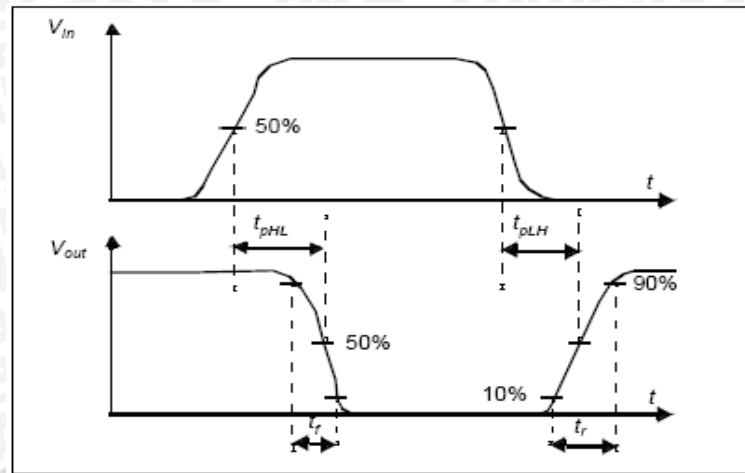
$V_{IL}$  = Nilai maksimum logika 0 yang bisa diterima

Parameter  $NM_L$  berlaku untuk tegangan masukan rendah. Semakin besar nilai  $NM_L$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada suatu daerah logika 0. Secara umum, suatu gerbang dikatakan memiliki *noise margin* tinggi bila memiliki  $NM_L$  dan  $NM_H$  yang besar.

### 2.2.9 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang.





Gambar 2.17 Definisi *Delay* dalam gerbang logika

Sumber: Rabaey, 1999: 117

*Rise time* ( $t_r$ ) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10%  $V_{DD}$  ke 90%  $V_{DD}$  untuk gerbang dengan tegangan “LOW” 0V dan tegangan “HIGH”  $V_{DD}$ . *Fall time* ( $t_f$ ) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90%  $V_{DD}$  ke 10%  $V_{DD}$ . *Propagation delay* diukur antara dua titik pada gelombang masukan dan keluaran seperti terlihat dalam Gambar 2.17. *Propagation Delay* ketika transisi keluaran dari logika “LOW” ke “HIGH” dinamakan  $t_{PLH}$ . Sedangkan transisi keluaran logika “HIGH” ke “LOW” dinamakan  $t_{PHL}$ . Rumus yang dipakai untuk menghitung *propagation delay*  $T_{PLH}$  dan  $T_{PHL}$  adalah

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r C_{ox} \left( \frac{V}{L} \right)} \cdot V_{DD} \quad (2.32)$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu C_{ox} \left( \frac{V}{L} \right)} \cdot V_{DD} \quad (2.33)$$

$$t_r, (t_{TLH}) = 2 \times t_{PLH} \quad (2.34)$$

$$t_f, (t_{THL}) = 2 \times t_{PHL} \quad (2.35)$$

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (2.36)$$

### 2.2.10 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu: disipasi daya statis, daya pensaklaran (*switching*) DC yang terjadi pada saat kedua transistor menghantarkan secara bersamaan dalam waktu yang sangat singkat dan daya pensaklaran AC yang terjadi ketika kapaitansi total pada gerbang menyimpan dan melepaskan muatan (Geiger, 1990: 597). Kombinasi dari daya pensaklaran DC dengan daya pensaklaran AC disebut dengan disipasi daya dinamis.

Disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Jalur DC antara  $V_{DD}$  dan  $V_{SS}$  selalu terputus oleh transistor yang *cut off* dalam keadaan mantap (*steady state*). Komponen yang kedua adalah disipasi daya yang disebabkan pensaklaran DC, terjadi karena masukan gerbang berada pada daerah transisi. Ketika kedua transistor menghantar membentuk jalur antara  $V_{DD}$  ke  $V_{SS}$ . Untuk gerbang logika disipasi daya rata-rata pensaklaran DC meningkat dengan meningkatnya waktu *switching* sinyal masukan. Disipasi daya yang disebabkan pensaklaran DC hanya berpengaruh sekitar 10% terhadap disipasi daya total sistem CMOS.

Komponen utama disipasi daya CMOS adalah daya pensaklaran AC. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah  $C$  dan nilai tegangan catu  $V_{DD}$  adalah  $V$ , maka energi yang diberikan pada kapasitor adalah

$$E = \int_0^{\infty} V_i(t) dt = CV^2 \quad (2.37)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah  $\frac{1}{2}CV^2$  atau setengah dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan, jumlah energi yang disimpan sebelumnya akan dilepaskan pula. Sehingga energi keseluruhan yang dilepas kapasitor dalam satu siklus adalah  $CV^2$ . Bila frekuensi operasi, maka disipasi daya rata-rata adalah,

$$P = C_L V_{DD}^2 f \quad (2.38)$$

Analisis ini menunjukkan bahwa rata-rata disipasi daya AC pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi, frekuensi kerja akan naik karena ukuran transistor yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu dan atau kapasitansi gerbang diturunkan maka disipasi daya akan turun. Oleh karena itu, dalam rangkaian terintegrasi sistem logika CMOS banyak digunakan.

Dalam kondisi keluaran gerbang IC tanpa beban, jika ICCL merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika rendah dan ICCH merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika tinggi, maka daya rata-rata yang dikonsumsi sebuah IC adalah

$$\begin{aligned}
 P_D(\text{rata-rata}) &= \frac{I_{CCH} + I_{CCL}}{2} \times V_{DD} \\
 &= C_C(\text{rata-rata}) \times V_{DD}
 \end{aligned}
 \tag{2.39}$$

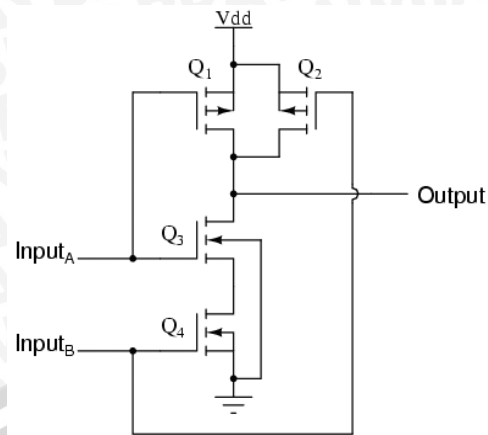
Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan ukuran kecepatan dan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata.

$$PDP = t_{dly} \cdot P
 \tag{2.40}$$

### 2.3 NAND CMOS

Struktur Gerbang NAND pada dasarnya merupakan gerbang AND yang diberi inverter pada keluarannya dan hanya akan memiliki nilai logika keluaran 1 apabila salah satu masukannya 0, dan akan memiliki nilai keluaran 0 jika seluruh masukannya bernilai 1. Gambar 2.18 memperlihatkan struktur gerbang NAND dengan CMOS.



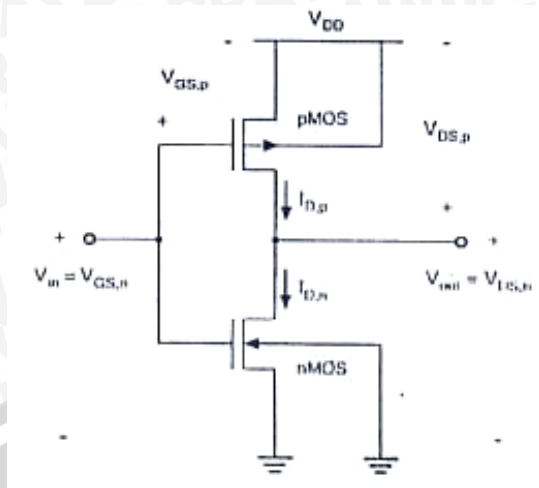


Gambar 2.18 Susunan NAND CMOS

Pada NAND CMOS, jika A rendah, Q1 menyala dan Q4 mati, dan menyebabkan keluaran mempunyai tegangan sama dengan tegangan catu VDD (logika 1). Demikian juga halnya jika B rendah, Q2 menyala dan keluarannya juga tinggi. Jika A dan B keduanya tinggi, Q3 dan Q4 akan menyala, dan menyebabkan keluarannya bernilai logika 0, sehingga keluarannya merupakan fungsi NAND.

#### 2.4 Inverter CMOS

Rangkaian inverter CMOS ditunjukkan dalam Gambar 2.19. Berdasarkan Gambar 2.19, tegangan masukan dihubungkan ke terminal gerbang dari kedua transistor NMOS dan PMOS. Jadi, kedua transistor secara langsung digerakkan oleh sinyal masukan ( $V_{in}$ ). substrat transistor NMOS terhubung ke *ground*, sedangkan substrat transistor PMOS terhubung ke catu daya rangkaian,  $V_{DD}$  tersambung ke *drain* dan sumber dibias balik.



Gambar 2.19 Rangkaian Inverter CMOS

Sumber: Kang, 1996: 176

Berdasarkan Gambar 2.19 dapat diketahui bahwa

$$V_{GS,n} = V_{in} \quad (2.41)$$

$$V_{DS,n} = V_{out} \quad (2.42)$$

dan,

$$V_{GS,p} = - (V_{DD} - V_{in}) \quad (2.43)$$

$$V_{DS,p} = - (V_{DD} - V_{out}) \quad (2.44)$$

Jika tegangan masukan lebih kecil daripada tegangan ambang NMOS, yakni  $V_{in} < V_{T,n}$ , maka transistor NMOS dalam kondisi *cut-off*. Pada saat yang sama, transistor sama dengan nol, yakni

$$I_{D,n} = I_{D,p} = 0 \quad (2.45)$$

Tegangan *drain-source* transistor PMOS juga sama dengan nol dan tegangan keluaran  $V_{OH}$  sama dengan tegangan catu, yakni

$$V_{out} = V_{OH} = V_{DD} \quad (2.46)$$

Jika tegangan masukan melebihi  $V_{DD} = V_{T,p}$ , transistor PMOS dalam kondisi *cut-off*. Dalam hal ini, transistor NMOS bekerja dalam daerah linear dan tegangan *drain-source* sama dengan nol karena kondisi Persamaan (2.45) terpenuhi. Akibatnya, tegangan keluaran dari rangkaian adalah:

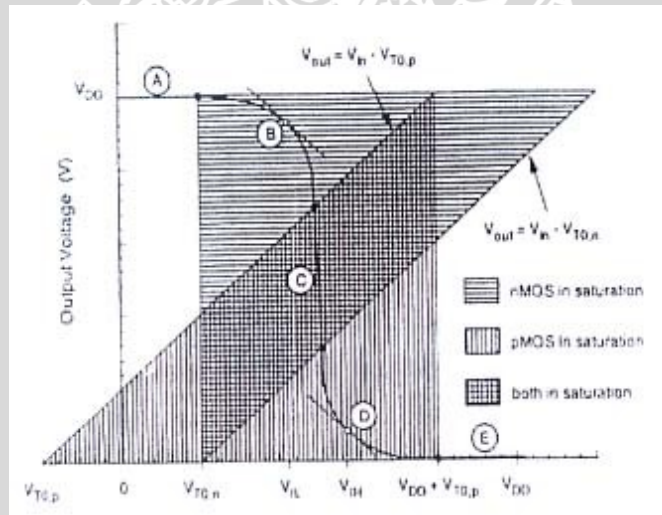
$$V_{out} = V_{OL} = 0 \tag{2.47}$$

Transistor NMOS bekerja dalam daerah saturasi, jika  $V_{in} > V_{T,n}$  dan jika:

$$V_{DS,n} \geq V_{GS,n} - V_{T,n} \leftrightarrow V_{out} \geq V_{in} - V_{T,n} \tag{2.48}$$

Transistor PMOS bekerja dalam daerah saturasi, jika  $V_{in} < (V_{DD} + V_{T0,p})$  dan jika :

$$V_{DS,p} \leq V_{GS,p} - V_{T,p} \tag{2.49}$$



Gambar 2.20 Daerah Operasi Transistor NMOS dan PMOS Inverter CMOS

Sumber: Kang, 1996: 178



Tabel 2.7 Level Tegangan Input Output Inverter CMOS

Daerah Operasi	V <sub>in</sub>	V <sub>out</sub>
A	<V <sub>TO,n</sub>	V <sub>OH</sub>
B	V <sub>IL</sub>	High = V <sub>OH</sub>
C	V <sub>TH</sub>	V <sub>TH</sub>
D	V <sub>IH</sub>	Low = V <sub>OL</sub>
E	>(V <sub>DD</sub> + V <sub>TO,p</sub> )	V <sub>OL</sub>

Sumber: Kang, 1996: 179

Tabel 2.8 Kondisi Daerah Operasi Transistor

Daerah Operasi	N-MOS	P-MOS
A	Cut-off	Linier
B	Saturation	Linier
C	Saturation	Saturation
D	Linier	Saturation
E	Linier	Cut-off

Sumber: Kang, 1996: 179

Daerah operasi transistor NMOS dan PMOS inverter CMOS ditunjukkan dalam Gambar 2.20 dan Tabel 2.7 dan Tabel 2.8. Pada daerah A, dengan adanya  $V_{in} < V_{T,n}$ , transistor NMOS dalam kondisi *cut-off* dan tegangan keluaran sama dengan  $V_{OH} = V_{DD}$ . Dengan tegangan masukan dinaikkan melampaui  $V_{T,n}$  (daerah B), transistor NMOS mulai konduksi dalam mode saturasi dan tegangan keluaran mulai menurun dan tegangan kritis  $V_{IL}$  yang menunjukkan nilai  $dV_{out}/dV_{in} = -1$  terletak pada daerah B.

Pada tegangan keluaran terus menurun, transistor PMOS memasuki daerah saturasi pada batas daerah C. saat  $V_{in} = V_{out}$  maka terletak pada daerah C. jika tegangan keluaran  $V_{out}$  turun di bawah  $V_{in} - V_{T,n}$ , transistor NMOS mulai bekerja dalam mode linear yang ditunjukkan dalam daerah D dan tegangan kritis  $V_{IH}$  dengan nilai  $dV_{out}/dV_{in} = -1$  juga terletak pada daerah ini. Pada daerah E dengan tegangan masukan  $V_{in} > V_{DD} + V_{T,p}$ , transistor PMOS dalam kondisi *cut-off* dan tegangan keluaran adalah  $V_{OL} = 0$ .

Karakteristik dari inverter CMOS adalah hanya salah satu dari transistornya yang ON saat keadaan mantap, menyebabkan inverter CMOS memiliki sifat “*ratioless inverter*”. Sifat *ratioless inverter* adalah sifat sebuah inverter dimana tegangan keluaran dalam kondisi mantap dan tidak dipengaruhi (*independent*) oleh rasio ukuran transistor *pull-up* dan *pull-down*. Efek dasar dari ukuran transistor *pull-up* dan *pull-down* adalah berakibat terhadap resistansi ekivalien transistor pada saat menghantar. Sehingga pengambilan ukuran dapat diarahkan pada kemampuan divais untuk mensuplai arus yang sama baik pada saat keluaran berlogika “HIGH” maupun “LOW”, sifat ini dinamakan “*symmetric output drive*”.

Bila resistansi ekivalen transistor tipe-n adalah  $R_N$  dan resistansi ekivalen untuk transistor tipe-p adalah  $R_p$ , maka berlaku kesebandingan,

$$R_N \propto \frac{L_N}{W_N K_N} \tag{2.50}$$

dan,

$$R_p \propto \frac{L_p}{W_p K_p} \tag{2.51}$$

dengan:

- $L_N$  dan  $L_p$  = panjang *channel*
- $W_N$  dan  $W_p$  = lebar *channel*
- $K_N$  dan  $K_p$  = parameter transkonduktansi

Keluaran akan bersifat *symmetric output drive* bila  $R_N=R_p$ . Jika diambil nilai yang umum untuk parameter transkonduktansi ( $K_N=2.5 K_p$ ), maka

$$\frac{L_N W_p}{W_N L_p} = \frac{K_N}{K_p} = 2.5$$

### 2.4.1 Analisis Matematis Tegangan Masukan Rendah ( $V_{IL}$ )

Kemiringan dari suatu VTC sama dengan -1, yakni  $dV_{out}/dV_{in} = -1$ , ketika tegangan masukan  $V_{in} = V_{IL}$ . Dalam hal ini, transistor NMOS beroperasi dalam daerah saturasi, sedangkan transistor PMOS beroperasi dalam daerah linear. Dengan  $I_{D,n} = I_{D,p}$ , diperoleh persamaan arus yang diberikan oleh

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} [2 \cdot (V_{GS,p} - V_{T,p}) \cdot V_{DS,p} - V_{DS,p}^2] \quad (2.52)$$

dengan menggunakan Persamaan (2.41) – (2.44), persamaan (2.53) dapat ditulis:

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [2 \cdot (V_{in} - V_{DD} - V_{T,p}) \cdot (V_{out} - V_{DD}) - (V_{out} - V_{DD})^2] \quad (2.53)$$

dengan mendiferensialkan Persamaan (2.53) terhadap  $V_{in}$  diperoleh

$$k_n (V_{in} - V_{T,n}) = k_p \left[ (V_{in} - V_{DD} - V_{T,p}) \left( \frac{dV_{out}}{dV_{in}} \right) + (V_{out} - V_{DD}) - (V_{out} - V_{DD}) \left( \frac{dV_{out}}{dV_{in}} \right) \right] \quad (2.54)$$

Substitusi  $V_{in} = V_{IL}$  dan  $(dV_{out}/dV_{in}) = -1$  ke dalam Persamaan (2.54), diperoleh

$$k_n (V_{IL} - V_{T,n}) k_p (2V_{out} - V_{IL} + V_{T,p} - V_{DD}) \quad (2.55)$$

Tegangan kritis  $V_{IL}$  dapat ditentukan sebagai fungsi dari tegangan keluaran  $V_{out}$  yang dinyatakan sebagai,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2.56)$$

dengan :  $k_R = \frac{k_n}{k_p}$



### 2.4.2 Analisis Matematis Tegangan Masukan Tinggi ( $V_{IH}$ )

Jika tegangan masukan sama dengan  $V_{IH}$ , transistor NMOS beroperasi dalam daerah linear, dan transistor PMOS beroperasi dalam mode saturasi. Dengan KCL pada titik keluaran diperoleh persamaan arus

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n}) V_{DS,n} - \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2 = 0 \quad (2.57)$$

dengan menggunakan persamaan (2.41) – (2.44), persamaan (2.58) dapat ditulis sebagai

$$\frac{k_n}{2} (V_{in} - V_{T,n}) V_{out} - \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 = 0 \quad (2.58)$$

dengan mendiferensialkan persamaan (2.58) terhadap  $V_{in}$  diperoleh

$$k_n \left[ (V_{in} - V_{T,n}) \left( \frac{dV_{out}}{dV_{in}} \right) + V_{out} - V_{out}^2 \left( \frac{dV_{out}}{dV_{in}} \right) \right] = k_p (V_{in} - V_{DD} - V_{T,p})^2 \quad (2.59)$$

Substitusi  $V_{in} = V_{IH}$  dan  $(dV_{out}/V_{in})$  ke dalam persamaan (2.59) diperoleh

$$K_n (-V_{IH} + V_{T,n} + 2V_{out}) = k_p (V_{IH} - V_{DD} - V_{T,p})^2 \quad (2.60)$$

Tegangan kritis  $V_{IH}$  dapat ditentukan sebagai fungsi dari tegangan keluaran  $V_{out}$  yang dinyatakan sebagai

$$V_{IH} = \frac{V_{DD} + V_{T,p} + \frac{K_n}{K_p} (2V_{out} + V_{T,n})}{1 + \frac{K_n}{K_p}} \quad (2.61)$$

### 2.4.3 Analisis Matematis Tegangan *Threshold Inverter* ( $V_{th}$ )

Tegangan *threshold inverter* yang telah ditentukan sebagai  $V_{th} = V_{in} = V_{out}$ , karena inverter CMOS memberikan *noise margin* yang besar dan mempunyai bentuk transisi VTC yang curam, tegangan *threshold* merupakan suatu parameter karakteristik DC yang penting untuk menunjukkan kehandalan dari inverter. Untuk  $V_{in} = V_{out}$  kedua transistor beroperasi dalam daerah saturasi. Dengan KCL dapat ditulis persamaan arus

$$\frac{k_n}{2} (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} (V_{GS,p} - V_{T,p})^2 \quad (2.62)$$

dengan mengganti  $V_{GS,n}$  dan  $V_{DS,p}$  dalam persamaan (2.62) menurut persamaan (2.41) dan (2.43), diperoleh

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} (V_{in} - V_{T,p})^2 \quad (2.63)$$

Persamaan ini dapat dibuat untuk tegangan masukan  $V_{in}$ :

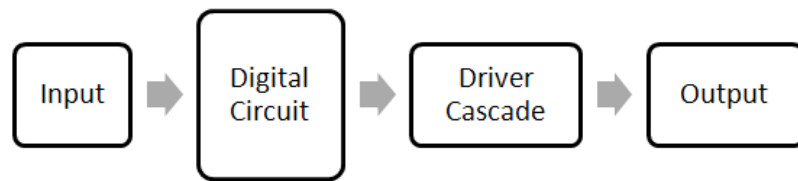
$$V_{in} \left( 1 + \sqrt{\frac{k_p}{k_n}} \right) = V_{T,n} + \sqrt{\frac{k_p}{k_n}} (V_{DD} + V_{T,p}) \quad (2.64)$$

Sehingga tegangan *threshold* inverter (*threshold switching*),  $V_{th}$  dinyatakan sebagai:

$$V_{th} = \frac{V_{T,n} + \sqrt{\frac{1}{k_n}} (V_{DD} + V_{T,p})}{1 + \sqrt{\frac{1}{k_R}}} \quad (2.65)$$

## 2.5 Driver Kaskada (HCMOS)

HCMOS merupakan hasil perkembangan dari teknologi CMOS, dengan bentuk struktur dasar yang sama yaitu terbentuk dari transistor NMOS dan PMOS. Keunggulan dari IC HCMOS adalah memiliki waktu tunda rambatan yang relatif cepat dan disipasi daya yang kecil. Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990: 591), sehingga blok pembentuk IC HCMOS berupa rangkaian digital CMOS dan driver kaskada ditunjukkan dalam Gambar 2.21.



Gambar 2.21 Blok rangkaian IC HCMOS

Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990:591). Dengan mengasumsikan sebuah sinyal keluaran dari gerbang referensi yang menggerakkan *load* kapasitansi  $C_L$  maka *propagation delay* rata-rata dapat dinyatakan dengan

$$t_{dr} = \frac{t_{apd} C_L}{C_G} \quad (2.66)$$

dengan:

$t_{apd}$  = rata-rata *delay* gerbang

$C_G$  = kapasitansi masukan gerbang referensi



Untuk setiap bilangan interger  $n \geq 1$ , didefinisikan  $\alpha$ .

$$\alpha = \left( \frac{C_L}{C_G} \right)^n \tag{2.67}$$

$n$  dapat direpresentasikan sebagai fungsi  $\alpha$  sebagai,

$$n = \frac{\lceil \ln C_L / C_G \rceil}{\ln \alpha} \tag{2.68}$$

Konfigurasi ini terdiri dan gabungan  $n$  inverter (termasuk gerbang referensi awal). Jika masing-masing dirancang dengan rasio 4:1 artinya perbandingan antara ekivalen resistansi transistor *pull up* dan *pull down*. Bila rasio perbandingan bukan 4:1 maka tidak menjadi masalah seperti pada logika CMOS yang dikenal bersifat *ratioless*. Setiap gerbang memiliki *drive capability*  $\alpha$ -kali lebih besar dan stage sebelumnya. Karakteristik  $W$  dan  $L$  *stage* ke- $k$  dijabarkan dengan persamaan berikut,

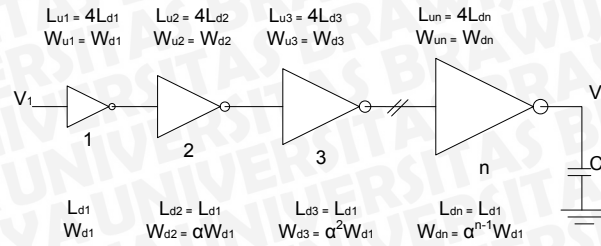
$$\begin{aligned} W_{dk} &= \alpha^{k-1} W_{d1} \\ L_{dk} &= L_{d1} \\ W_{uk} &= W_{dk} \\ L_{uk} &= 4L_{dk} \end{aligned} \tag{2.69}$$

dengan:

$$\begin{aligned} W_{dk} &= W \text{ pulldown transistor kaskada inverter ke-}k \\ L_{dk} &= L \text{ pulldown transistor kaskada inverter ke-}k \\ W_{uk} &= W \text{ pullup transistor kaskada inverter ke-}k \\ L_{uk} &= L \text{ pullup transistor kaskada inverter ke-}k \end{aligned}$$

*Load* kapasitansi stage ke- $k$   $C$  relatif terhadap kapasitansi gerbang masukan  $C_G$  adalah

$$C_{Lk} = \alpha^k C_G \tag{2.70}$$



Gambar 2.22 Driver kaskada

Sumber : Geiger, Allen, Strader, 1990 : 59

Dalam Gambar 2.22 untuk inverter yang pertama terdapat *propagation delay* sebesar  $\alpha t_{apd}$ , sehingga total *propagation delay* struktur kaskada ini adalah

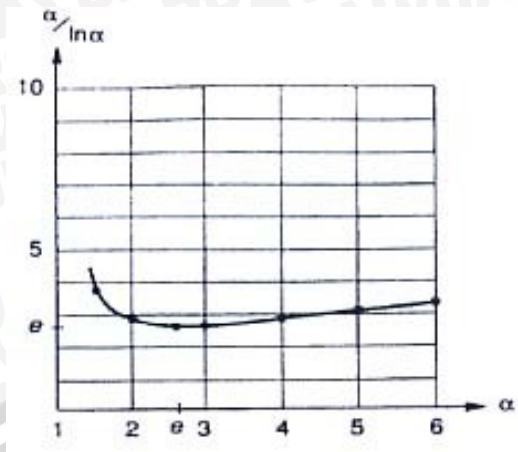
$$t_{cas} = n\alpha t_{apd} \tag{2.71}$$

Pengertian  $r$  adalah rasio antara *delay* struktur *driver* kaskada dengan *propagation delay* rata-rata gerbang, dapat dirumuskan:

$$r = \frac{t_{cat}}{t_{dir}} = \frac{n\alpha t_{apd}}{t_{apd} C_L / C_G} = \frac{n\alpha C_G}{C_L} \tag{2.72}$$

Namun yang menjadi persoalan adalah bagaimana meminimalisasi  $r$  sehingga meminimalkan *delay* rangkaian secara total. Variabel  $n$  dapat dihilangkan sehingga,

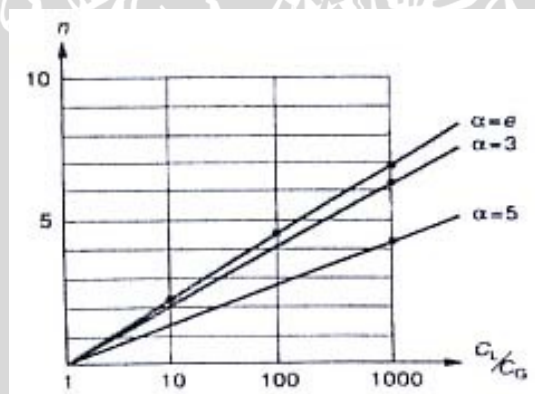
$$r = \frac{\ln(C_L / C_G)}{C_L / C_G} \cdot \frac{\alpha}{\ln \alpha} \tag{2.73}$$



Gambar 2.23 Grafik Hubungan  $\alpha$  Dengan  $\alpha/\ln\alpha$

Sumber : Geiger, 1990 : 172

Menurut Persamaan (2.73)  $\alpha$  dapat dipakai untuk meminimalisasi  $r$ . Gambar 2.23 menunjukkan hubungan antara  $\alpha$  dengan  $\alpha/\ln\alpha$ . Dalam grafik terlihat bahwa nilai minimum  $\alpha/\ln\alpha$  dicapai ketika  $\alpha=e$  dengan nilai  $e$ . Gambar 2.24 menunjukkan hubungan antara  $n$  dengan  $C_L/C_G$ . Hubungan nilai ( $\alpha=e$ ,  $\alpha=3$  dan  $\alpha=5$ ) ditunjukkan dalam Gambar 2.24.



Gambar 2.24 Grafik Hubungan  $n$  Dengan  $C_L/C_G$

Sumber : Geiger, 1990 : 172

$n$  adalah jumlah stage yang dikaskada.  $n$  merupakan sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktik nilai  $\alpha$  diset pada nilai yang lebih besar dan  $e$  untuk menghasilkan pengurangan jumlah stage kaskada. Gambar 2.24 menunjukkan bahwa selama  $\alpha$  berada diantara nilai 2 dan 4, deviasi terhadap minimum *delay* kurang dan 5%.



Pada Persamaan (2.71) ditunjukkan bahwa untuk load ratio yang kecil peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh, menurut Persamaan (2.72) kaskada tujuh tingkat dengan ukuran yang dioptimalkan yang digunakan untuk menggerakkan beban kapasitif dengan ratio  $1100C_G$  menghasilkan *propagation delay* 1.7% dibanding *propagation delay* yang dibutuhkan gerbang dasar.

Hal yang perlu diperhatikan dalam perancangan adalah bila jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk nilai  $n$  yang besar luasan area total yang dihasilkan oleh driver kaskada terlalu besar. Sebagai contoh, rangkaian stage tujuh tingkat membutuhkan  $e^6$  403 kali luasan gerbang dasar. Dengan luasan seperti ini tentu tidak akan efisien untuk rangkaian yang terintegrasi dengan jumlah yang banyak, misalnya dalam jumlah ribuan. Kedua hal ini perlu menjadi pertimbangan perancang dalam proses desain sebuah gerbang.

## 2.6 Sistem Kode BCD (*Binary-Coded Desimal*)

Kode BCD atau Desimal Dikode Biner sering ditulis dalam bentuk BCD-8421 menggunakan kode biner 4-bit untuk mempresentasikan masing-masing digit desimal dalam suatu bilangan. Untuk menunjukkan kode BCD, diambil suatu bilangan desimal 874. Setiap digit diubah menjadi ekivalen binernya sebagai berikut:

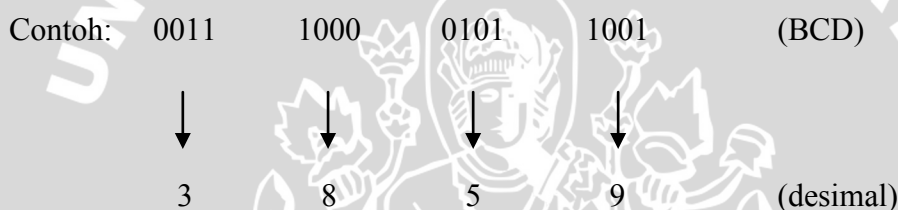
8	7	4	(desimal)
↓	↓	↓	
1000	0111	0100	(BCD)

Sebagai contoh lain, diubah bilangan 94,5 menjadi representasi kode BCD.



Setiap digit desimal diubah menjadi ekivalen biner langsungnya. Namun, yang perlu diingat di sini adalah bahwa *4 bit selalu digunakan untuk setiap digit*. Dengan demikian kode BCD dapat dilihat dalam urutan berikut:

0000 – 0001 – 0010 – 0011 – 0100 – 0101 – 0110 – 0111 – 1000 – 1001.



Penting untuk diketahui bahwa bilangan BCD tidak sama dengan bilangan biner langsung. Kode biner langsung mengkodekan lengkap seluruh bilangan desimal dan menyatakan dalam biner, sedang kode BCD mengubah desimal menjadi biner individual (satu persatu), contoh:

$$(137)_{10} = 10001001 \quad (\text{biner})$$

$$(137)_{10} = 000100110111 \quad (\text{BCD})$$

Dalam sistem kode BCD terdapat 6 buah kode yang tidak dapat digunakan (*invalid code*) yaitu: 1010, 1011, 1100, 1101, 1110, dan 1111, sehingga hanya ada 10 buah kode BCD yang valid yaitu kode-kode untuk mempresentasikan bilangan desimal 0-9 seperti yang disebutkan di atas. Untuk lebih jelasnya, dapat dilihat dalam contoh sebagai berikut:



0111	1100	0001	(BCD)
↓	↓	↓	
7	<i>invalid code</i>	1	(desimal)

Contoh di atas menunjukkan kode yang tidak dapat digunakan (*invalid*), hal itu menunjukkan terjadi kesalahan pada kode BCD

Dalam bidang teknik digital terdapat rangkaian yang dapat membangkitkan kode BCD dari suatu bilangan desimal yang dimasukkan ke dalam inputnya, dan rangkaian tersebut dinamakan pengkode desimal ke BCD (desimal to BCD enkoder), namun terdapat pula rangkaian yang fungsinya merupakan kebalikan dari fungsi enkoder yaitu BCD to desimal dekoder yang selanjutnya akan dibahas secara lebih lanjut.

## 2.7 Sistem Bilangan Desimal

Desimal merupakan sistem bilangan dengan basis 10, artinya digit atau angka yang digunakan untuk menyajikannya berjumlah 10 buah, yaitu: 0, 1, 2, 3, 4, 5, 6, 7, 8, dan 9, serta setiap digit penyusunnya memiliki bobot kepangkatan  $10^n$  dengan  $n$  merupakan bilangan bulat positif dan negatif. Contoh dari sebuah bilangan desimal yaitu Bilangan  $(5436)_{10}$  atau  $5346_{10}$ , oleh karena desimal merupakan sistem bilangan yang paling banyak dan paling sering digunakan, maka penyajiannya dapat ditulis angka-angka penyusunnya saja tanpa indeks, dalam hal ini cukup ditulis 5432.

## 2.8 Dekoder BCD to Desimal

Dekoder merupakan rangkaian logika yang berfungsi mengkode ulang atau menafsirkan kode-kode biner yang ada pada inputnya menjadi data asli pada outputnya, dan fungsinya merupakan kebalikan dari fungsi encoder. Dekoder merupakan rangkaian kombinasional yang mempunyai masukan (input) sebanyak  $n$  dan keluarannya (output) sebanyak  $2^n$ . Dekoder berfungsi untuk mengaktifkan salah satu dari saluran keluarannya untuk setiap pola masukan yang berbeda-beda. Dekoder bersifat *active low* dan dilengkapi dengan saluran masukan *enable low*. Keluaran bersifat *active low* maksudnya saluran keluaran dikatakan aktif jika kondisi keluaran tersebut adalah *low* atau memiliki



tegangan rendah. Enable berfungsi untuk mengaktifkan atau me-nonaktif-kan rangkaian. Enable *low* maksudnya rangkaian akan aktif jika enable diberi masukan *low* atau tegangan rendah.

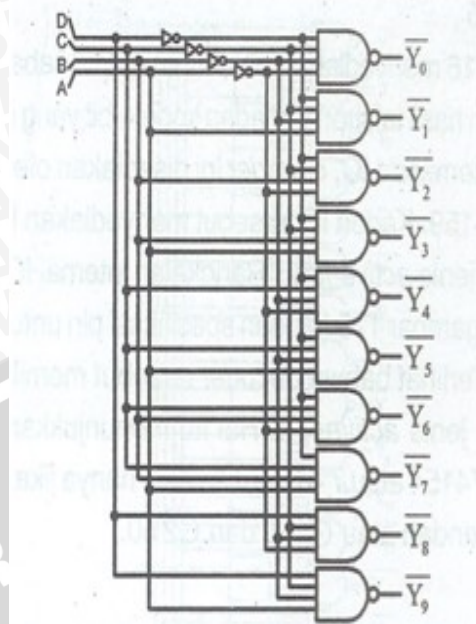
Salah satu contoh dari rangkaian logika dekoder adalah rangkaian dekoder BCD to desimal. Dekoder BCD to desimal ini berfungsi menafsirkan kode-kode BCD ke nilai desimal atau dinamakan pula dekoder 4 to 10. Rangkaian dekoder BCD to desimal terdiri atas 10 buah gerbang NAND 4 input sebagai penyusunnya. Setiap gerbang-gerbang logika digital akan dibentuk melalui teknologi CMOS, dimana dalam teknologi CMOS akan selalu dihubungkan dengan transistor NMOS dan transistor PMOS. Dekoder ini disediakan oleh IC TTL dengan seri 7442, 7445, 74145, 74445, dan 74141. Daftar kebenaran dekoder BCD to desimal dari berbagai IC ditunjukkan pada Tabel 2.9, sedangkan rangkaian ditunjukkan dalam Gambar 2.25 dan simbolnya ditunjukkan pada Gambar 2.26.

Tabel 2.9 Daftar kebenaran dekoder BCD to desimal dengan output *active-low*

No.	Input				Output									
	D	C	B	A	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$	$\bar{Y}_8$	$\bar{Y}_9$
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
KODE TIDAK SAH	1	0	1	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	1	1	0	0	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	1	1	1	1	1	1	1	1
	1	1	1	0	1	1	1	1	1	1	1	1	1	1
	1	1	1	1	1	1	1	1	1	1	1	1	1	1

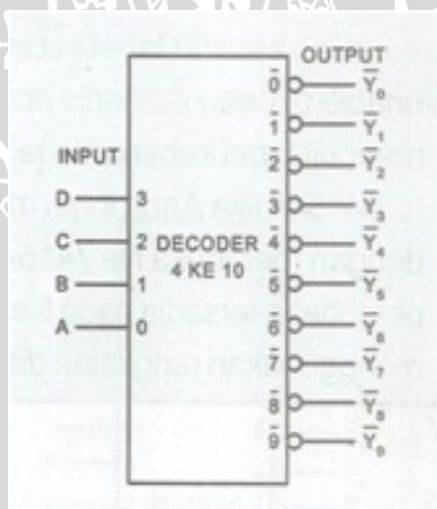
Sumber: Muchlas, 2005: 212





Gambar 2.25 Rangkaian dekoder BCD to decimal

Sumber: Muchlas, 2005: 213



Gambar 2.26 Simbol dekoder BCD to decimal

Sumber: Muchlas, 2005: 213

## BAB III

### METODOLOGI

Dalam metodologi akan diuraikan cara-cara yang dilakukan dalam proses perancangan BCD to desimal dekoder menggunakan teknologi high speed CMOS (HCMOS). Metode yang digunakan digunakan untuk mendapatkan pemecahan masalah adalah metode analisis dengan mengacu pada literatur-literatur. Selain dengan analisis, untuk mendapatkan kemampuan BCD to desimal dekoder yang diinginkan, juga digunakan metode simulasi dengan menggunakan perangkat lunak *Pspice*. Penyusunan metodologi telah dipilih sedemikian rupa agar diperoleh suatu jalur pemikiran yang teratur dan terarah pada proses perancangan. Adapun metodologi yang digunakan adalah sebagai berikut:

#### 3.1 Penentuan Spesifikasi rangkaian IC

Perancangan desain rangkaian IC ini memiliki spesifikasi sebagai berikut:

- 1) Memiliki 4 masukan dan 10 keluaran.
- 2) Menggunakan 4 gerbang logika inverter dan 10 gerbang logika NAND.
- 3) Driver kaskada.
- 4) Catu tegangan DC 5V
- 5) Memiliki propagation delay 40 ns dan disipasi daya  $< 5$  mW.

#### 3.2 Studi Literatur

Studi Literatur yang dilakukan dalam proses perancangan rangkaian terpadu BCD to desimal dekoder adalah sebagai berikut:

- 1) Studi tentang prinsip kerja, struktur geometris dari MOSFET, karakteristik arus tegangan dan persamaan-persamaan yang menjelaskan transistor bekerja dalam berbagai macam kondisi operasi, *propagation delay*, *noise margin*, dan disipasi daya dalam CMOS.
- 2) Studi tentang cara kerja gerbang inverter, NAND, karakteristik alih tegangan, persamaan-persamaan yang diperoleh dalam berbagai kondisi operasi dan driver kaskada.
- 3) Studi tentang rangkaian logika BCD to desimal dekoder.



- 4) Studi tentang parameter proses teknologi dalam desain rangkaian terpadu yang digunakan sebagai parameter dasar dari perancangan dan perhitungan yang mendukung perancangan IC.
- 5) Studi tentang perangkat lunak *Pspice* untuk analisis karakteristik alih tegangan, dan *propagation delay*, serta *design rules* dalam pembuatan layout gerbang CMOS dengan perangkat lunak *microwind*.

### 3.3 Proses Analisis

Logika HCMOS sebenarnya komponen penyusun utamanya adalah rangkaian logika CMOS. Logika HCMOS merupakan pengembangan lanjut dari logika CMOS, pengembangan desain rangkaian dikembangkan terutama untuk mencapai *propagation delay* yang secepat LS-TTL terutama sebagai penggerak beban kapasitif.

Perancangan rangkaian terintegrasi BCD to desimal dekoder ini meliputi spesifikasi rangkaian yang dimaksudkan untuk menentukan rangkaian BCD to desimal dekoder yang akan digunakan dalam proses perancangan, dan analisis karakteristik alih tegangan dan analisis *propagation delay*. Analisis karakteristik alih tegangan dilakukan untuk mendapatkan nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ , dan  $V_{IH}$ , dimana perolehan nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ , dan  $V_{IH}$ , dengan memasukkan nilai-nilai tertentu dalam perumusan yang dipakai yang akhirnya digunakan untuk memperoleh nilai dari *noise margin*, sedangkan analisis *propagation delay* dimulai dengan mendesaian nilai  $L$  dan  $W$  pada transistor. Dalam analisis *propagation delay*, proses perancangan dilakukan dengan menentukan nilai *propagation delay* sebagai parameter yang dirancang sesuai dengan spesifikasi yang telah ditentukan, dimana rangkaian akan dirancang dengan nilai  $t_{PLH}$  dan  $t_{PHL}$  yang sama agar memiliki keluaran yang simetris.

### 3.4 Proses Simulasi

Proses simulasi adalah proses mensimulasikan hasil perhitungan dari perancangan dan parameter yang telah ditetapkan. Hasil analisis dan perhitungan matematis perlu disimulasikan untuk mengetahui kebenaran perancangan yang telah dilakukan. Simulasi dilakukan untuk mengetahui VTC, *rise time*, *fall time*, dan *propagation delay*. Nilai-nilai yang didapatkan dari tampilan grafik simulasi kemudian akan dibandingkan dengan karakteristik dari IC TTL dan CMOS,

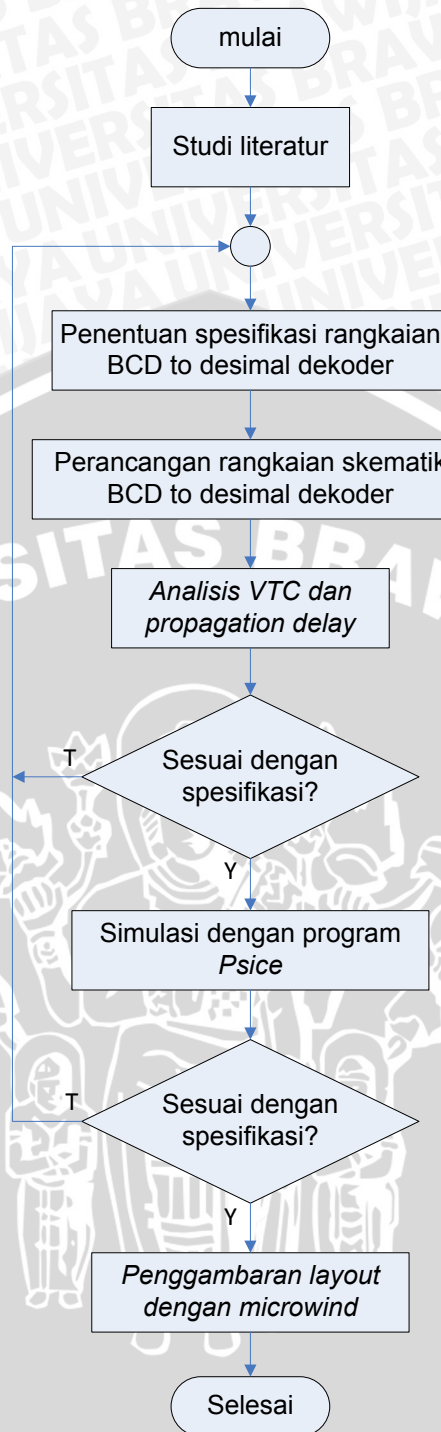
kemudian dari perbandingan tersebut dapat diketahui teknologi mana yang lebih baik dalam perancangan IC berdasar pada kondisi-kondisi ideal.

Untuk mengetahui kebenaran hasil perancangan perlu diketahui terlebih dahulu bagaimana tampilan VTC (*Voltage Transfer Characteristic*) pada hasil simulasi. Hasil simulasi VTC dengan menggunakan *Pspice* akan diketahui nilai-nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ , dan  $V_{IH}$ , kemudian akan dibandingkan kondisi mana yang lebih baik antara IC HCMOS BCD to desimal dekoder dengan IC TTL dan CMOS. Kondisi ideal untuk tampilan VTC adalah nilai  $V_{OH}$ , semakin mendekati nilai tegangan masukan dan untuk  $V_{OL}$  mendekati nilai tegangan *ground* (0V), serta selisih anantara nilai  $V_{IL}$  dan  $V_{IH}$  semakin kecil.

Proses simulasi selanjutnya adalah simulasi *Unit Step* yaitu rangkaian diberi masukan satu gelombang (step) sinyal pulsa. Pada sinyal keluaran akan diamati nilai *rise time* ( $t_r$ ), *fall time* ( $t_f$ ), *propagation delay* ( $t_{PLH}$  dan  $t_{PHL}$ ) untuk kemudian diambil perbandingan antara BCD to desimal dekoder HCMOS dengan teknologi TTL dan CMOS.

### 3.5 Proses Penggambaran Layout

Proses terakhir yang dilakukan adalah melakukan penggambaran layout rangkaian BCD to desimal dekoder dengan menggunakan program *microwind*. Gambar 3.1 menunjukkan diagram alir perancangan IC HCMOS BCD to desimal dekoder.

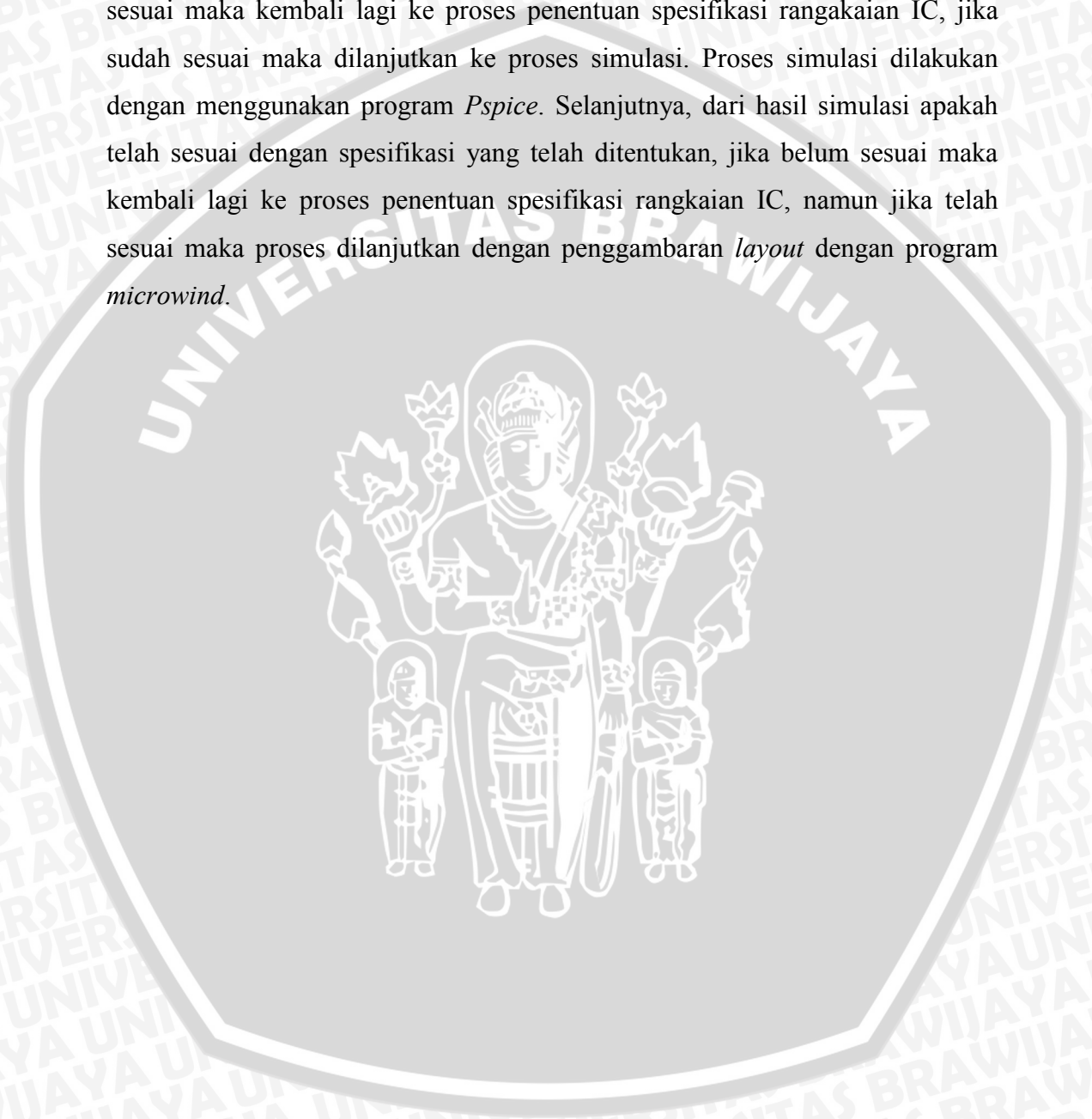


Gambar 3.1 Diagram Alir Perancangan IC HCMOS BCD to Desimal Dekoder

Penelitian perancangan IC HCMOS BCD to desimal decoder dimulai dengan pemahaman materi-materi dari berbagai literatur yang berkaitan dan mendukung dalam perencanaan dan analisis dalam pembuatan *layout* IC HCMOS BCD to decimal decoder. Setelah melakukan studi literatur, ditentukan



spesifikasi dari rangkaian BCD to decimal decoder. Selanjutnya, ketika spesifikasi rangkaian ditentukan, penelitian dimulai dengan perancangan rangkaian skematik BCD to decimal decoder, kemudian dilakukan analisis terhadap karakteristik alih tegangan dan analisis *propagation delay*. Dari hasil analisis apakah sudah sesuai dengan spesifikasi yang ditentukan, jika belum sesuai maka kembali lagi ke proses penentuan spesifikasi rangkaian IC, jika sudah sesuai maka dilanjutkan ke proses simulasi. Proses simulasi dilakukan dengan menggunakan program *Pspice*. Selanjutnya, dari hasil simulasi apakah telah sesuai dengan spesifikasi yang telah ditentukan, jika belum sesuai maka kembali lagi ke proses penentuan spesifikasi rangkaian IC, namun jika telah sesuai maka proses dilanjutkan dengan penggambaran *layout* dengan program *microwind*.



## BAB IV

### PERANCANGAN RANGKAIAN

Bab ini membahas mengenai tahapan-tahapan dalam merancang IC BCD to Desimal dekoder meliputi perancangan rangkaian logika penyusun BCD to decimal decoder, penentuan konfigurasi rangkaian IC BCD to decimal decoder, perancangan transistor BCD to desimal decoder, parameter-parameter transistor NMOS dan PMOS yang akan digunakan dalam perhitungan, perancangan nilai W/L yang digunakan sebagai dasar dalam melakukan analisis *propagation delay* dan analisis karakteristik alih tegangan.

#### 4.1 Perancangan Rangkaian Logika BCD to Desimal Dekoder HCMOS

Untuk merancang rangkaian BDC to Desimal Dekoder terlebih dahulu perlu menentukan cara kerjanya. Keluaran yang diperlukan adalah dalam bentuk desimal, sehingga saluran keluaran yang diperlukan adalah sebanyak 10 saluran. Setelah banyaknya saluran keluaran ditentukan, maka dapat diketahui bahwa saluran masukannya adalah sebanyak 4 saluran. Setiap saluran masukan misalkan diberi lambang huruf A, B, C, dan D, sedangkan setiap saluran keluaran misalkan diberi lambang huruf Y0 sampai Y9. Untuk keluaran *aktif low*, salah satu keluaran akan menempati keadaan “0” sesuai dengan kombinasi masukan yang diberikan, sedangkan saluran keluaran yang lainnya akan menempati keadaan “1”. Hubungan masukan dan keluaran akan ditunjukkan dalam Tabel 4.1.

Tabel 4.1 Daftar kebenaran hubungan masukan dan keluaran decoder BCD to desimal dengan *aktif-low*

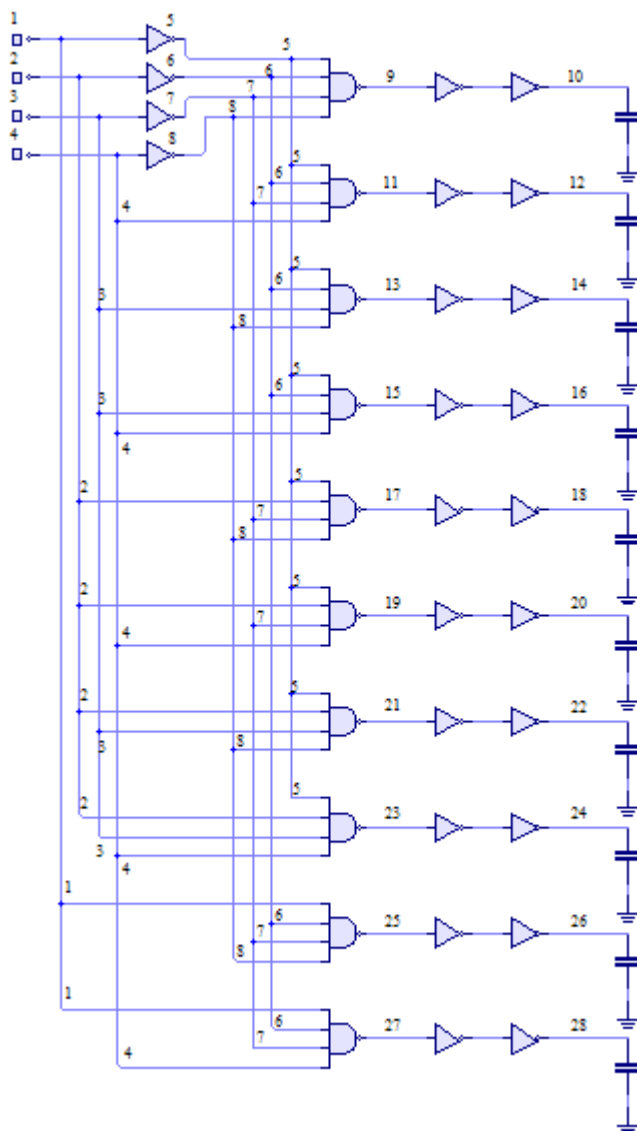
No.	Input				Output									
	D	C	B	A	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$	$\bar{Y}_8$	$\bar{Y}_9$	
0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	0	0	1	1	0	1	1	1	1	1	1	1	1
2	0	0	1	0	1	1	0	1	1	1	1	1	1	1
3	0	0	1	1	1	1	1	0	1	1	1	1	1	1
4	0	1	0	0	1	1	1	1	0	1	1	1	1	1
5	0	1	0	1	1	1	1	1	1	0	1	1	1	1
6	0	1	1	0	1	1	1	1	1	1	0	1	1	1
7	0	1	1	1	1	1	1	1	1	1	1	0	1	1
8	1	0	0	0	1	1	1	1	1	1	1	1	0	1
9	1	0	0	1	1	1	1	1	1	1	1	1	1	0
KODE TIDAK SAH	1	0	1	0	1	1	1	1	1	1	1	1	1	1
	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	1	1	0	0	1	1	1	1	1	1	1	1	1	1
	1	1	0	1	1	1	1	1	1	1	1	1	1	1
	1	1	1	0	1	1	1	1	1	1	1	1	1	1
	1	1	1	1	1	1	1	1	1	1	1	1	1	1

Setelah membuat tabel kebenaran, langkah selanjutnya adalah menuliskan persamaan keluaran berdasarkan tabel kebenaran yang telah dibuat dengan menggunakan bentuk “*Sum of Product (SOP)*”, diperoleh fungsi persamaan keluaran yang paling sederhana dari rangkaian sebagai berikut:

$$\begin{aligned}
 Y_0 &= \bar{A} \bar{B} \bar{C} \bar{D} \\
 Y_1 &= \bar{A} \bar{B} \bar{C} D \\
 Y_2 &= \bar{A} \bar{B} C \bar{D} \\
 Y_3 &= \bar{A} \bar{B} C D \\
 Y_4 &= \bar{A} B \bar{C} \bar{D} \\
 Y_5 &= \bar{A} B \bar{C} D \\
 Y_6 &= \bar{A} B C \bar{D} \\
 Y_7 &= \bar{A} B C D \\
 Y_8 &= A \bar{B} \bar{C} \bar{D} \\
 Y_9 &= A \bar{B} \bar{C} D
 \end{aligned}$$



Langkah terakhir perancangan adalah dari persamaan keluaran dapat diimplementasikan ke dalam bentuk rangkaian logika seperti yang ditunjukkan dalam Gambar 4.1.



Gambar 4.1 Rangkaian logika BCD to decimal decoder HCMOS

Gambar 4.1 menunjukkan rancangan rangkaian logika BCD to decimal decoder HCMOS yang tersusun atas 4 gerbang inverter yang berfungsi sebagai saluran masukan A, B, C, dan D, 10 gerbang NAND 4 masukan, dan 10 *driver kaskada* yang dipasang sebagai saluran keluaran rangkaian, dan dilakukan perancangan *node* dengan memberikan penomoran tiap *node* yang akan menjadi panduan dalam penyusunan *listing* program pada PSPICE.

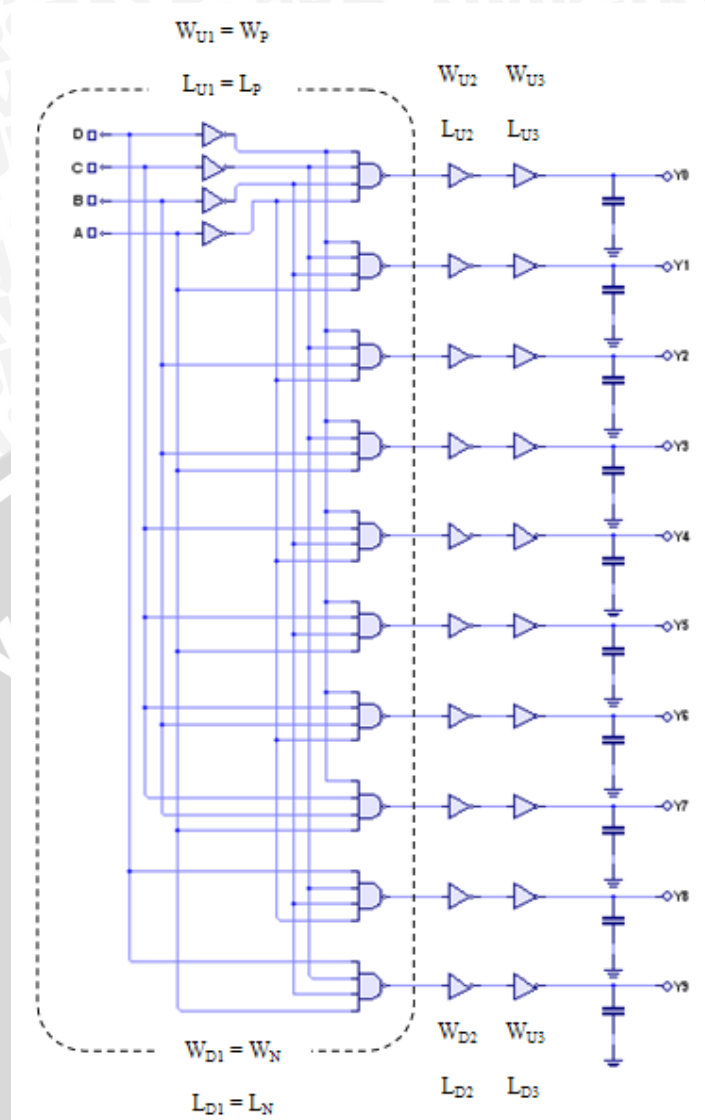
## 4.2 Konfigurasi BCD to Decimal Dekoder HCMOS

Gambar 4.2 menunjukkan konfigurasi gerbang BCD to decimal decoder HCMOS. Inisial  $W_U$  menunjukkan *pullup* transistor MOSFET tipe-p dan  $W_D$  menunjukkan *pulldown* transistor MOSFET tipe-n. Kedua tipe MOSFET ini tersusun dalam konfigurasi CMOS pada tiap gerbang.  $C_L$  adalah semua kapasitansi baik internal maupun eksternal yang digerakkan oleh gerbang.  $C_L$  meliputi kapasitansi jalur interkoneksi, jalur konduktor internal, pin IC, jalur konduktor eksternal serta termasuk kapasitansi masukan IC lain yang digerakkan oleh gerbang.

Selain kapasitansi terdapat pula komponen pembebanan lain yaitu resistansi keluaran. Namun yang dipakai  $C_L$  karena hanya komponen kapasitansi yang mempengaruhi *propagation delay* rangkaian dan dalam perancangan ini akan dilakukan *optimalisasi propagation delay* gerbang.

Berdasarkan konfigurasi gerbang, satu-satunya perbedaan yang mendasar antara dekoder HCMOS dan CMOS adalah terdapatnya konfigurasi pasangan inverter dalam rangkaian HCMOS. Rangkaian dekoder memanfaatkan keuntungan dari konfigurasi pasangan inverter ini yang dikenal dengan teknik *driver* kaskada. Dengan pengaturan nilai  $W$  dan  $L$  sistem yang tepat maka akan diperoleh *propagation delay* yang lebih cepat dibanding sistem CMOS.





Gambar 4.2 Konfigurasi BCD to decimal decoder HCMOS

Aturan perancangan gerbang mula-mula dilakukan dengan menerapkan Persamaan (2.65), nilai k adalah 3 (gerbang dasar dan 2 buah kaskada), nilai optimum untuk  $\alpha$  adalah 3 (bab 2.5) sehingga diperoleh,



## 1. Persamaan gerbang dasar

$$W_{dk} = \alpha^{k-1} W_{d1}$$

dengan nilai  $\alpha = 3$ ,  $k = n = 1$ , diperoleh

$$W_{dk} = 3^{1-1} W_{d1}, \text{ sehingga}$$

$$W_{dk} = W_{d1}$$

$$W_{U1} = W_P$$

$$L_{U1} = L_P$$

$$W_{D1} = W_N$$

$$L_{D1} = L_N$$

(4.1)

## 2. Persamaan kaskada pertama

dengan nilai  $\alpha = 3$ ,  $k = n = 2$ , diperoleh

$$W_{dk} = 3^{2-1} W_{d1}, \text{ sehingga}$$

$$W_{dk} = 3 W_{d1}$$

$$W_{U2} = W_{D2} = 3W_N$$

$$L_{U2} = L_{D2} = L_N$$

$$W_{D2} = 3W_{D1} = 3W_N$$

$$L_{D2} = L_{D1} = L_N$$

(4.2)

## 3. Persamaan kaskada kedua

dengan nilai  $\alpha = 3$ ,  $k = n = 3$ , diperoleh

$$W_{dk} = 3^{3-1} W_{d1}, \text{ sehingga}$$

$$W_{dk} = 9 W_{d1}$$

$$W_{U3} = W_{D3} = 9W_N$$

$$L_{U3} = L_{D3} = L_N$$

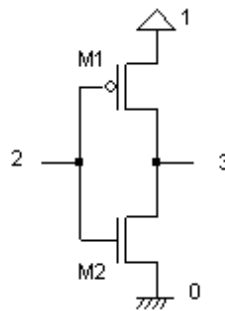
$$W_{D3} = 9W_{D1} = 9W_N$$

$$L_{D3} = L_{D1} = L_N$$

(4.3)

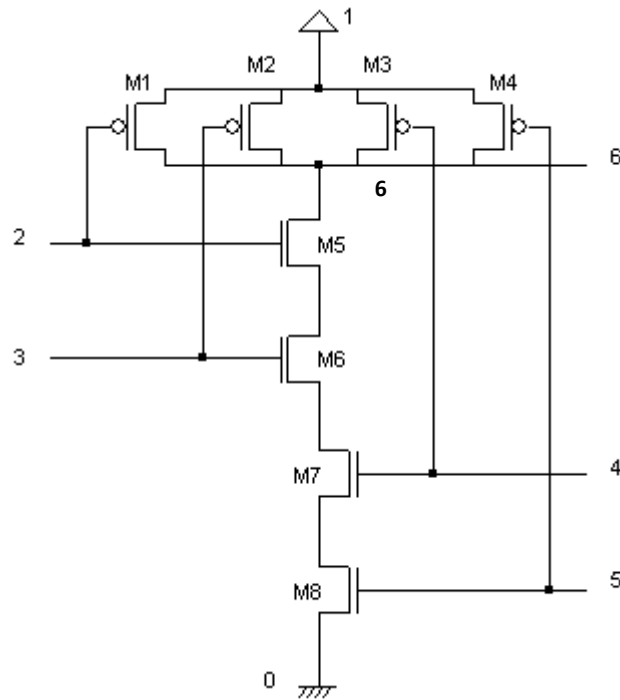
### 4.3 Perancangan Transistor BCD to Desimal Dekoder HCMOS

Perancangan transistor pada BCD to decimal decoder HCMOS dilakukan pada tiap gerbang penyusun IC, dimana tiap gerbang tersusun atas rangkaian transistor PMOS dan NMOS yang disusun untuk menghasilkan logika tiap gerbang. *Inverter* tersusun atas satu pasang transistor PMOS dan NMOS yang disusun secara seri dan dilakukan perancangan *node* dengan memberikan penomeran tiap *node* yang akan menjadi panduan dalam penyusunan *listing* program pada PSPICE. Gambar transistor penyusun gerbang inverter ditunjukkan dalam Gambar 4.3. Gambar 4.3 menunjukkan bahwa *gate* pada PMOS dan NMOS terhubung menjadi *node 2*, *source* pada PMOS terhubung pada VCC, *source* pada NMOS terhubung pada *ground* sedangkan *drain* pada PMOS dan NMOS terhubung menjadi *node 3*.



Gambar 4.3 Rangkaian transistor Inverter

Gerbang logika NAND 4 input tersusun dari 4 pasang transistor PMOS yang dirangkai secara paralel dan 4 pasang transistor NMOS yang dirangkai secara seri. *Source* pada transistor PMOS terhubung pada VCC yang disimbolkan sebagai *node 1* sedangkan *drain* pada semua terminal transistor PMOS dan *drain* pada terminal transistor M5 NMOS terhubung pada *node 6*. *Gate* M1 dan M5 terhubung menjadi *node 2*, *Gate* M2 dan M6 terhubung menjadi *node 3*, *Gate* M3 dan M7 terhubung menjadi *node 4*, dan *Gate* M4 dan M8 terhubung menjadi *node 5*. *Source* pada NMOS terhubung pada *ground*. Gambar rangkaian transistor NAND 4 input ditunjukkan dalam Gambar 4.4.

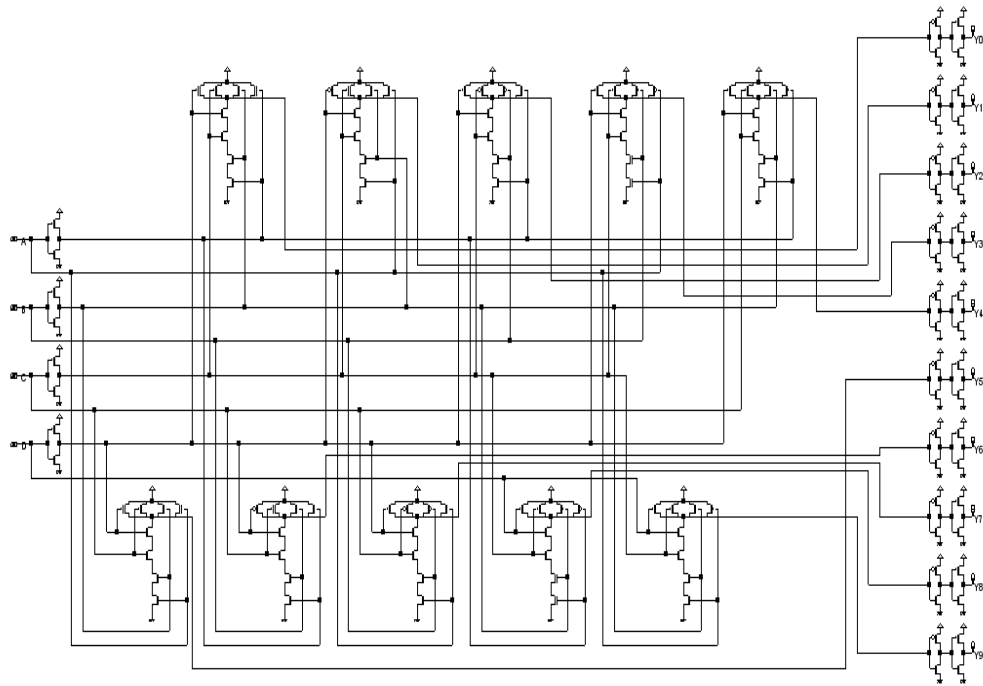


Gambar 4.4 Rangkaian transistor NAND 4 input

Konfigurasi gabungan rangkaian transistor PMOS dan NMOS dari setiap gerbang logika penyusun BCD to desimal dekoder HCMOS ditunjukkan dalam Gambar 4.5. Rangkaian tersebut banyak tersusun atas gerbang NAND karena rangkaian transistor yang dibutuhkan sangat sederhana sehingga nilai disipasi daya dan *propagation delay* relatif dapat diminimalisi.

Rangkaian BCD to desimal dekoder HCMOS tersusun dari 4 gerbang inverter yang terdiri dari 8 transistor PMOS dan NMOS, 10 gerbang NAND 4 input yang terdiri dari 80 transistor PMOS dan NMOS, dan 10 inverter kaskada yang tersusun dari 40 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC BCD to desimal dekoder HCMOS adalah 128 transistor.





Gambar 4.5 Rangkaian transistor BCD to desimal dekoder HCMOS

#### 4.4 Parameter Dasar Transistor MOSFET

Dalam merancang IC HCMOS terdapat beberapa nilai parameter proses yang telah diketahui nilai dan satuannya. Penggunaan parameter ini untuk lebih mendekati pada karakter devais dan mempermudah dalam proses analisis. Adapun beberapa parameter dasar tersebut ditunjukkan dalam Tabel 4.2 yang sesuai pada *owner's manual* dan *rule file* dalam perangkat lunak *Microwind2* dengan teknologi  $0,6 \mu\text{m}$  CMOS proses ( $\lambda = 0,3 \mu\text{m}$ ).

Tabel 4.2 Parameter proses transistor CMOS

PARAMETER DASAR TRANSISTOR CMOS 0,6 μm (λ=0,3 μm)			
SIMBOL	NMOS	PMOS	KETERANGAN
$\epsilon_{ox}$	3,45 x 10 <sup>-13</sup> F/cm		Konstanta dielektrik polisilikon
$\mu_e / \mu_n$	580 cm <sup>2</sup> /V.s	-	Mobilitas rata-rata electron dalam saluran drain dan source
$\mu_h / \mu_p$	-	230 cm <sup>2</sup> /V.s	Mobilitas rata-rata hole dalam saluran drain dan source
Sumber : (De Massa, 1996 : 245, 337)			
$V_T$	0,8V	-0,8V	Tegangan ambang pada PMOS dan NMOS
$\gamma$	0,7 $\sqrt{V}$	0,45 $\sqrt{V}$	GAMMA, Bulk threshold parameter
$U_0$	0.06 m <sup>2</sup> /V-s	0.02 m <sup>2</sup> /V-s	Carrier Mobility
$2\Phi_f$	0,70 V		PHI, surface potential at strong inversion
$V_{DD}$	5V		Tegangan catu pada rangkaian
$t_{ox}$	15 nm		Ketebalan oksida gerbang (gate)
$V_{DD}$	5 V		Tegangan catu
$K_n$	300 μA/V <sup>2</sup>	-	Parameter transkonduktansi transistor NMOS
$k_p$	-	120 μA/V <sup>2</sup>	Parameter transkonduktansi transistor PMOS
Sumber : (owner's manual Microwind2)			

Serta parameter desain transkonduktansi transistor untuk NMOS dan PMOS dengan nilai untuk NMOS ( $K'_n$ ) = 20 μA/V<sup>2</sup> dan untuk PMOS ( $K'_p$ ) = 8 μA/V<sup>2</sup>.

#### 4.5 Perancangan Nilai W dan L Transistor

Nilai W dan L untuk MOS tipe-n dan tipe-p pada gerbang dasar ditentukan dengan mempertimbangkan interaksi antara tegangan masukan dan keluaran gerbang. Proses analisis dalam perancangan nilai W dan L HCMOS bertujuan agar rangkaian BCD to decimal dekoder mendekati kondisi ideal terutama dalam aspek disipasi daya rendah, *propagation delay* cepat dan kondisi output yang simetris. Nilai dimensi saluran transistor NMOS dan PMOS ditentukan untuk memperoleh suatu kondisi karakteristik alih tegangan (VTC) yang simetris agar diperoleh tanggapan transien yang simetris pula. VTC yang simetris terjadi pada saat tegangan *threshold switching* ( $V_{th}$ ) inverter setengah

dari tegangan catu  $V_{DD}$ , dan  $V_{T,n} = |V_{T,p}|$

$$V_{th} (INV) = \frac{V_{T,n} \sqrt{\frac{1}{k_R} (V_{DD} - |V_{T,p}|)}}{1 + \sqrt{\frac{1}{k_R}}}$$

Diketahui bahwa  $k_R = \frac{k_n}{k_p}$

$$V_{th} (INV) = \frac{V_{T,n} \sqrt{\frac{k_p}{k_n} (V_{DD} - |V_{T,p}|)}}{1 + \sqrt{\frac{k_p}{k_n}}}$$

$$2,5 = \frac{0,8 + \sqrt{\frac{k_p}{k_n} (-0,8)}}{1 + \sqrt{\frac{k_p}{k_n}}}$$

$$2,5 + 2,5 \sqrt{\frac{k_p}{k_n}} = 0,8 + 4,2 \sqrt{\frac{k_p}{k_n}}$$

$$1,7 \sqrt{\frac{k_p}{k_n}} = 1,7 \Leftrightarrow \sqrt{\frac{k_p}{k_n}}$$

$$= 1 \Leftrightarrow k_n = k_p$$



$$\frac{k_n}{k_p} = 1 = \frac{\mu_{n} C_{ox} \left( \frac{W}{L} \right)}{\mu_{p} C_{ox} \left( \frac{W}{L} \right)}$$

$$= \frac{\mu_{n} \left( \frac{V}{L} \right)}{\mu_{p} \left( \frac{V}{L} \right)}$$

Dengan  $\mu_n = 580 \text{ cm}^2/\text{V.s}$  dan  $\mu_p = 230 \text{ cm}^2/\text{V.s}$ , maka

$$\frac{k_n}{k_p} = \frac{\mu_{n} C_{ox} \left( \frac{V}{L} \right)}{\mu_{p} C_{ox} \left( \frac{V}{L} \right)}$$

$$1 = \frac{580 \text{ cm}^2 / \text{V.s} \left( \frac{W}{L} \right)}{230 \text{ cm}^2 / \text{V.s} \left( \frac{W}{L} \right)} \Leftrightarrow 1 = 2,52 \left( \frac{W}{L} \right)$$

$$\frac{W_p}{L_p} \approx 2,5 \frac{W_n}{L_n} \tag{4.4}$$

Dalam menentukan nilai W/L pada masing-masing transistor harus dilakukan analisis silang dan aturan perancangan IC. Lebar polisilikon dalam suatu persilangan transistor MOS disimbolkan L dan lebar difusi disimbolkan dengan W. Sesuai dengan aturan perancangan IC, lebar minimum polisilikon adalah  $2\lambda$ . Dengan memberikan nilai  $2\lambda$  pada  $L_N$  dan  $L_P$  maka persamaan menjadi:

$$\frac{W_p}{2\lambda} \approx 2,5 \frac{W_n}{2\lambda}$$

$$W_p \approx 2,5 W_N \tag{4.5}$$

Nilai  $C_{OX}$  berubah sesuai dengan ketebalan oksida gate  $t_{ox}$ . Nilai  $t_{ox}$  ditetapkan

sebesar 15 nm.

$$C_{ox} = \frac{\epsilon_x}{t_{ox}}$$

$$C_{ox} = \frac{3,45 \times 10^{-3}}{15 \times 10^{-7}} = 2,3 \times 10^{-7} \text{ F/cm}^2$$

$$k_n = \mu_n C_{ox} \frac{W_n}{L_n}$$

$$\frac{W_n}{L_n} = \frac{k_n}{\mu C_{ox}}$$

Dengan memasukkan nilai parameter dasar  $\mu_n = 580 \text{ cm}^2/\text{V.s}$  dan  $k_n = 300 \mu\text{A}/\text{V}^2$  serta  $C_{ox} = 2,3 \times 10^{-7} \text{ F/cm}^2$ .

$$\frac{W_n}{L_n} = \frac{k_n}{\mu C_{ox}}$$

$$\frac{W_n}{L_n} = \frac{300 \times 10^{-6}}{580 \times 2,3 \times 10^{-7}} = 2,25$$

$$\frac{W_n}{L_n} \approx 2$$

(4.6)

Maka

$$\frac{W_p}{L_p} \approx 2,5 \times 2 \rightarrow \frac{W_p}{L_p} \approx 5$$

(4.7)

Berdasarkan Persamaan 4.6 dan 4.7 dapat memberikan analisis awal.

Dengan ukuran polisilikon  $2\lambda$  maka akan diperoleh nilai  $W_N$  dan  $W_P$  sebesar  $4\lambda$  dan  $10\lambda$ . Dalam perancangan dengan menggunakan *Microwind2* ( $0.6 \mu\text{m}$  CMOS Process), nilai  $\lambda = 0.3 \mu\text{m}$ . Nilai  $W$  dan  $L$  gerbang-gerbang dasar (meliputi gerbang inverter dan NAND 4 input) adalah sebagai berikut:

$$W_P = 10 \lambda = 3 \mu\text{m} \text{ dan } L_P = 2\lambda = 0.6 \mu\text{m}$$

$$W_n = 4 \lambda = 1,2 \mu\text{m} \text{ dan } L_N = 2\lambda = 0.6 \mu\text{m}$$

Sedangkan nilai  $W$  dan  $L$  untuk kaskada, yaitu:

1. Kaskada pertama

$$W_P = 3W_n = 3,6 \mu\text{m} \text{ dan } L_P = L_n = 0.6 \mu\text{m}$$

2. Kaskada kedua

$$W_P = 9W_n = 10,8 \mu\text{m} \text{ dan } L_P = L_n = 0.6 \mu\text{m}$$

#### 4.6 Perhitungan $V_{IL}$ , $V_{IH}$ , $V_{OL}$ , $V_{OH}$ dan *Noise Margin*

##### 4.6.1 Analisis Matematis $V_{IL}$ dan $V_{OH}$

Nilai  $V_{IL}$  merupakan nilai tegangan masukan maksimum yang dapat dinyatakan sebagai logika 0. Persamaan yang digunakan untuk menentukan  $V_{IL}$  ialah Persamaan 2.56, yaitu:

$$V_{IL} = \frac{2V_{OUT} + I_{T,p} - I_{DD} + \frac{I_{T,n}}{K_p} V_{T,n}}{1 + \frac{I_{T,n}}{K_p}} \tag{2.56}$$

Dalam perancangan, perbandingan  $k_N$  dan  $k_p$  merupakan nilai  $k_R$ . Pada analisis sebelumnya diketahui bahwa nilai  $k_R \approx 1$  berarti  $k_n = k_p$ . Dengan nilai  $V_{TN} = 0,8V$  dan  $V_{TP} = -0,8V$  maka diperoleh fungsi  $V_{IL}$  sebagai fungsi  $V_{OUT}$  adalah:

$$V_{IL} = \frac{2V_{OUT} - 0,8 - (-1)(0,8)}{1 + 1}$$



$$V_{IL} = \frac{2V_{OUT} - 1}{2}$$

$$V_{IL} = V_{OUT} - 2,5 \text{ atau}$$

$$V_{OUT} = V_{IL} + 2,5 \quad (4.8)$$

Substitusi Persamaan (4.8) ke dalam Persamaan (2.53) diperoleh:

$$\frac{k_n}{2} (V_{in} - V_{T,n})^2 = \frac{k_p}{2} [(V_{in} - V_{DD} - V_{T,p}) - (V_{out} - V_{DD}) - (V_{out} - V_{DD})]^2$$

Dengan  $k_n = k_p$ ,  $V_{in} = V_{IL}$ , dan  $V_{out} = V_{IL} + 2,5$  maka

$$\frac{1}{2} (V_{IL} - 0,8)^2 = \frac{1}{2} [(V_{IL} - 1 + 0,8) - (V_{IL} + 2,5 - 1) - (V_{IL} + 2,5 - 1)]^2$$

$$V_{IL}^2 - 1,6 V_{IL} + 0,64 = 2 \cdot (V_{IL} - 4,2) (V_{IL} - 2,5) - (V_{IL} - 2,5)^2$$

$$V_{IL}^2 - 1,6 V_{IL} + 0,64 = 2 \cdot (V_{IL}^2 - 6,7 V_{IL} + 10,5) - V_{IL}^2 + 5V_{IL} - 6,25$$

$$V_{IL}^2 - 1,6 V_{IL} + 0,64 = 2 V_{IL}^2 - 13,4 V_{IL} + 21 - V_{IL}^2 + 5V_{IL} - 6,25$$

$$V_{IL}^2 - 1,6 V_{IL} + 0,64 = V_{IL}^2 - 8,4 V_{IL} + 14,75$$

$$6,8 V_{IL} = 14,11 \text{ V}$$

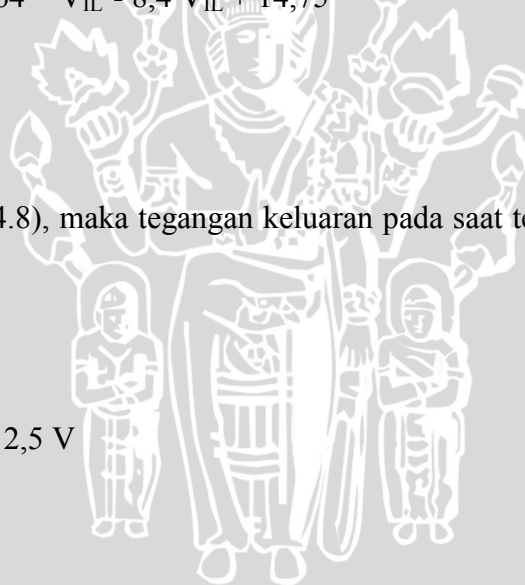
$$V_{IL} = 2,075 \text{ V}$$

Dari Persamaan (4.8), maka tegangan keluaran pada saat tegangan masukan  $V_{IL}$  adalah:

$$V_{OUT} = V_{IL} + 2,5$$

$$\begin{aligned} V_{OUT} &= 2,075 \text{ V} + 2,5 \text{ V} \\ &= 4,575 \text{ V} \end{aligned}$$

Jadi tegangan keluaran minimum yang dapat dinyatakan sebagai logika 1 ( $V_{OH}$ ) adalah 4,575 V.



#### 4.6.2 Analisis Matematis $V_{IH}$ dan $V_{OL}$

Nilai  $V_{IH}$  merupakan nilai tegangan masukan minimum yang dapat dinyatakan sebagai logika 1. Persamaan yang digunakan untuk menentukan  $V_{IH}$  ialah Persamaan 2.61 yaitu:

$$V_{IH} = \frac{V_{DD} + I_{T,p} + \frac{I_{T,n}}{K_p} (V_{out} + I_{T,n})}{1 + \frac{I_{T,n}}{K_p}} \quad (2.61)$$

Dalam perancangan, perbandingan  $k_n$  dan  $k_p$ , merupakan nilai  $k_R$ . Pada analisis sebelumnya diketahui bahwa nilai  $k_R \approx 1$  berarti  $k_n = k_p$ . Dengan nilai  $V_{TN} = 0,8 \text{ V}$  dan  $V_{TP} = -0,8 \text{ V}$  maka diperoleh fungsi  $V_{IL}$  sebagai fungsi  $V_{out}$  adalah:

$$\begin{aligned} V_{IH} &= \frac{5 - 0,8 + (V_{OUT} + 0,8)}{1 + 1} \\ V_{IH} &= \frac{5 + V_{OUT}}{2} \\ V_{IH} &= V_{OUT} + 2,5 \\ V_{OUT} &= V_{IH} - 2,5 \end{aligned} \quad (4.9)$$

Substitusi Persamaan (4.9) ke dalam Persamaan (2.58) yakni:

$$\frac{k_n}{2} [(V_{in} - I_{T,n}) V_{out} - I_{out}^2] = \frac{k_p}{2} [(V_{in} - I_{DD} - I_{T,p})^2]$$

Dengan  $k_n = k_p$ ,  $V_{in} = V_{IH}$ , dan  $V_{out} = V_{IH} - 2,5$  maka

$$\frac{1}{2} [(V_{IH} - 0,8)(V_{IH} - 2,5) - (V_{IH} - 2,5)^2] = \frac{1}{2} [(V_{IH} - 1 + 0,8)^2]$$

$$2 \cdot (V_{IH} - 0,8)(V_{IH} - 2,5) - (V_{IH} - 2,5)^2 = (V_{IH} - 0,2)^2$$

$$2 \cdot (V_{IH}^2 - 0,3V_{IH} + 2) - (V_{IH}^2 - V_{IH} + 2,25) = V_{IH}^2 - 0,4V_{IH} + 7,64$$

$$2V_{IH}^2 - 0,6V_{IH} + 4 - V_{IH}^2 + V_{IH} - 2,25 = V_{IH}^2 - 0,4V_{IH} + 7,64$$

$$V_{IH}^2 - 0,6V_{IH} - 2,25 = V_{IH}^2 - 0,4V_{IH} + 7,64$$

$$6,8 V_{IH} = 19,89 \text{ V}$$

$$V_{IH} = 2,925 \text{ V}$$

Dari Persamaan (4.9) maka tegangan keluaran pada saat tegangan masukan  $V_{IH}$  adalah:

$$V_{OUT} = V_{IH} - 2,5$$

$$V_{OUT} = 2,925 \text{ V} - 2,5 \text{ V} = 0,425 \text{ V}$$

Jadi tegangan keluaran maksimum yang dapat dinyatakan sebagai logika 0 adalah 0,425 V.

#### 4.6.3 Analisis Matematis $V_{th}$

Tegangan *threshold switching* terjadi pada saat  $V_{in} = V_{out} = V_{th}$  yang ditentukan dari Persamaan (2.65) yakni:

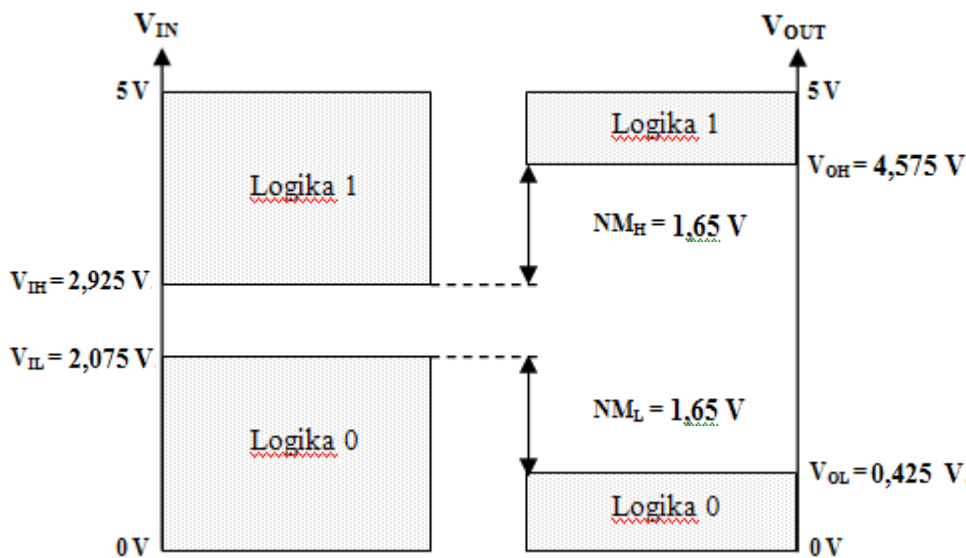
$$\begin{aligned} V_{th} &= \frac{V_{T,n} + \sqrt{\frac{k_p}{k_n} (V_{DD} + V_{T,p})}}{1 + \sqrt{\frac{k_p}{k_n}}} \\ &= \frac{1 + 0,8)(5 - 1,8)}{1 + \sqrt{0,8 + 1,2}} \\ &= \frac{0,8 + 1,2}{2} \\ &= 2,5 \text{ V atau } V_{DD} / 2 \end{aligned}$$

#### 4.6.4 Batas Derau (*Noise Margin*)

Dengan mengetahui nilai  $V_{IL} = 2,075 \text{ V}$ ,  $V_{IH} = 2,925 \text{ V}$ ,  $V_{OH} = 4,575 \text{ V}$ ,  $V_{OL} = 0,425 \text{ V}$ , maka batas derau logika rendah dan logika tinggi dapat ditentukan dari Persamaan (2.30) dan (2.31), yaitu:

1.  $NM_H = V_{OH} - V_{IH} = 4,575 \text{ V} - 2,925 \text{ V} = 1,65 \text{ V}$
2.  $NM_L = V_{IL} - V_{OL} = 2,075 \text{ V} - 0,425 \text{ V} = 1,65 \text{ V}$





Gambar 4.6 *Noise Margin* Hasil Perhitungan

Gambar 4.6 menunjukkan *noise margin* hasil perhitungan. Berdasarkan Gambar 4.6 dapat diketahui bahwa jangkauan tegangan masukan yang dapat dinyatakan sebagai logika “0” adalah  $0\text{ V}$  sampai  $2,075\text{ V}$  dan jangkauan tegangan masukan yang dapat dinyatakan sebagai logika “1” adalah  $2,925\text{ V}$  sampai  $5\text{ V}$ . Sedangkan jangkauan tegangan keluaran yang dapat dinyatakan sebagai sebagai logika “0” adalah  $0\text{ V}$  sampai  $0,425\text{ V}$  dan jangkauan tegangan keluaran yang dapat dinyatakan sebagai logika “1” adalah  $4,575\text{ V}$  sampai  $5\text{ V}$ .

#### 4.7 Analisis Waktu Tunda Rambatan (*Propagation Delay*) dan Disipasi Daya

Perancangan IC BCD to decimal decoder HCMOS mengacu pada lembar data (*datasheet*) IC TTL DM7445 dan IC CMOS MM74C42. Dalam lembar data ditunjukkan bahwa IC TTL mempunyai nilai  $t_{PLH} = 49,5\text{ ns}$  sedangkan  $t_{PHL} = 49,5\text{ ns}$  sedangkan IC CMOS mempunyai nilai  $t_{PLH} = 300\text{ ns}$  dan  $t_{PHL} = 300\text{ ns}$ . Dengan demikian, dalam perancangan IC HCMOS harus mempunyai kecepatan yang lebih tinggi dibandingkan dengan IC TTL dan IC CMOS tersebut. Dalam perancangan ini, nilai *propagation delay* yang dibutuhkan adalah nilai yang lebih kecil dari parameter dalam *datasheet* yaitu dengan nilai  $t_{PLH}$  dan  $t_{PHL}$  adalah  $40\text{ ns}$ , karena semakin kecil nilai *propagation delay* maka kecepatan proses IC akan semakin cepat. Dengan demikian, nilai  $C_L$  yang digunakan dapat dihitung dengan menggunakan rumus sebagai berikut:

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right) \cdot V_{DD}}$$

$$40 \cdot 10^{-9} = \frac{0,8C}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \left(\frac{5}{1}\right) \cdot 5}$$

$$C = \frac{4 \cdot 10^{-2}}{0,8}$$

$$C = 5 \text{ pF}$$

Mengacu pada pernyataan nilai parameter transkonduktansi (K) maka analisis perancangan secara manual menggunakan nilai K yang bervariasi. Perancangan nilai K ini bertujuan untuk mendapatkan *propagation delay* yang lebih cepat dengan perbandingan  $K_N/K_P$  adalah 2,5. Variasi parameter transkonduktansi K ditunjukkan dalam Tabel 4.3.

Tabel 4.3. Variasi Parameter Transkonduktansi K

Parameter	Variasi Nilai							
	I	II	III	IV	V	VI	VII	VIII
$K_n$	5	10	15	20	25	30	35	40
$K_p$	2	4	6	8	10	12	14	16
C	0,5pf, 1pf, 5pf, 10pf, 15pf, 50pf							

1.  $K_N = \mu_N \cdot C_{ox} = 5 \mu A/V^2$

$K_P = \mu_P \cdot C_{ox} = 2 \mu A/V^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right) \cdot V_{DD}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-2} \left(\frac{5}{1}\right) \cdot 5} = 16 \text{ ns}$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L}\right) \cdot V_{DD}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-2} \left(\frac{2}{1}\right) \cdot 5} = 16 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 32 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 32 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 160 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 160 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 320 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 320 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 480 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 480 \text{ ns}$$



f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 2 \cdot 10^{-5} \cdot \left( \frac{5}{1} \right)} = 1600 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 5 \cdot 10^{-5} \cdot \left( \frac{2}{1} \right)} = 1600 \text{ ns}$$

2.  $K_N = \mu_N \cdot C_{\text{ox}} = 10 \mu\text{A/V}^2$

$$K_P = \mu_P \cdot C_{\text{ox}} = 4 \mu\text{A/V}^2$$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot \left( \frac{5}{1} \right)} = 8 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot \left( \frac{2}{1} \right)} = 8 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot \left( \frac{5}{1} \right)} = 16 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot \left( \frac{2}{1} \right)} = 16 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot \left( \frac{5}{1} \right)} = 80 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot \left( \frac{2}{1} \right)} = 80 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot 5} = 160 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot 5} = 160 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot 5} = 240 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot 5} = 240 \text{ ns}$$

f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 4 \cdot 10^{-5} \cdot 5} = 800 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-5} \cdot 5} = 800 \text{ ns}$$

3.  $K_N = \mu_n \cdot C_{\text{ox}} = 15 \text{ } \mu\text{A/V}^2$

$K_P = \mu_p \cdot C_{\text{ox}} = 6 \text{ } \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-5} \cdot 5} = 5,33 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-5} \cdot 5} = 5,33 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 10,67 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 10,67 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 53,35 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 53,35 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 106,66 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 106,66 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 160 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 160 \text{ ns}$$



f. Untuk  $C = 50 \text{ pF}$

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 6 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 533,33 \text{ ns}$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 15 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 533,33 \text{ ns}$$

4.  $K_N = \mu_n \cdot C_{ox} = 20 \mu\text{A/V}^2$

$K_P = \mu_p \cdot C_{ox} = 8 \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 4 \text{ ns}$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 4 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 8 \text{ ns}$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 8 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{PLH} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 40 \text{ ns}$$

$$t_{PHL} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \left( \frac{W}{L} \right) \cdot V_{DD}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 40 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 80 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 80 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 120 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 120 \text{ ns}$$

f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 8 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 400 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 20 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 400 \text{ ns}$$

5.  $K_N = \mu_n \cdot C_{\text{ox}} = 25 \mu\text{A/V}^2$

$K_P = \mu_p \cdot C_{\text{ox}} = 10 \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 3,2 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 3,2 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 6,4 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 6,4 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 32 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 32 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 64 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 64 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 96 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 96 \text{ ns}$$



f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 10 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 320 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 25 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 320 \text{ ns}$$

6.  $K_N = \mu_N \cdot C_{\text{ox}} = 30 \mu\text{A/V}^2$

$K_P = \mu_P \cdot C_{\text{ox}} = 12 \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 2,66 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 2,66 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 5,33 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 5,33 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 26,65 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 26,65 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right)^5} = 53,33 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right)^5} = 53,33 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right)^5} = 80 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right)^5} = 80 \text{ ns}$$

f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 12 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right)^5} = 266,67 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 30 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right)^5} = 266,67 \text{ ns}$$

7.  $K_N = \mu_n \cdot C_{\text{ox}} = 35 \mu\text{A/V}^2$

$K_P = \mu_p \cdot C_{\text{ox}} = 14 \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right)^5} = 2,69 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_p \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right)^5} = 2,69 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 4,57 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 4,57 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 22,85 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 22,85 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 45,71 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 45,71 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 68,57 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 68,57 \text{ ns}$$



f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 14 \cdot 10^{-5}} = 228,57 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 35 \cdot 10^{-5}} = 228,57 \text{ ns}$$

8.  $K_N = \mu_n \cdot C_{\text{ox}} = 40 \mu\text{A/V}^2$

$K_P = \mu_p \cdot C_{\text{ox}} = 16 \mu\text{A/V}^2$

a. Untuk  $C = 0,5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-5}} = 2 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 0,5 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-5}} = 2 \text{ ns}$$

b. Untuk  $C = 1 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-5}} = 4 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 1 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-5}} = 4 \text{ ns}$$

c. Untuk  $C = 5 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-5}} = 20 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_n \cdot C_{\text{ox}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 5 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-5}} = 20 \text{ ns}$$

d. Untuk  $C = 10 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 40 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 10 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 40 \text{ ns}$$

e. Untuk  $C = 15 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 60 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 15 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 60 \text{ ns}$$

f. Untuk  $C = 50 \text{ pF}$

$$t_{\text{PLH}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 16 \cdot 10^{-2} \cdot \left( \frac{5}{1} \right) \cdot 5} = 200 \text{ ns}$$

$$t_{\text{PHL}} = \frac{0,8C}{\frac{1}{2} \cdot \mu_r \cdot C_{\text{OX}} \left( \frac{W}{L} \right) \cdot V_{\text{DD}}} = \frac{0,8 \cdot 50 \cdot 10^{-2}}{\frac{1}{2} \cdot 40 \cdot 10^{-2} \cdot \left( \frac{2}{1} \right) \cdot 5} = 200 \text{ ns}$$

Berdasarkan hasil analisis manual variasi nilai parameter transkonduktansi ( $K$ ) maka perancangan BCD to decimal decoder HCMOS menggunakan parameter transkonduktansi  $K_N = 20 \mu\text{A}/\text{V}^2$  dan  $K_P = 8 \mu\text{A}/\text{V}^2$  dengan nilai kapasitansi  $C_L = 5 \text{ pF}$ . Alasan pemilihan nilai  $K_N$  dan  $K_P$  adalah penggunaan nilai standar pada parameter desain dan kapasitansi  $C_L = 5 \text{ pF}$  sesuai dengan perancangan berdasarkan *data sheet*. Data hasil perhitungan dapat dilihat dalam Tabel 4.4.

Tabel 4.4 Data hasil perhitungan analisis *propagation delay*

K <sub>N</sub> / K <sub>P</sub>	Parameter (ns)	C <sub>L</sub> (pF)					
		0,5	1	5	10	15	50
K <sub>N</sub> = 5 μA/V <sup>2</sup> K <sub>P</sub> = 2 μA/V <sup>2</sup>	t <sub>PLH</sub>	16	32	160	320	480	1600
	t <sub>PHL</sub>	16	32	160	320	480	1600
K <sub>N</sub> = 10 μA/V <sup>2</sup> K <sub>P</sub> = 4 μA/V <sup>2</sup>	t <sub>PLH</sub>	8	16	80	160	240	800
	t <sub>PHL</sub>	8	16	80	160	240	800
K <sub>N</sub> = 15 μA/V <sup>2</sup> K <sub>P</sub> = 6 μA/V <sup>2</sup>	t <sub>PLH</sub>	5,33	10,67	53,35	106,66	160	533,33
	t <sub>PHL</sub>	5,33	10,67	53,35	106,66	160	533,33
K <sub>N</sub> = 20 μA/V <sup>2</sup> K <sub>P</sub> = 8 μA/V <sup>2</sup>	t <sub>PLH</sub>	4	8	40	80	120	400
	t <sub>PHL</sub>	4	8	40	80	120	400
K <sub>N</sub> = 25 μA/V <sup>2</sup> K <sub>P</sub> = 10 μA/V <sup>2</sup>	t <sub>PLH</sub>	3,2	6,4	32	64	96	320
	t <sub>PHL</sub>	3,2	6,4	32	64	96	320
K <sub>N</sub> = 30 μA/V <sup>2</sup> K <sub>P</sub> = 12 μA/V <sup>2</sup>	t <sub>PLH</sub>	2,66	5,33	26,65	53,33	80	266,66
	t <sub>PHL</sub>	2,66	5,33	26,65	53,33	80	266,66
K <sub>N</sub> = 35 μA/V <sup>2</sup> K <sub>P</sub> = 14 μA/V <sup>2</sup>	t <sub>PLH</sub>	2,29	4,57	22,85	45,71	68,57	228,57
	t <sub>PHL</sub>	2,29	4,57	22,85	45,71	68,57	228,57
K <sub>N</sub> = 40 μA/V <sup>2</sup> K <sub>P</sub> = 16 μA/V <sup>2</sup>	t <sub>PLH</sub>	2	4	20	40	60	200
	t <sub>PHL</sub>	2	4	20	40	60	200

Nilai *rise time* t<sub>r</sub> (t<sub>TLH</sub>) dan *fall time* t<sub>f</sub> (t<sub>THL</sub>) adalah sebagai berikut:

$$t_r = 2 \cdot t_{PLH} = 2 \cdot 40 \cdot 10^{-9} = 80 \text{ ns}$$

$$t_f = 2 \cdot t_{PHL} = 2 \cdot 40 \cdot 10^{-9} = 80 \text{ ns}$$

Waktu tunda rambatan rata-rata (*average propagation delay*) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{(40 + 40) \cdot 10^{-9}}{2} = 40 \text{ ns}$$

Disipasi daya untuk nilai frekuensi 1 MHz adalah:

$$\begin{aligned} P_D &= C \cdot V_{DD}^2 \cdot f \\ &= 5 \cdot 10^{-12} \cdot 5^2 \cdot 1 \cdot 10^6 \\ &= 125 \mu\text{w} = 0,125 \text{ mW} \end{aligned}$$

Dengan nilai *propagation delay* 40ns maka:

$$\begin{aligned} P_{DP} &= t_{PD} \cdot P_D \\ &= 40 \cdot 10^{-9} \cdot 125 \cdot 10^{-6} \\ &= 5 \text{ pJ} \end{aligned}$$



## BAB V

### SIMULASI DAN PEMBUATAN LAYOUT

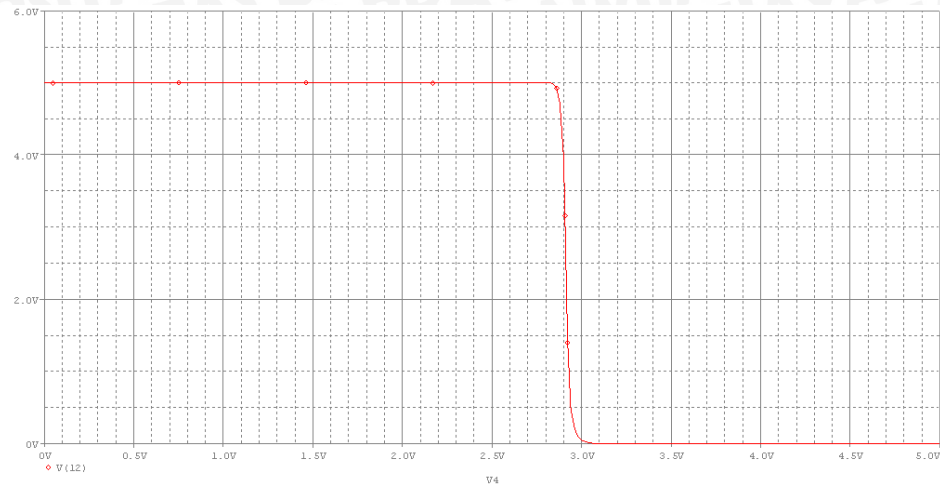
Bab ini membahas mengenai simulasi dan penggambaran *layout* BCD to decimal decoder HCMOS. Hasil analisis dan perhitungan matematis dalam Bab IV perlu disimulasikan untuk mengetahui kebenaran perancangan yang dilakukan. Proses simulasi yang dilakukan yaitu:

1. Simulasi karakteristik alih tegangan (VTC) untuk mengetahui besarnya  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OH}$ , dan  $V_{OL}$ , serta *noise margin* dengan menggunakan perangkat lunak *Pspice*. Dalam simulasi ini yang digunakan adalah analisis DC.
2. Simulasi unit step untuk mengetahui besarnya  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$ , dan  $t_f$  dengan frekuensi sinyal masukan tertentu dengan *Pspice*.

Pada pemograman *Pspice* terdapat 3 macam level, yaitu level 1, level 2, dan level 3. Pemilihan level yang digunakan sesuai dengan kebutuhan pengguna *Pspice*. Pada simulasi ini dipilih level 1 karena pada level ini model yang digunakan sederhana dan kondisi ideal. Berikut informasi singkat mengenai *Pspice* level 2 dan level 3. Level 2 merupakan model yang menggabungkan efek panjang gelombang dan daerah transisi antara saturasi dan *ohmic*. Sedangkan untuk level 3 merupakan model *semi-empirical*. Model ini menawarkan reduksi waktu untuk menghitung daerah transisi antara daerah linier dan saturasi.

#### 5.1 Simulasi Karakteristik Alih Tegangan (VTC)

Simulasi alih tegangan (VTC) dilakukan dengan memberikan tegangan catu yang berupa tegangan DC 5V. Pada simulasi ini rangkaian diuji dengan menggunakan beban kapasitas ( $C_L$ ) 5 pF yang hanya berfungsi untuk mengetahui respon waktu. Hal ini dilakukan sebagai pembandingan dari parameter yang terdapat dalam *datasheet*. Sedangkan variasi beban kapasitor yang lain tidak diberikan karena memiliki hasil VTC yang sama. Dengan menggunakan *listing program* yang benar dan sesuai dengan perancangan, dapat menampilkan grafik VTC sesuai dengan kondisi yang diharapkan. *Listing program* dapat dilihat pada gambar Lampiran VTC.



Gambar 5.1. Grafik Alih Tegangan (VTC) BCD to Desimal Dekoder

Gambar 5.1. menunjukkan grafik alih tegangan (VTC) IC BCD to Desimal Dekoder, berdasarkan grafik tersebut dapat diketahui nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$ . Kondisi ideal terjadi ketika nilai  $V_{OL}$  mendekati nilai tegangan *ground* sedangkan nilai  $V_{OH}$  mendekati nilai tegangan  $V_{DD}$  yaitu 5V dan selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  sangat kecil. Grafik pada Gambar 5.1 menunjukkan nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$  sebagai berikut:

$$\begin{aligned} V_{OH} &= 4,82 \text{ V} & V_{IL} &= 2,86 \text{ V} \\ V_{IH} &= 2,95 \text{ V} & V_{OL} &= 0,31 \text{ V} \end{aligned}$$

*Noise Margin* yaitu  $NM_H$  batasan logika tinggi *noise margin* batasan logika rendah  $NM_L$  dapat diperoleh dengan menggunakan Persamaan (2.30) dan (2.31)

$$NM_H = V_{OH} - V_{IH} \tag{2.30}$$

$$NM_H = 4,82 - 2,95 = 1,87 \text{ V}$$

$$NM_L = V_{IL} - V_{OL} \tag{2.31}$$

$$NM_L = 2,86 - 0,31 = 2,55 \text{ V}$$

*Noise margin* hasil simulasi dapat diketahui bahwa jangkauan tegangan masukan yang dapat dinyatakan sebagai logika “0” adalah 0V sampai 2,86V dan jangkauan tegangan masukan yang dapat dinyatakan sebagai logika “1” adalah 2,95V sampai 5V. Sedangkan jangkauan tegangan keluaran yang dapat dinyatakan sebagai logika “0” adalah 0V sampai 0,31V dan jangkauan tegangan keluaran yang dapat dinyatakan sebagai logika “1” adalah 4,82V sampai 5V. *Noise* diharapkan tidak melampaui kondisi tersebut agar tidak merubah batas logika tinggi dan rendah IC.

## 5.2 Simulasi *Unit Step*

Simulasi *unit step* dilakukan untuk mendapatkan nilai *propagation delay*. Masukan yang diberikan berupa gelombang pulsa (*step*). Nilai *propagation delay* diperoleh dari sinyal output yang berupa nilai  $t_{PLH}$ ,  $t_{PHL}$ , *rise time* ( $t_r$ ) dan *fall time* ( $t_f$ ). Dalam simulasi *unit step* diberikan variasi kapasitor pada keluaran untuk mengetahui respon waktu rangkaian IC yaitu 0,5 pF, 1 pF, 5 pF, 10 pF, 15 pF dan 50 pF. Selain itu digunakan variasi frekuensi yang berbeda yaitu 1 MHz, 2 MHz, 4 MHz, 8 MHz, 10 MHz, 20 MHz, dan 25 MHz.

Kondisi ideal yang diharapkan dalam simulasi *unit step* ini adalah menghasilkan nilai *propagation delay* yang lebih kecil,  $V_{OL}$  mendekati tegangan *ground* (0V) dan  $V_{OH}$  mendekati tegangan catu (5V).

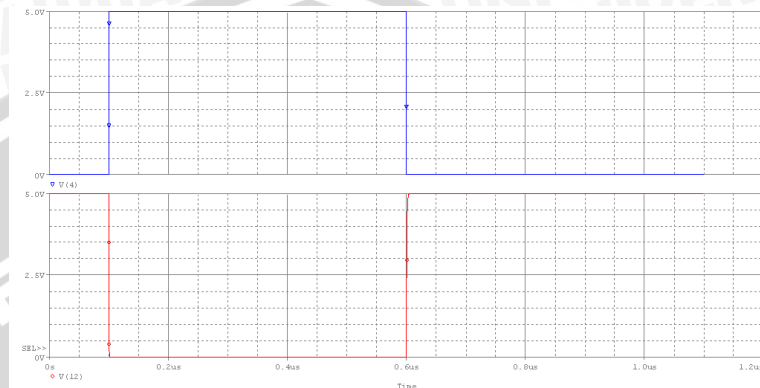




### 5.2.1 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 0,5 \text{ pF}$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 2, listing program unit step  $C_L = 0,5 \text{ pF}$  frekuensi 1 MHz.



Gambar 5.2. Grafik Unit Step IC BCD to Desimal Dekoder  $C_L = 0,5 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 1 MHz ditunjukkan dalam Gambar 5.2. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PHL} = 0,01 \text{ ns} \quad t_r = 2,06 \text{ ns}$$

$$t_{PLH} = 0,26 \text{ ns} \quad t_f = 0 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,01 \text{ ns} + 0,26 \text{ ns}}{2} = \frac{0,27 \text{ ns}}{2} = 0,14 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power*

*Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,14 \text{ ns}$ , maka:

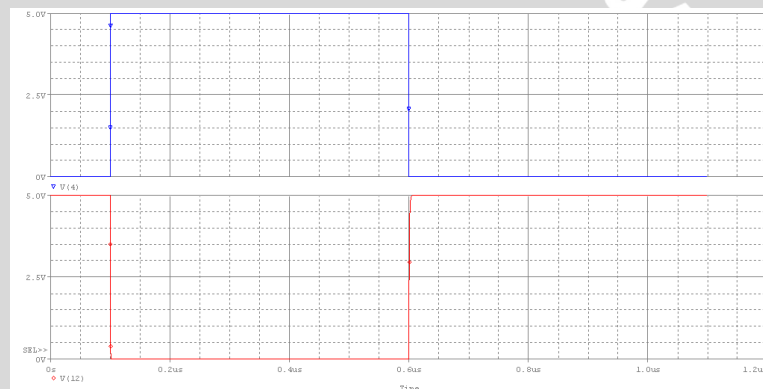
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 1.10^6 = 12,5 \times 10^{-6} = 0,0125 \text{ mW}$$

$$PDP = t_{PD}.PD = 0,14 \times 10^{-9} \times 12,5 \times 10^{-6} = 1,75 \times 10^{-15} = 1,75 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,0125 \text{ mW}$  dan PDP adalah  $1,75 \text{ fJ}$ .

2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 2 MHz.



Gambar 5.3. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 0,5 \text{ pF}$  Frekuensi 2 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 2 MHz ditunjukkan dalam Gambar 5.3. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,04 \text{ ns} \quad t_r = 1,54 \text{ ns}$$

$$t_{PLH} = 0,44 \text{ ns} \quad t_f = 0,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,04 \text{ ns} + 0,44 \text{ ns}}{2} = \frac{0,48 \text{ ns}}{2} = 0,24 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,24 \text{ ns}$ , maka:

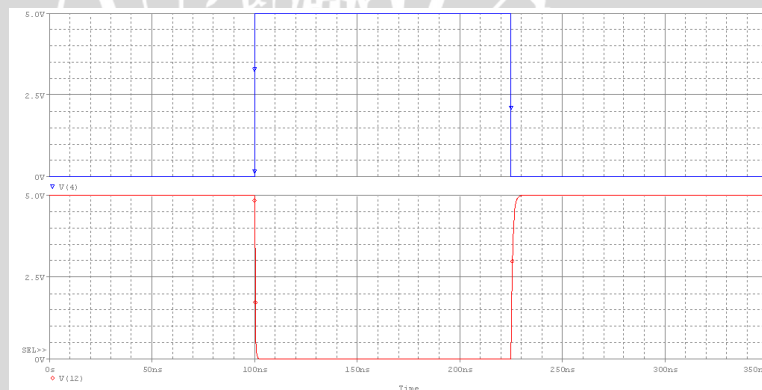
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 2.10^6 = 25 \times 10^{-6} = 0,025 \text{ mW}$$

$$PDP = t_{PD}.PD = 0,24 \times 10^{-9} \times 25 \times 10^{-6} = 6 \times 10^{-15} = 6 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,025 mW dan PDP adalah 6 fJ.

3) Frekuensi 4 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 4 MHz.



Gambar 5.4. Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 0,5 \text{ pF}$  Frekuensi 4 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 4 MHz ditunjukkan dalam Gambar 5.4. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,23 \text{ ns} \quad t_r = 1,8 \text{ ns}$$



$$t_{PLH} = 0,6 \text{ ns} \quad t_f = 0,53 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,23 \text{ ns} + 0,6 \text{ ns}}{2} = \frac{0,83 \text{ ns}}{2} = 0,42 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,42 \text{ ns}$ , maka:

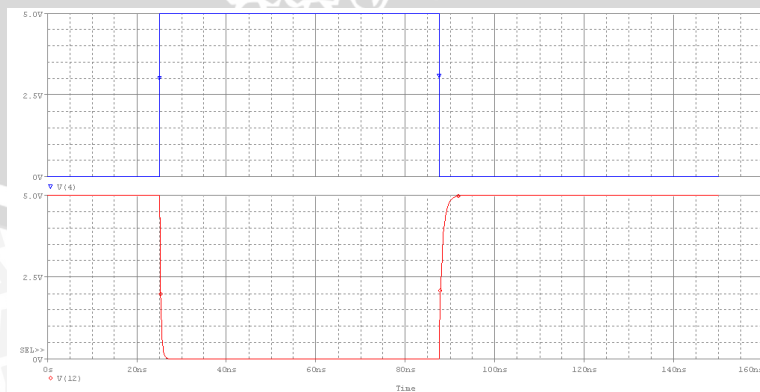
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 4 \cdot 10^6 = 50 \times 10^{-6} = 0,05 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,42 \times 10^{-9} \times 50 \times 10^{-6} = 20,7 \times 10^{-15} = 20,7 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,05 mW dan PDP adalah 20,7 fJ.

4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 8 MHz.



Gambar 5.5. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 0,5 \text{ pF}$  Frekuensi 8 MHz



Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi  $8 \text{ MHz}$  ditunjukkan dalam Gambar 5.5. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,09 \text{ ns} \quad t_r = 1,65 \text{ ns}$$

$$t_{PLH} = 0,42 \text{ ns} \quad t_f = 0,7 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,09 \text{ ns} + 0,42 \text{ ns}}{2} = \frac{0,51 \text{ ns}}{2} = 0,26 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,26 \text{ ns}$ , maka:

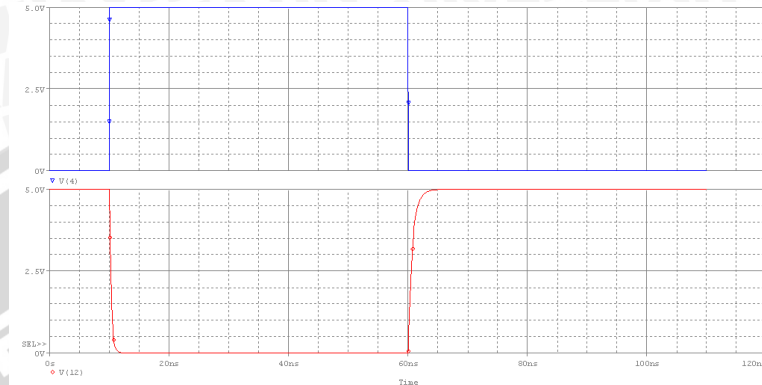
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 8 \cdot 10^6 = 100 \times 10^{-6} = 0,1 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,26 \times 10^{-9} \times 100 \times 10^{-6} = 26 \times 10^{-15} = 26 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,1 \text{ mW}$  dan PDP adalah  $26 \text{ fJ}$ .

5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 10 MHz.



Gambar 5.6. Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 0,5 \text{ pF}$  Frekuensi 10 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 10 MHz ditunjukkan dalam Gambar 5.6. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,21 \text{ ns} \quad t_r = 1,57 \text{ ns}$$

$$t_{PLH} = 0,62 \text{ ns} \quad t_f = 0,58 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,21 \text{ ns} + 0,62 \text{ ns}}{2} = \frac{0,83 \text{ ns}}{2} = 0,42 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,42 \text{ ns}$ , maka:



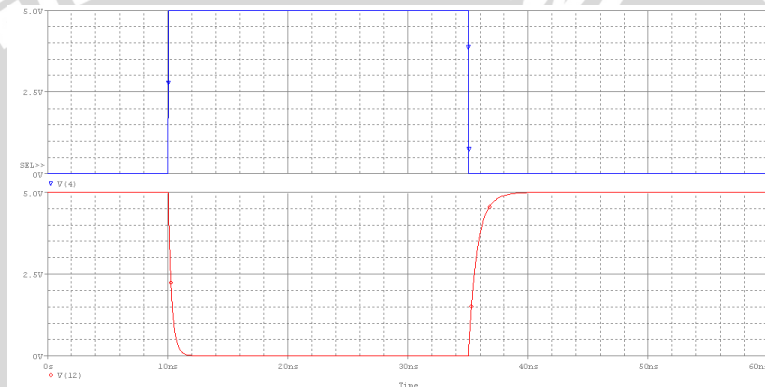
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,42 \times 10^{-9} \times 125 \times 10^{-6} = 52,5 \times 10^{-15} = 52,5 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 52,5 fJ.

6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 20 MHz.



Gambar 5.7. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 0,5 \text{ pF}$  Frekuensi 20 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 20 MHz ditunjukkan dalam Gambar 5.47. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,22 \text{ ns} \quad t_r = 1,57 \text{ ns}$$

$$t_{PLH} = 0,54 \text{ ns} \quad t_f = 0,63 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,22 \text{ ns} + 0,54 \text{ ns}}{2} = \frac{0,76 \text{ ns}}{2} = 0,38 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{pD} = 0,38 \text{ ns}$ , maka:

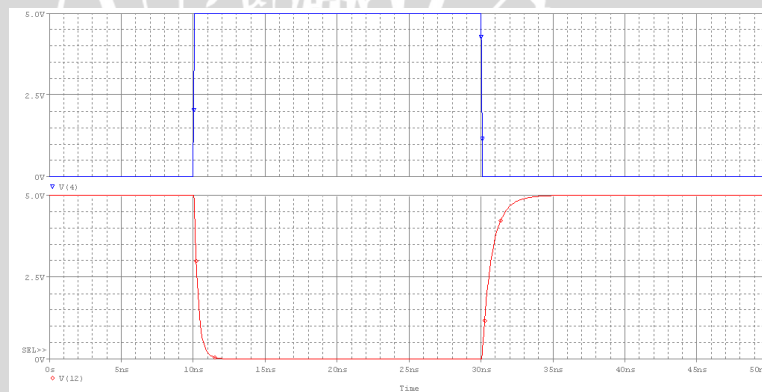
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

$$PDP = t_{pD} \cdot PD = 0,38 \times 10^{-9} \times 250 \times 10^{-6} = 95 \times 10^{-15} = 95 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 95 fJ.

7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 25 MHz.



Gambar 5.8. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 0,5 \text{ pF}$  Frekuensi 25 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 25 MHz ditunjukkan dalam Gambar 5.8. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{pHL} = 0,22 \text{ ns} \quad t_r = 1,56 \text{ ns}$$



$$t_{PLH} = 0,52 \text{ ns} \quad t_f = 0,62 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,22 \text{ ns} + 0,52 \text{ ns}}{2} = \frac{0,74 \text{ ns}}{2} = 0,37 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,37 \text{ ns}$ , maka:

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 313 \times 10^{-6} = 0,313 \text{ mW}$$

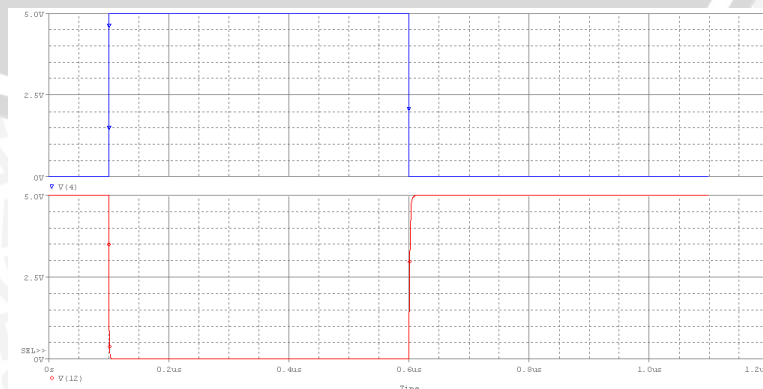
$$PDP = t_{PD} \cdot PD = 0,37 \times 10^{-9} \times 313 \times 10^{-6} = 115,6 \times 10^{-15} = 115,8 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,313 mW dan PDP adalah 115,8 fJ.

### 5.2.2 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 1 \text{ pF}$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 3, listing program unit step  $C_L = 1 \text{ pF}$  frekuensi 1 MHz.





Gambar 5.9. Grafik Unit Step IC BCD to Desimal Dekoder

$$C_L = 1 \text{ pF frekuensi } 1 \text{ MHz}$$

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi  $1 \text{ MHz}$  ditunjukkan dalam Gambar 5.9. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$\begin{aligned} t_{PHL} &= 0,01 \text{ ns} & t_r &= 3,1 \text{ ns} \\ t_{PLH} &= 0,15 \text{ ns} & t_f &= 1 \text{ ns} \end{aligned}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,01 \text{ ns} + 0,15 \text{ ns}}{2} = \frac{0,16 \text{ ns}}{2} = 0,08 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 0,8 \text{ ns}$ , maka:

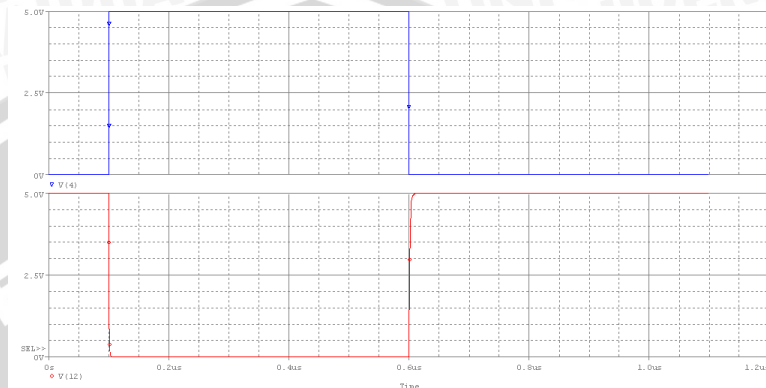
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 1.10^6 = 25 \times 10^{-6} = 0,025 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,8 \times 10^{-9} \times 25 \times 10^{-6} = 2 \times 10^{-15} = 2 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,025 \text{ mW}$  dan PDP adalah  $2 \text{ fJ}$ .

2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1$  pF frekuensi 2 MHz.



Gambar 5.10. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 1$  pF Frekuensi 2 MHz

Grafik simulasi unit step  $C_L = 1$  pF frekuensi 2 MHz ditunjukkan dalam Gambar 5.10. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,04 \text{ ns} \quad t_r = 3,14 \text{ ns}$$

$$t_{PLH} = 1,04 \text{ ns} \quad t_f = 1 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,04 \text{ ns} + 1,04 \text{ ns}}{2} = \frac{1,08 \text{ ns}}{2} = 0,54 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power*

*Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 0,54 \text{ ns}$ , maka:

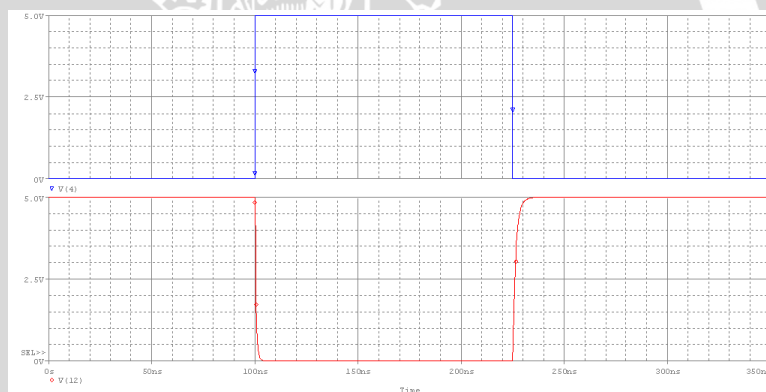
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 2 \cdot 10^6 = 50 \times 10^{-6} = 0,05 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,54 \times 10^{-9} \times 50 \times 10^{-6} = 27 \times 10^{-15} = 27 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,05 \text{ mW}$  dan PDP adalah  $27 \text{ fJ}$ .

### 3) Frekuensi 4 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1 \text{ pF}$  frekuensi 4 MHz.



Gambar 5.11. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 1 \text{ pF}$  Frekuensi 4 MHz

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi 4 MHz ditunjukkan dalam Gambar 5.11. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,23 \text{ ns} \quad t_r = 3 \text{ ns}$$

$$t_{PLH} = 1,19 \text{ ns} \quad t_f = 1,13 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:



$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{9,23ns + 1,19ns}{2} = \frac{10,42ns}{2} = 5,21 ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 5,21 \text{ ns}$ , maka:

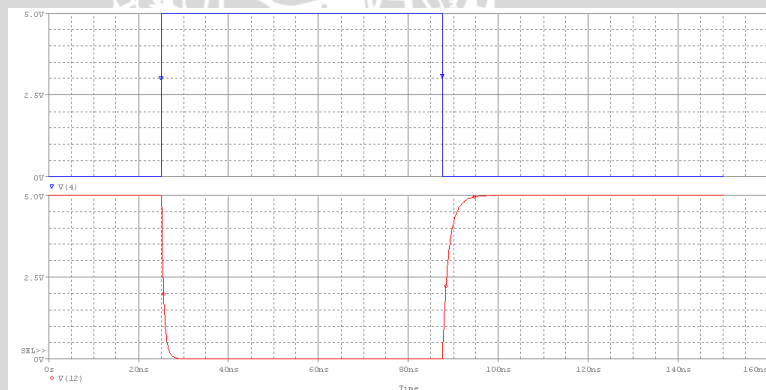
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 4 \cdot 10^6 = 100 \times 10^{-6} = 0,1 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 5,21 \times 10^{-9} \times 100 \times 10^{-6} = 521 \times 10^{-15} = 521 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,1 mW dan PDP adalah 521 fJ.

4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1 \text{ pF}$  frekuensi 8 MHz.



Gambar 5.12. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 1 \text{ pF}$  Frekuensi 8 MHz

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi 8 MHz ditunjukkan dalam Gambar 5.12. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,37 \text{ ns} \quad t_r = 3,17 \text{ ns}$$

$$t_{PLH} = 0,98 \text{ ns} \quad t_f = 1,12 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,37 \text{ ns} + 0,98 \text{ ns}}{2} = \frac{1,35 \text{ ns}}{2} = 0,68 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 0,68 \text{ ns}$ , maka:

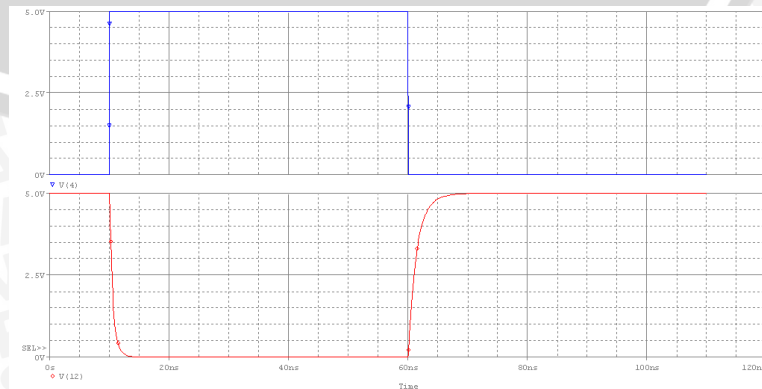
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 8 \cdot 10^6 = 200 \times 10^{-6} = 0,2 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,68 \times 10^{-9} \times 200 \times 10^{-6} = 136 \times 10^{-15} = 136 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,2 mW dan PDP adalah 136 fJ.

5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1 \text{ pF}$  frekuensi 10 MHz.



Gambar 5.13. Grafik Unit step IC BCD to Desimal Dekoder

$$C_L = 1 \text{ pF Frekuensi } 10 \text{ MHz}$$

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi  $10 \text{ MHz}$  ditunjukkan dalam Gambar 5.13. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,42 \text{ ns} \quad t_r = 3,15 \text{ ns}$$

$$t_{PLH} = 1,04 \text{ ns} \quad t_f = 1,16 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,42 \text{ ns} + 1,04 \text{ ns}}{2} = \frac{1,46 \text{ ns}}{2} = 0,73 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 0,74 \text{ ns}$ , maka:

$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 10 \times 10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

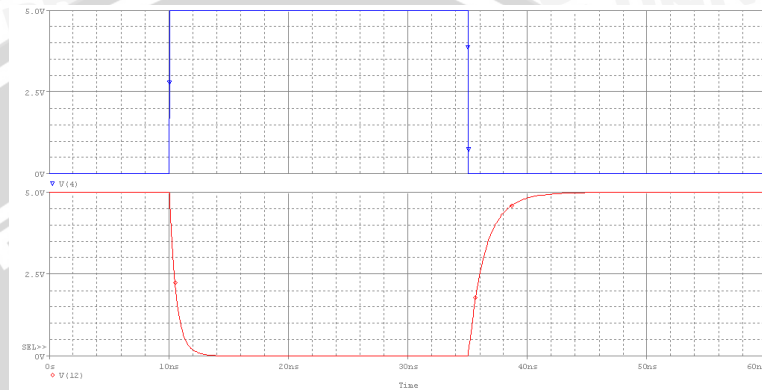
$$PDP = t_{PD} \cdot PD = 0,74 \times 10^{-9} \times 250 \times 10^{-6} = 185 \times 10^{-15} = 185 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,25 \text{ mW}$  dan PDP adalah  $185 \text{ fJ}$ .



6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1$  pF frekuensi 20 MHz.



Gambar 5.14. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 1$  pF Frekuensi 20 MHz

Grafik simulasi unit step  $C_L = 1$  pF frekuensi 20 MHz ditunjukkan dalam Gambar 5.14. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,37 \text{ ns} \quad t_r = 3,14 \text{ ns}$$

$$t_{PLH} = 1,01 \text{ ns} \quad t_f = 1,2 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,37 \text{ ns} + 1,01 \text{ ns}}{2} = \frac{1,38 \text{ ns}}{2} = 0,69 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power*

Delay Product (PDP). Dengan mensubstitusikan  $C = 1 \text{ pF}$ ,  $t_{PD} = 0,69 \text{ ns}$ , maka:

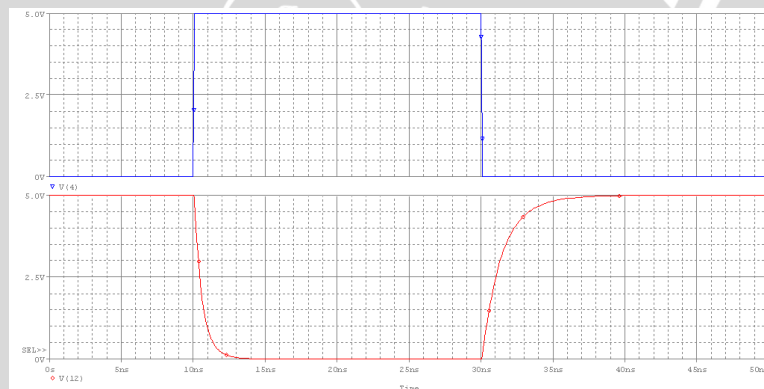
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 500 \times 10^{-6} = 0,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,69 \times 10^{-9} \times 500 \times 10^{-6} = 345 \times 10^{-15} = 345 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah  $0,5 \text{ mW}$  dan PDP adalah  $345 \text{ fJ}$ .

7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1 \text{ pF}$  frekuensi 25 MHz.



Gambar 5.15. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 1 \text{ pF}$  Frekuensi 25 MHz

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi 25 MHz ditunjukkan dalam Gambar 5.15. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 0,39 \text{ ns} \quad t_r = 3,18 \text{ ns}$$

$$t_{PLH} = 1 \text{ ns} \quad t_f = 1,22 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:



$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,39ns + ns}{2} = \frac{1,39ns}{2} = 0,7 ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1 pF$ ,  $t_{PD} = 0,7 ns$ , maka:

$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 625 \times 10^{-6} = 0,625 mW$$

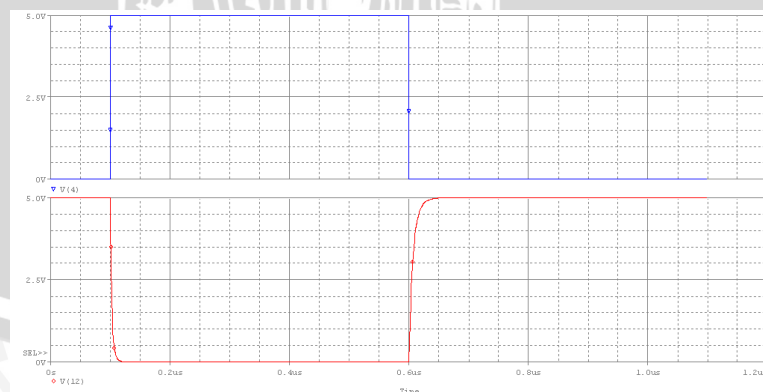
$$PDP = t_{PD} \cdot PD = 0,7 \times 10^{-9} \times 625 \times 10^{-6} = 437,5 \times 10^{-15} = 437,5 fJ$$

Diperoleh nilai disipasi daya adalah 0,625 mW dan PDP adalah 437,5 fJ.

### 5.2.3 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 5 pF$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 4, listing program unit step  $C_L = 5 pF$  frekuensi 1 MHz.



Gambar 5.16. Grafik Unit Step IC BCD to Desimal Dekoder  $C_L=5 pF$  frekuensi 1 MHz



Grafik simulasi unit step  $C_L = 5 \text{ pF}$  frekuensi 1 MHz ditunjukkan dalam Gambar 5.16. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{\text{PHL}} = 1,01 \text{ ns} \quad t_r = 15,8 \text{ ns}$$

$$t_{\text{PLH}} = 5,2 \text{ ns} \quad t_f = 6,3 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{\text{PD}} = \frac{t_{\text{PHL}} + t_{\text{PLH}}}{2} = \frac{1,01 \text{ ns} + 5,2 \text{ ns}}{2} = \frac{6,21 \text{ ns}}{2} = 3,12 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{\text{PD}} = 3,12 \text{ ns}$ , maka:

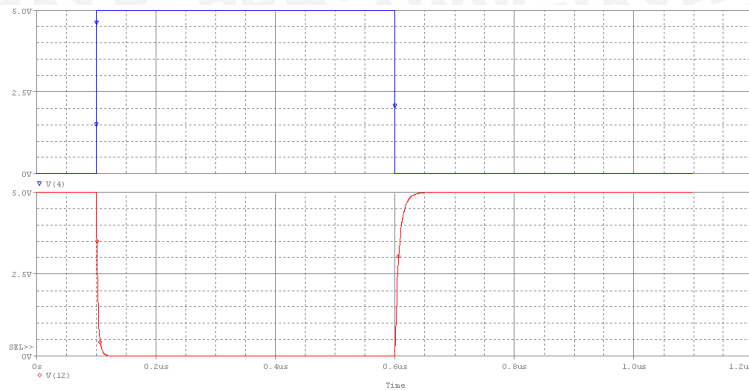
$$\text{PD} = C_L V_{\text{DD}}^2 f = 5 \times 10^{-12} \times 5^2 \times 1 \cdot 10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$$

$$\text{PDP} = t_{\text{PD}} \cdot \text{PD} = 3,12 \times 10^{-9} \times 125 \times 10^{-6} = 390 \times 10^{-15} = 390 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 390 fJ.

## 2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5 \text{ pF}$  frekuensi 2 MHz.



Gambar 5.17. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 5 \text{ pF}$  Frekuensi 2 MHz

Grafik simulasi unit step  $C_L = 5 \text{ pF}$  frekuensi 2 MHz ditunjukkan dalam Gambar 5.17. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 1,56 \text{ ns} \quad t_r = 15,2 \text{ ns}$$

$$t_{PLH} = 4,64 \text{ ns} \quad t_f = 6,3 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,56 \text{ ns} + 4,64 \text{ ns}}{2} = \frac{6,2 \text{ ns}}{2} = 3,1 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 3,1 \text{ ns}$ , maka:

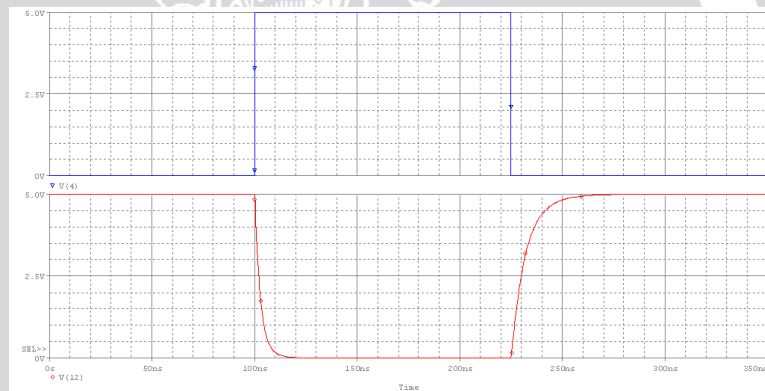
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 2 \cdot 10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 3,1 \times 10^{-9} \times 250 \times 10^{-6} = 775 \times 10^{-15} = 775 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 775 fJ.

### 3) Frekuensi 4 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5$  pF frekuensi 4 MHz.



Gambar 5.18. Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 5$  pF Frekuensi 4 MHz

Grafik simulasi unit step  $C_L = 5$  pF frekuensi 4 MHz ditunjukkan dalam Gambar 5.18. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{\text{PHL}} = 1,73 \text{ ns} \quad t_r = 15,6 \text{ ns}$$

$$t_{\text{PLH}} = 4,84 \text{ ns} \quad t_f = 6,4 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:



$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,73ns + 1,84ns}{2} = \frac{5,57ns}{2} = 3,29 ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 3,29 \text{ ns}$ , maka:

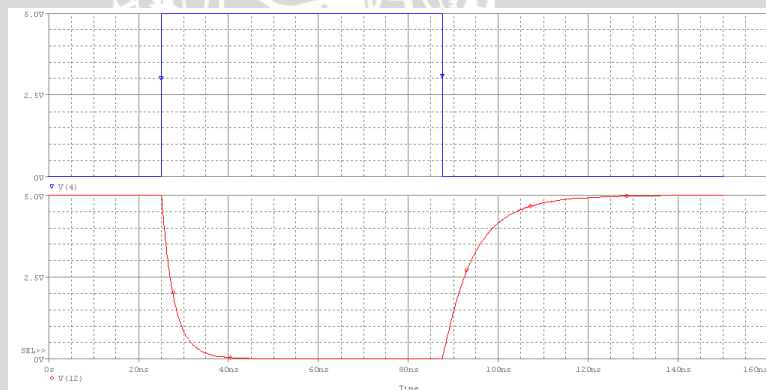
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 4 \cdot 10^6 = 500 \times 10^{-6} = 0,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 3,29 \times 10^{-9} \times 500 \times 10^{-6} = 1,64 \times 10^{-12} = 1,64 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,5 mW dan PDP adalah 1,64 pJ.

4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5 \text{ pF}$  frekuensi 8 MHz.



Gambar 5.19. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 5 \text{ pF}$  Frekuensi 8 MHz

Grafik simulasi unit step  $C_L = 5 \text{ pF}$  frekuensi 8 MHz ditunjukkan dalam Gambar 5.19. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 1,96 \text{ ns} \quad t_r = 15,8 \text{ ns}$$

$$t_{PLH} = 4,9 \text{ ns} \quad t_f = 6,29 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,96 \text{ ns} + 4,9 \text{ ns}}{2} = \frac{6,86 \text{ ns}}{2} = 3,43 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 3,43 \text{ ns}$ , maka:

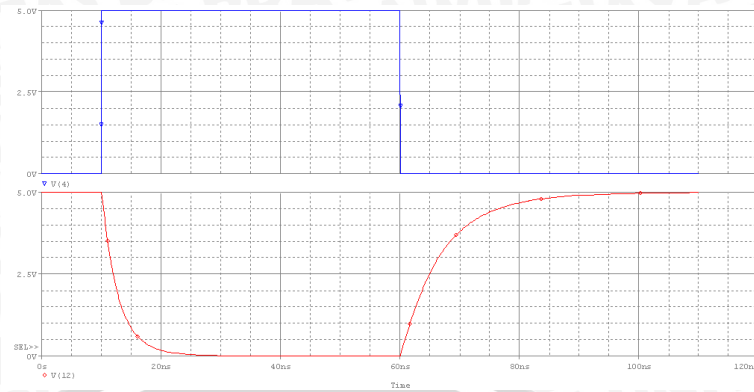
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 8 \cdot 10^6 = 1000 \times 10^{-6} = 1 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 3,43 \times 10^{-9} \times 1000 \times 10^{-6} = 3,43 \times 10^{-12} = 3,43 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1 mW dan PDP adalah 3,43 pJ.

##### 5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5 \text{ pF}$  frekuensi 10 MHz.



Gambar 5.20. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 5 \text{ pF}$  Frekuensi 10 MHz

Grafik simulasi unit step  $C_L = 5 \text{ pF}$  frekuensi 10 MHz ditunjukkan dalam Gambar 5.20. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 1,99 \text{ ns} \quad t_r = 15,75 \text{ ns}$$

$$t_{PLH} = 4,92 \text{ ns} \quad t_f = 6,28 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,99 \text{ ns} + 4,92 \text{ ns}}{2} = \frac{6,91 \text{ ns}}{2} = 3,46 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 3,46 \text{ ns}$ , maka:

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 10 \times 10^6 = 1250 \times 10^{-6} = 1,25 \text{ mW}$$

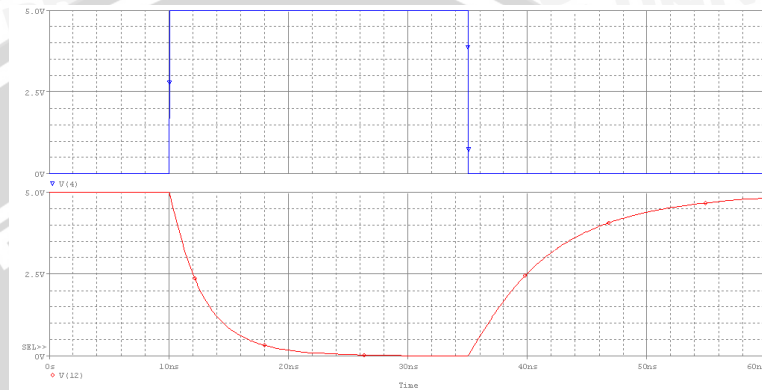
$$PDP = t_{PD} \cdot PD = 3,46 \times 10^{-9} \times 1250 \times 10^{-6} = 4,33 \times 10^{-12} = 4,33 \text{ pJ}$$



Diperoleh nilai disipasi daya adalah 1,25 mW dan PDP adalah 4,33 pJ.

6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5$  pF frekuensi 20 MHz.



Gambar 5.21. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 5$  pF Frekuensi 20 MHz

Grafik simulasi unit step  $C_L = 5$  pF frekuensi 20 MHz ditunjukkan dalam Gambar 5.20, dengan nilai  $V_{OH} = 4,82$  V, maka nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 1,94 \text{ ns} \quad t_r = 15,71 \text{ ns}$$

$$t_{PLH} = 4,92 \text{ ns} \quad t_f = 6,28 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,94 \text{ ns} + 4,92 \text{ ns}}{2} = \frac{6,86 \text{ ns}}{2} = 3,43 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 3,43 \text{ ns}$ , maka:

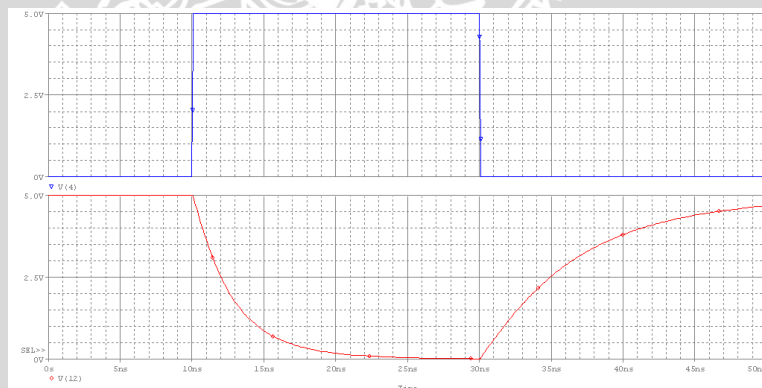
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 2500 \times 10^{-6} = 2,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 3,43 \times 10^{-9} \times 1250 \times 10^{-6} = 4,33 \times 10^{-12} = 8,57 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 2,5 mW dan PDP adalah 8,57 pJ.

#### 7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5 \text{ pF}$  frekuensi 25 MHz.



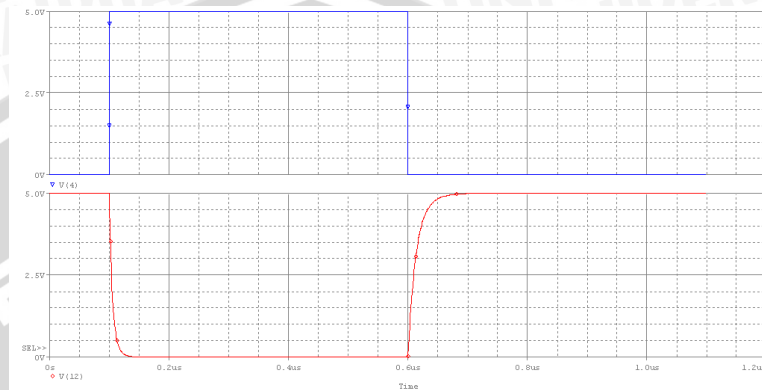
Gambar 5.22 Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 5 \text{ pF}$  Frekuensi 25 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.22, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 4,68 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

5.2.4 Simulasi Unit Step IC BCD to Desimal Dekoder dengan  $C_L = 10 \text{ pF}$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 5, listing program unit step  $C_L = 10 \text{ pF}$  frekuensi 1 MHz.



Gambar 5.23. Grafik Unit Step IC BCD to Desimal Dekoder  $C_L=10 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 10 \text{ pF}$  frekuensi 1 MHz ditunjukkan dalam Gambar 5.23. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PHL} = 3,09 \text{ ns} \quad t_r = 31,2 \text{ ns}$$

$$t_{PLH} = 9, \text{ ns} \quad t_f = 12,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,09 \text{ ns} + 9,4 \text{ ns}}{2} = \frac{12,49 \text{ ns}}{2} = 6,25 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power*



*Delay Product* (PDP). Dengan mensubstitusikan  $C = 10 \text{ pF}$ ,  $t_{PD} = 6,25 \text{ ns}$ , maka:

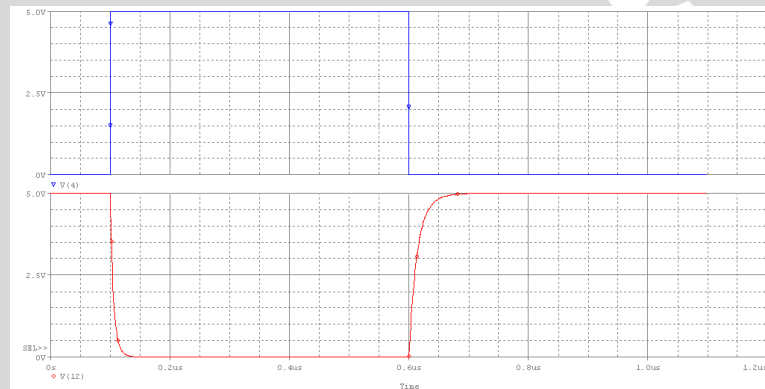
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 1.10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,25 \times 10^{-9} \times 250 \times 10^{-6} = 1,56 \times 10^{-12} = 1,56 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah  $0,25 \text{ mW}$  dan PDP adalah  $1,56 \text{ pJ}$ .

## 2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10 \text{ pF}$  frekuensi 2 MHz.



Gambar 5.24. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 10 \text{ pF}$  Frekuensi 2 MHz

Grafik simulasi unit step  $C_L = 10 \text{ pF}$  frekuensi 2 MHz ditunjukkan dalam Gambar 5.24. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 3,56 \text{ ns} \quad t_r = 32 \text{ ns}$$

$$t_{PLH} = 9,94 \text{ ns} \quad t_f = 12,1 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,56ns + 1,94ns}{2} = \frac{5,5ns}{2} = 2,75 ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10 \text{ pF}$ ,  $t_{PD} = 6,75 \text{ ns}$ , maka:

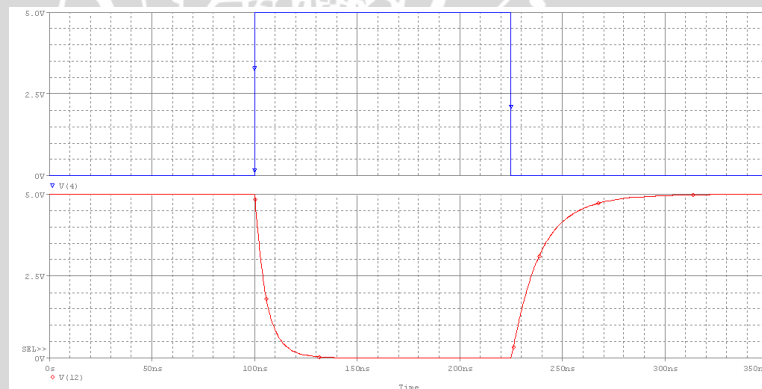
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 2.10^6 = 500 \times 10^{-6} = 0,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,75 \times 10^{-9} \times 500 \times 10^{-6} = 3,37 \times 10^{-12} = 3,37 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,5 mW dan PDP adalah 3,37 pJ.

3) Frekuensi 4 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10 \text{ pF}$  frekuensi 4 MHz.



Gambar 5.25. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 10 \text{ pF}$  Frekuensi 4 MHz

Grafik simulasi unit step  $C_L = 10 \text{ pF}$  frekuensi 4 MHz ditunjukkan dalam Gambar 5.25. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 3,92 \text{ ns} \quad t_r = 31,5 \text{ ns}$$



$$t_{PLH} = 10,04 \text{ ns} \quad t_f = 12,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,92 \text{ ns} + 0,04 \text{ ns}}{2} = \frac{3,96 \text{ ns}}{2} = 6,98 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10 \text{ pF}$ ,  $t_{PD} = 6,98 \text{ ns}$ , maka:

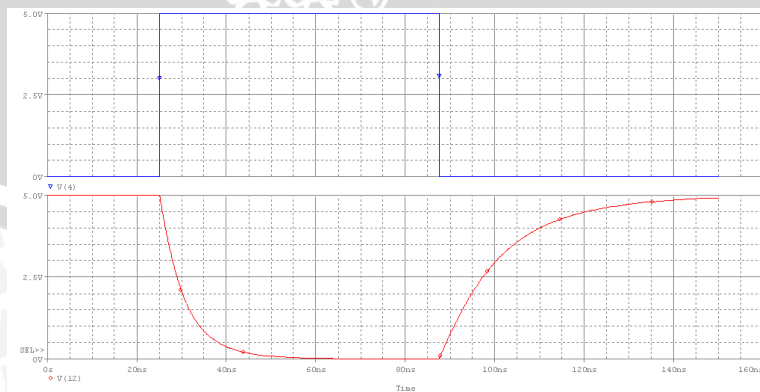
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 4.10^6 = 1000 \times 10^{-6} = 1 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,98 \times 10^{-9} \times 1000 \times 10^{-6} = 6,98 \times 10^{-12} = 6,98 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,001 mW dan PDP adalah 6,98 pJ.

#### 4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10 \text{ pF}$  frekuensi 8 MHz.



Gambar 5.26. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 10 \text{ pF}$  Frekuensi 8 MHz



Grafik simulasi unit step  $C_L = 10$  pF frekuensi 8 MHz ditunjukkan dalam Gambar 5.20, dengan nilai  $V_{OH} = 4,92$  V, maka nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$\begin{aligned} t_{PHL} &= 4,07 \text{ ns} & t_r &= 30,91 \text{ ns} \\ t_{PLH} &= 9,79 \text{ ns} & t_f &= 12,7 \text{ ns} \end{aligned}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{4,07 \text{ ns} + 9,79 \text{ ns}}{2} = \frac{13,86 \text{ ns}}{2} = 6,93 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5$  pF,  $t_{PD} = 6,93$  ns, maka:

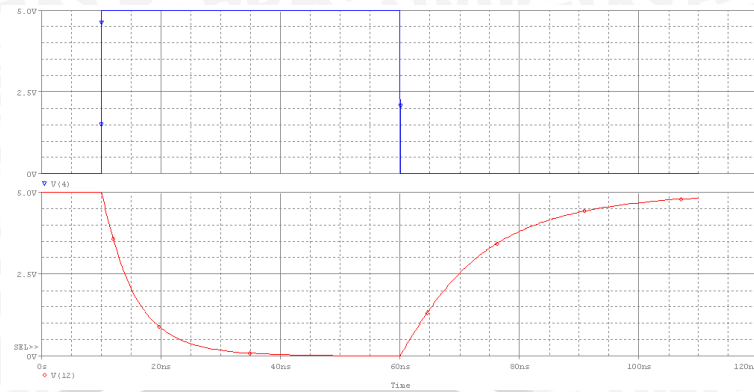
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 8 \cdot 10^6 = 2000 \times 10^{-6} = 2 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,93 \times 10^{-9} \times 2000 \times 10^{-6} = 13,86 \times 10^{-12} = 13,86 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 2,5 mW dan PDP adalah 13,86 pJ.

##### 5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10$  pF frekuensi 10 MHz.



Gambar 5.27. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 10 \text{ pF}$  Frekuensi 10 MHz

Grafik simulasi unit step  $C_L = 10 \text{ pF}$  frekuensi 10 MHz ditunjukkan dalam Gambar 5.20, dengan nilai  $V_{OH} = 4,83 \text{ V}$ , maka nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 3,88 \text{ ns} \quad t_r = 31,1 \text{ ns}$$

$$t_{PLH} = 9,84 \text{ ns} \quad t_f = 12,61 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,88 \text{ ns} + 9,84 \text{ ns}}{2} = \frac{13,72 \text{ ns}}{2} = 6,86 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 6,86 \text{ ns}$ , maka:

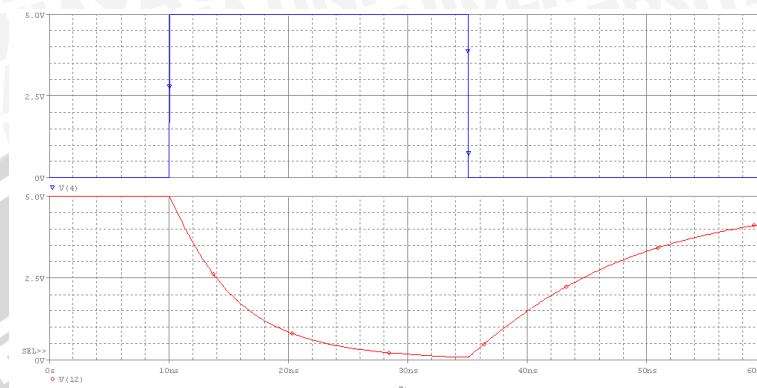
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 2500 \times 10^{-6} = 2,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,86 \times 10^{-9} \times 2500 \times 10^{-6} = 17,15 \times 10^{-12} = 17,15 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 2,5 mW dan PDP adalah 17,15 pJ.

6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10$  pF frekuensi 20 MHz.

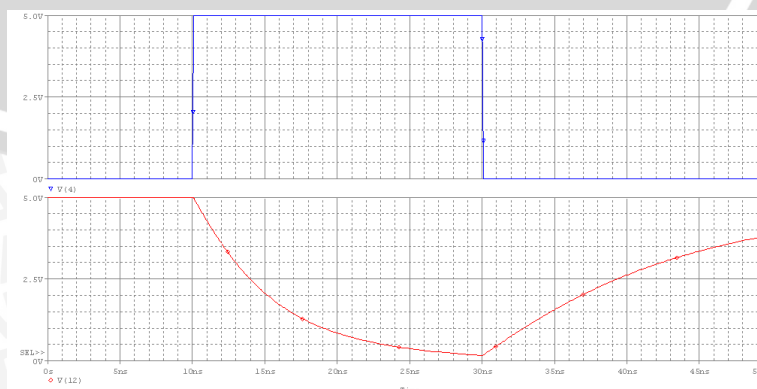


Gambar 5.28. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 10$  pF Frekuensi 20 MHz

Berdasarkan data yang ditunjukkan pada Gambar 5.28, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 4,16 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 10$  pF frekuensi 25 MHz.





Gambar 5.29. Grafik Unit step IC BCD to Desimal Dekoder

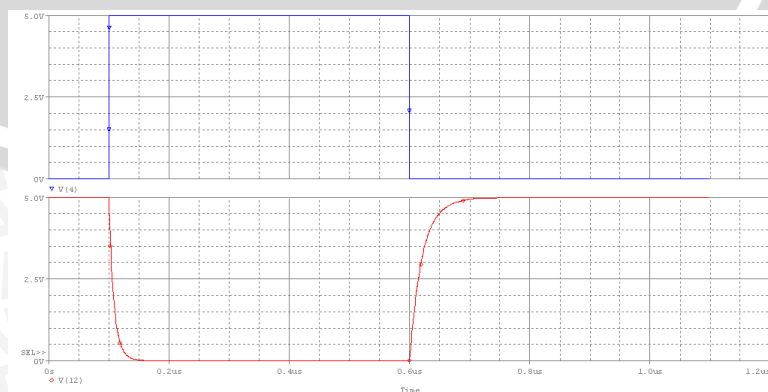
$$C_L = 10 \text{ pF Frekuensi } 25 \text{ MHz}$$

Berdasarkan data yang yang ditunjukkan pada Gambar 5.29, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 3,8 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.2.5 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 15 \text{ pF}$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 6, listing program unit step  $C_L = 15 \text{ pF}$  frekuensi 1 MHz.



Gambar 5.30. Grafik Unit Step IC BCD to Desimal Dekoder  $C_L=15$  pF frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 15$  pF frekuensi 1 MHz ditunjukkan dalam Gambar 5.30. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$\begin{aligned} t_{PHL} &= 5,19 \text{ ns} & t_r &= 47,3 \text{ ns} \\ t_{PLH} &= 14,7 \text{ ns} & t_f &= 18,9 \text{ ns} \end{aligned}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{5,19 \text{ ns} + 14,7 \text{ ns}}{2} = \frac{19,89 \text{ ns}}{2} = 9,95 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15$  pF,  $t_{PD} = 9,95$  ns, maka:

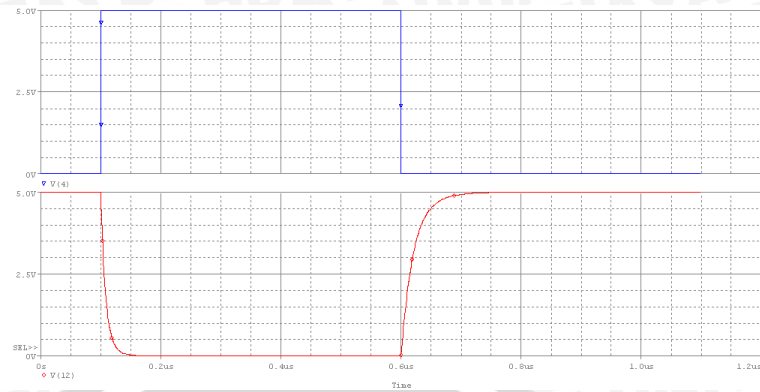
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1.10^6 = 375 \times 10^{-6} = 0,375 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 9,95 \times 10^{-9} \times 375 \times 10^{-6} = 3,73 \times 10^{-12} = 3,73 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,375 mW dan PDP adalah 3,73 fJ.

## 2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15$  pF frekuensi 2 MHz.



Gambar 5.31. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 15$  Frekuensi 2 MHz

Grafik simulasi unit step  $C_L = 15$  pF frekuensi 2 MHz ditunjukkan dalam Gambar 5.31. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 5,66 \text{ ns} \quad t_r = 47,7 \text{ ns}$$

$$t_{PLH} = 14,74 \text{ ns} \quad t_f = 19,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{5,66 \text{ ns} + 14,74 \text{ ns}}{2} = \frac{20,4 \text{ ns}}{2} = 10,2 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15$  pF,  $t_{PD} = 10,2$  ns, maka:

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 2 \cdot 10^6 = 750 \times 10^{-6} = 0,75 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 10,2 \times 10^{-9} \times 750 \times 10^{-6} = 7,65 \times 10^{-12} = 7,65 \text{ pJ}$$

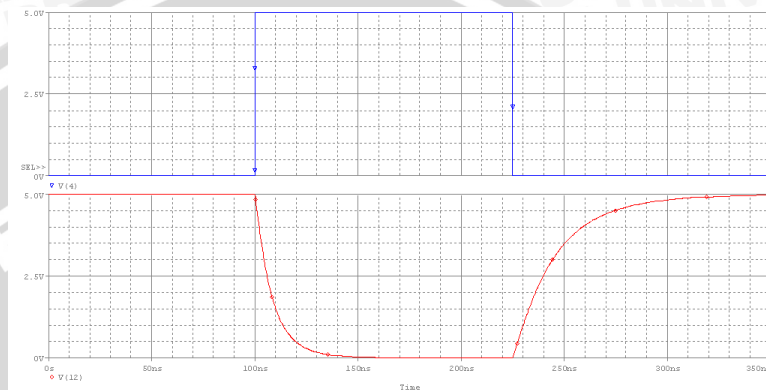




Diperoleh nilai disipasi daya adalah 0,75 mW dan PDP adalah 7,65 pJ.

3) Frekuensi 4 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15$  pF frekuensi 4 MHz.



Gambar 5.32. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 15$  pF Frekuensi 4 MHz

Grafik simulasi unit step  $C_L = 15$  pF frekuensi 4 MHz ditunjukkan dalam Gambar 5.32, dengan nilai  $V_{OH} = 4,97$  V, maka nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PHL} = 5,72 \text{ ns} \quad t_r = 47,7 \text{ ns}$$

$$t_{PLH} = 14,84 \text{ ns} \quad t_f = 19 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay*:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{5,72 \text{ ns} + 14,84 \text{ ns}}{2} = \frac{20,56 \text{ ns}}{2} = 10,28 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power*

*Delay Product* (PDP). Dengan mensubstitusikan  $C = 15 \text{ pF}$ ,  $t_{PD} = 10,28 \text{ ns}$ , maka:

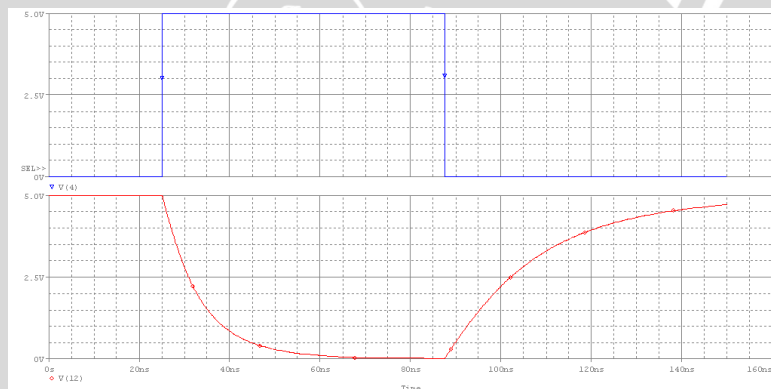
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 4.10^6 = 1500 \times 10^{-6} = 1,5 \text{ mW}$$

$$PDP = t_{PD}.PD = 10,28 \times 10^{-9} \times 1500 \times 10^{-6} = 15,42 \times 10^{-12} = 15,42 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah  $1,5 \text{ mW}$  dan PDP adalah  $15,42 \text{ pJ}$ .

#### 4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15 \text{ pF}$  frekuensi 8 MHz.

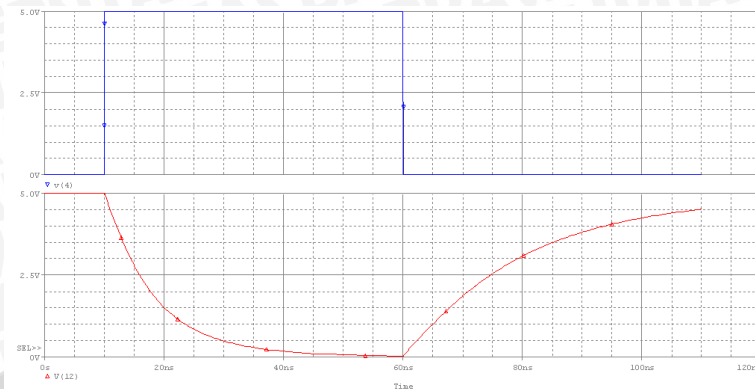


Gambar 5.33. Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 15 \text{ pF}$  Frekuensi 8 MHz

Berdasarkan data yang ditunjukkan pada Gambar 5.33, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar  $4,82 \text{ V}$ , yaitu  $4,71 \text{ V}$ , sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

#### 5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15 \text{ pF}$  frekuensi 10 MHz.



Gambar 5.34. Grafik Unit step IC BCD to Desimal Dekoder

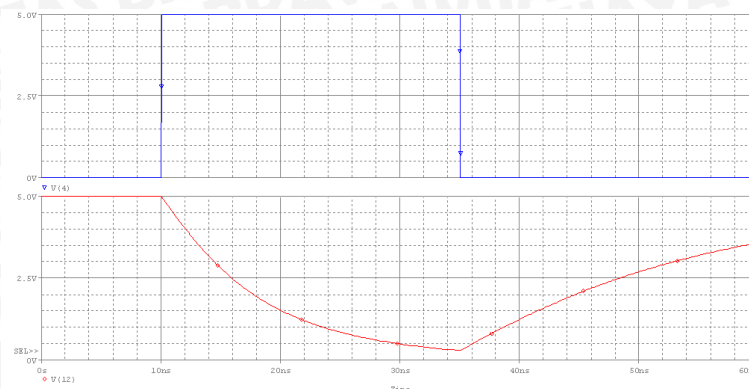
$$C_L = 15 \text{ pF Frekuensi } 10 \text{ MHz}$$

Berdasarkan data yang yang ditunjukkan pada Gambar 5.34, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 4,51 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15 \text{ pF}$  frekuensi 20 MHz.





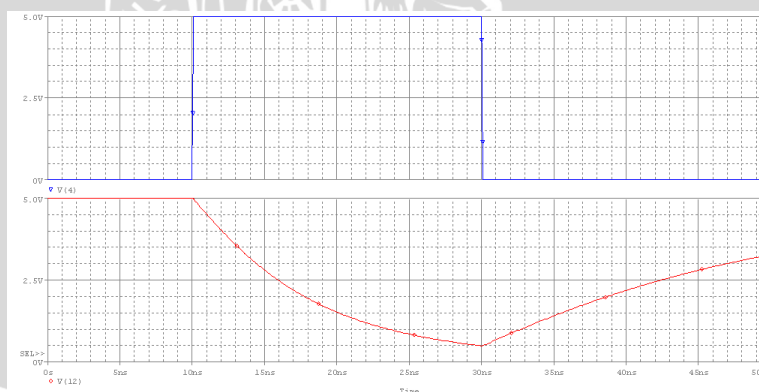
Gambar 5.35. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 15 \text{ pF}$  Frekuensi 20 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.35, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 3,57 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 15 \text{ pF}$  frekuensi 25 MHz.



Gambar 5.36. Grafik Unit step IC BCD to Desimal Dekoder

$C_L = 15 \text{ pF}$  Frekuensi 25 MHz

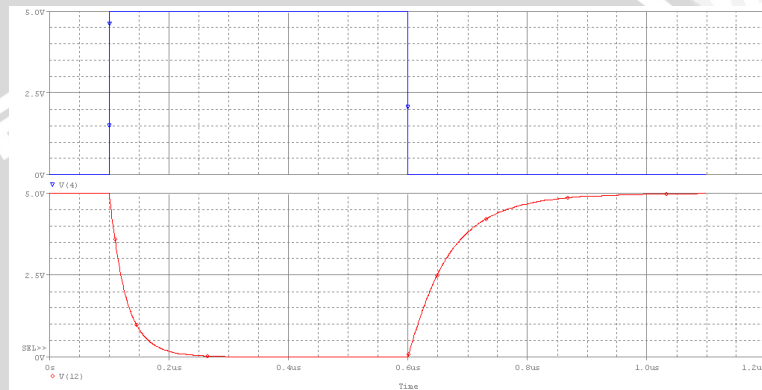
Berdasarkan data yang yang ditunjukkan pada Gambar 5.36, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu

3,28 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.2.6 Simulasi Unit Step IC BCD to Desimal Dekoder dengan $C_L = 50 \text{ pF}$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 7, listing program unit step  $C_L = 50 \text{ pF}$  frekuensi 1 MHz.



Gambar 5.37. Grafik Unit Step IC BCD to Desimal Dekoder  $C_L=50 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 50 \text{ pF}$  frekuensi 1 MHz ditunjukkan dalam Gambar 5.37. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* a grafik tersebut adalah:

$$t_{PHL} = 18,92 \text{ ns} \quad t_r = 157,1 \text{ ns}$$

$$t_{PLH} = 48,22 \text{ ns} \quad t_f = 62,7 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{18,92 \text{ ns} + 48,22 \text{ ns}}{2} = \frac{67,14 \text{ ns}}{2} = 33,57 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh

dengan menggunakan Persamaan (2.38) dan (2.40) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 50 \text{ pF}$ ,  $t_{PD} = 33,57 \text{ ns}$ , maka:

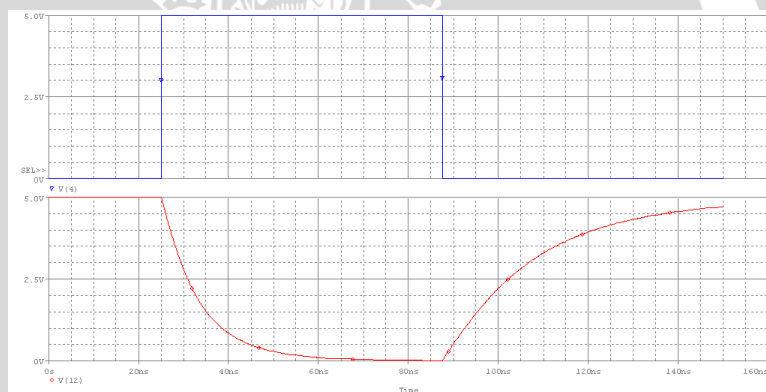
$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1,25 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 33,57 \times 10^{-9} \times 1250 \times 10^{-6} = 41,96 \times 10^{-12} = 41,96 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1,25 mW dan PDP adalah 41,96 pJ.

2) Frekuensi 2 MHz

Listing program ditunjukkan dalam Lampiran 7, *listing program* unit step  $C_L = 50 \text{ pF}$  frekuensi 2 MHz.



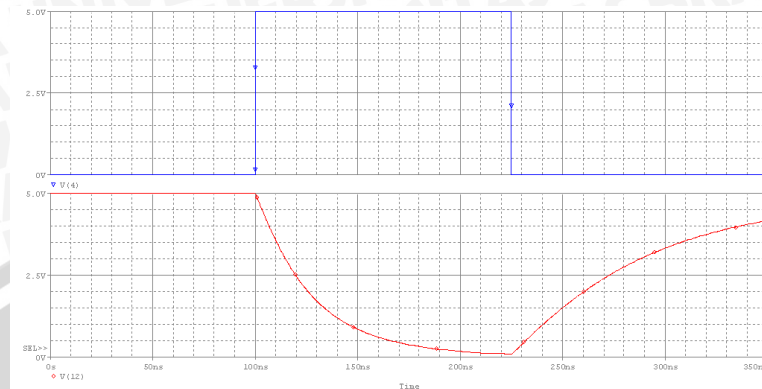
Gambar 5.38. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 50 \text{ pF}$  Frekuensi 2 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.38, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 4,8 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

3) Frekuensi 4 MHz



Listing program ditunjukkan dalam Lampiran 7, listing program unit step  $C_L = 50$  pF frekuensi 4 MHz.

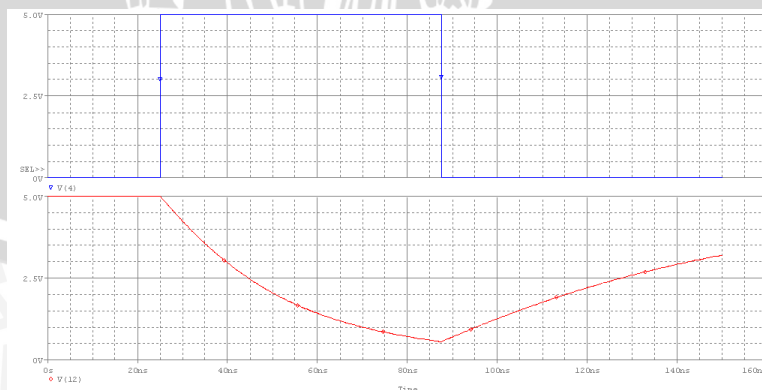


Gambar 5.39. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 50$  pF Frekuensi 4 MHz

Berdasarkan data yang ditunjukkan pada Gambar 5.39, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 4,15 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

4) Frekuensi 8 MHz

Listing program ditunjukkan dalam Lampiran 7, listing program unit step  $C_L = 50$  pF frekuensi 8 MHz.

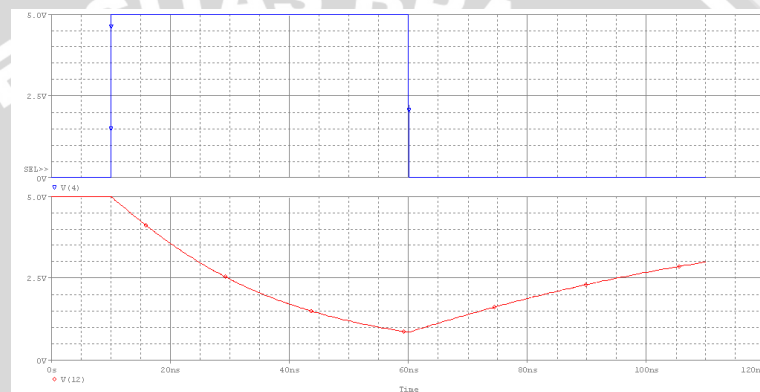


Gambar 5.40. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 50$  pF Frekuensi 8 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.40, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 3,2 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

#### 5) Frekuensi 10 MHz

Listing program ditunjukkan dalam Lampiran 7, *listing program* unit step  $C_L = 50$  pF frekuensi 10 MHz.

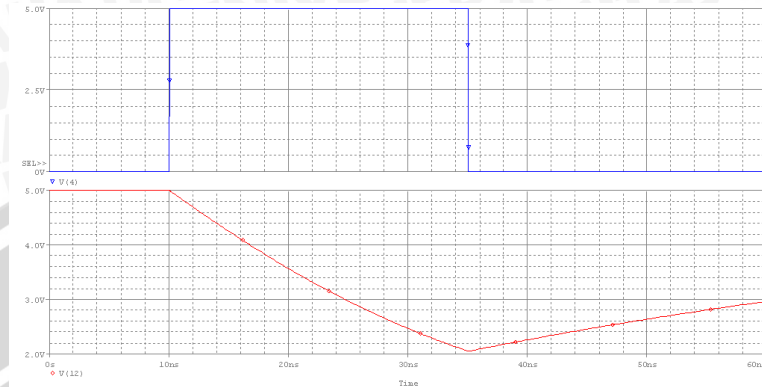


Gambar 5.41. Grafik Unit step IC BCD to Desimal Dekoder  
 $C_L = 50$  pF Frekuensi 10 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.41, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 2,99 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

6) Frekuensi 20 MHz

Listing program ditunjukkan dalam Lampiran 7, *listing program* unit step  $C_L = 50$  pF frekuensi 20 MHz.

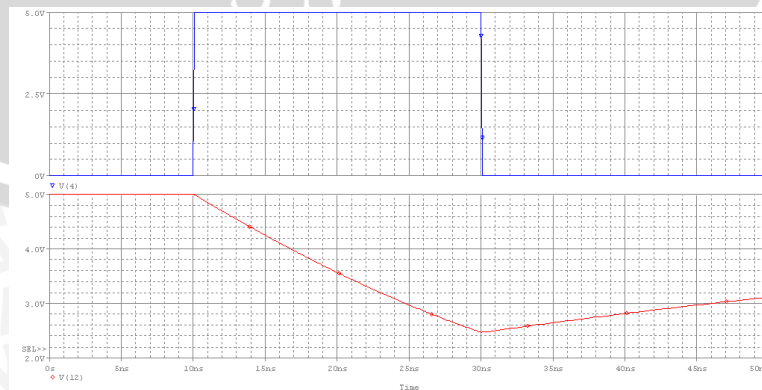


Gambar 5.42. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 50$  pF Frekuensi 20 MHz

Berdasarkan data yang yang ditunjukkan pada Gambar 5.42, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 2,95 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

7) Frekuensi 25 MHz

Listing program ditunjukkan dalam Lampiran 7, *listing program* unit step  $C_L = 50$  pF frekuensi 25 MHz.



Gambar 5.43. Grafik Unit step IC BCD to Desimal Dekoder  $C_L = 50$  pF Frekuensi 25 MHz



Berdasarkan data yang ditunjukkan pada Gambar 5.43, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai nilai  $V_{OH}$  minimal dalam grafik VTC sebesar 4,82 V, yaitu 2,46 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.3 Perbandingan Data Hasil Analisis Perhitungan, Simulasi dan *Datasheet*

Berdasarkan hasil simulasi IC BCD to Desimal Dekoder HCMOS dalam subbab 5.2 diperoleh data simulasi yang dapat menjadi perbandingan dengan data analisis perhitungan serta *datasheet* yang telah ditetapkan. Tabel 5.1 menunjukkan data hasil simulasi IC BCD to Desimal Dekoder HCMOS.

Tabel 5.1. Data Hasil Simulasi IC BCD to Desimal Dekoder HCMOS

$C_L$	PARAMETER	Frekuensi (MHz)						
		1	2	4	8	10	20	25
0,5pF	$t_{PHL}$ (ns)	0,01	0,04	0,23	0,09	0,21	0,22	0,22
	$t_{PLH}$ (ns)	0,26	0,44	0,6	0,42	0,62	0,54	0,52
	$t_r$ (ns)	2,06	1,54	1,8	1,65	1,57	1,57	1,56
	$t_f$ (ns)	0	0,5	0,53	0,7	0,58	0,63	0,62
	$t_{PD}$ (ns)	0,14	0,24	0,42	0,26	0,42	0,38	0,37
	PD (mW)	0,0125	0,025	0,05	0,1	0,125	0,25	0,313
	PDP (fJ)	1,75	6	23,5	26	52,5	95	115,8
1pF	$t_{PHL}$ (ns)	0,01	0,04	0,23	0,37	0,42	0,37	0,39
	$t_{PLH}$ (ns)	0,15	1,04	1,19	0,98	1,04	1,01	1
	$t_r$ (ns)	3,1	3,14	3	3,17	3,15	3,14	3,18
	$t_f$ (ns)	1	1	1,13	1,12	1,16	1,2	1,22
	$t_{PD}$ (ns)	0,8	0,54	0,71	0,68	0,74	0,69	0,7
	PD (mW)	0,025	0,05	0,1	0,2	0,25	0,5	0,625
	PDP (fJ)	2	27	71	136	185	345	437,5
5pF	$t_{PHL}$ (ns)	1,01	1,56	1,73	1,96	1,99	4,92	-
	$t_{PLH}$ (ns)	5,2	4,64	4,84	4,9	4,92	1,94	-
	$t_r$ (ns)	15,8	15,2	15,6	15,8	15,75	15,71	-
	$t_f$ (ns)	6,3	6,3	6,4	6,29	6,28	6,28	-
	$t_{PD}$ (ns)	3,12	3,1	3,29	3,43	3,46	3,43	-
	PD (mW)	0,125	0,25	0,5	1	1,25	2,5	-
	PDP (pJ)	0,39	0,775	1,64	3,43	4,33	8,57	-

10pF	t <sub>PHL</sub> (ns)	3,09	3,56	3,92	9,79	9,84	-	-
	t <sub>PLH</sub> (ns)	9	9,94	10,04	4,07	3,88	-	-
	t <sub>r</sub> (ns)	31,2	32	31,5	30,91	31,1	-	-
	t <sub>f</sub> (ns)	12,5	12,1	12,5	12,7	12,61	-	-
	t <sub>PD</sub> (ns)	6,25	6,75	6,98	6,93	6,86	-	-
	PD (mW)	0,25	0,5	1	2	2,5	-	-
	PDP (pJ)	1,56	3,37	6,98	13,86	17,15	-	-
15pF	t <sub>PHL</sub> (ns)	5,19	5,66	14,84	-	-	-	-
	t <sub>PLH</sub> (ns)	14,76	14,74	5,72	-	-	-	-
	t <sub>r</sub> (ns)	47,3	47,7	47,7	-	-	-	-
	t <sub>f</sub> (ns)	18,9	19,5	19	-	-	-	-
	t <sub>PD</sub> (ns)	9,95	10,2	10,28	-	-	-	-
	PD (mW)	0,375	0,75	1,5	-	-	-	-
	PDP (pJ)	3,73	7,65	15,42	-	-	-	-
50pF	t <sub>PHL</sub> (ns)	18,92	-	-	-	-	-	-
	t <sub>PLH</sub> (ns)	48,22	-	-	-	-	-	-
	t <sub>r</sub> (ns)	157,1	-	-	-	-	-	-
	t <sub>f</sub> (ns)	62,4	-	-	-	-	-	-
	t <sub>PD</sub> (ns)	33,57	-	-	-	-	-	-
	PD (mW)	1,25	-	-	-	-	-	-
	PDP (pJ)	41,96	-	-	-	-	-	-

Berdasarkan Tabel 5.1 diperoleh nilai *average propagation delay* yang semakin besar jika nilai kapasitor yang digunakan juga besar. Sedangkan nilai *Power Dissipation* semakin besar jika kapasitor yang digunakan bernilai besar dan frekuensi yang diberikan semakin besar. Kombinasi nilai kapasitor dan frekuensi yang besar dapat menghasilkan nilai *propagation delay* yang tidak simetris sehingga menghasilkan nilai  $V_{OH}$  minimal  $< 4,82$  V dan  $V_{IL}$  maksimal  $> 0,31$  V. Hal ini menyebabkan nilai *Power Disipation* dan *Power Delay Product* tidak dapat dihasilkan seperti terdapat dalam  $C_L = 5$  pF pada  $f = 25$  MHz,  $C_L = 10$  pF pada  $f = 20$  MHz dan  $f = 25$  MHz,  $C_L = 15$  pF pada  $f = 8$  MHz,  $f = 10$  MHz,  $f = 20$  MHz dan  $f = 25$  MHz,  $C_L = 50$  pF pada  $f = 2$  MHz,  $f = 4$  MHz,  $f = 8$  MHz,  $f = 10$  MHz,  $f = 20$  MHz, dan  $f = 25$  MHz.

Pada Tabel 5.2 menunjukkan perbandingan hasil perhitungan, simulasi VTC dan *Noise Margin* dengan perhitungan % *error* ditunjukkan dalam persamaan (5.1).

$$\% \text{ Error} = | (\text{Nilai parameter simulasi} - \text{Nilai perhitungan}) | \times 100\% \quad (5.1)$$

Tabel 5.2 Perbandingan Data Hasil Perhitungan dan Simulasi VTC dengan Datasheet IC Decoder TTL DM7445 dan IC CMOS MM74C42

PARAMETER	DATASHEET	DATASHEET	PERHITUNGAN V <sub>CC</sub> = 5V	SIMULASI V <sub>CC</sub> = 5V	% ERROR
	DM7445, V <sub>CC</sub> = 5 V	MM74C42, V <sub>CC</sub> = 5 V			
V <sub>IH</sub>	2 V	3,5 V	2,925 V	2,95 V	0,025 %
V <sub>IL</sub>	0,8 V	1,5 V	2,075 V	2,86 V	0,785 %
V <sub>OH</sub>	3 V	4,5 V	4,575 V	4,82 V	0,245 %
V <sub>OL</sub>	0,4 V (Max)	0,5 V	0,425 V	0,31 V	0,115 %
NM <sub>H</sub>	1 V	1 V	1,65 V	1,87 V	0,22 %
NM <sub>L</sub>	0,4 V	1 V	1,65 V	2,55 V	0,9 %

Berdasarkan Tabel 5.2 dapat diketahui bahwa hasil simulasi dan perhitungan nilai VTC dan *Noise Margin* tidak memiliki perbedaan besar yang signifikan dan persentase *error* yang kecil dan diperoleh *Noise Margin* dengan nilai yang besar dalam simulasi. Tabel perbandingan nilai *propagation delay*, *rise time*, *fall time* pada C<sub>L</sub> = 15 pF ditunjukkan dalam Tabel 5.3.



Tabel 5.3 Data Hasil Perbandingan Nilai *Propagation Delay*, *Rise Time* dan *Fall time*, dan  $T_{PD}$  dengan *Datasheet* IC *Decoder TTL DM7445* dan IC CMOS MM74C42 pada  $f = 1 \text{ MHz}$

PARAMETER	DATASHEET		SIMULASI (ns)						PERHITUNGAN	
	DM7445, $V_{CC} = 5V,$ $C_L = 15pF$	MM74C42, $V_{CC} = 5V,$ $C_L = 50pF$	0,5pF	1pF	5pF	10pF	15pF	50pF	$C_L = 15pF$	$C_L = 50pF$
$t_{PHL}$ (ns)	49,5ns	300ns	0,01	0,01	1,01	3,09	5,19	18,82	60ns	200ns
$t_{PLH}$ (ns)	49,5ns	300ns	0,26	0,15	5,2	9	14,76	48,22	60ns	200ns
$t_r$ (ns)	99ns	600ns	2,06	3,1	15,8	31,2	47,3	157,1	120ns	400ns
$t_f$ (ns)	99ns	600ns	0	1	6,3	12,5	18,9	62,7	120ns	400ns
$t_{PD}$ (ns)	49,5ns	300ns	0,14	0,8	3,12	6,25	9,95	33,57	60ns	200ns

Berdasarkan Tabel 5.3 diperoleh perbandingan nilai *propagation delay* dan *average propagation delay*. Data yang dipergunakan dalam kolom perhitungan dan *datasheet* merupakan data dengan nilai  $C_L = 15 \text{ pF}$  dan  $f = 1 \text{ MHz}$ , data tersebut dibandingkan dengan data hasil simulasi dengan variasi nilai kapasitor dan frekuensi yang sama. Berdasarkan Tabel 5.3 diperoleh nilai *propagation delay* dan *average propagation delay* jauh lebih kecil dari hasil perhitungan dan *datasheet*, hal ini menunjukkan bahwa IC *BCD to Desimal Dekoder HCMOS* ini memiliki proses kerja yang cepat, dengan kecilnya nilai *propagation delay*. Selain itu pada hasil perhitungan hanya dilakukan dengan parameter yang terbatas dari pada simulasi, sehingga dihasilkan data yang jauh berbeda antara perhitungan dan simulasi. Batas nilai kapasitansi maksimal yang dapat digunakan adalah  $15 \text{ pF}$ , dan dengan  $C_L = 50 \text{ pF}$ , nilai *average propagation delay* yang dihasilkan menjadi lebih besar dari parameter pembandingan yang ditentukan. Data perbandingan *Power Disipation* dan *Power Delay Product* ditunjukkan dalam Tabel 5.4

Tabel 5.4 Data Hasil Perbandingan *Power Disipation* dan *Power Delay Product* dengan *Datasheet* IC *Decoder TTL DM7445* dan IC CMOS *MM74C42* pada  $C_L = 15 \text{ pF}$  dan  $C_L = 50 \text{ pF}$  dengan  $f = 1 \text{ MHz}$

PARAMETER	DM7445,	MM74C4,	SIMULASI	SIMULASI	PERHITUNGAN	PERHITUNGAN
	$V_{CC} = 5V$	$V_{CC} = 5V$	$C_L = 15pF$	$C_L = 50pF$	$C_L = 15pF$	$C_L = 50pF$
$T_{PD}$	49,5ns	300ns	9,95ns	33,57ns	60ns	200ns
PD	215mW	5mW	0,375mW	1,25mW	0,375mW	1,25mW
PDP	10,64nJ	150pJ	3,73pJ	41,96pJ	22,5pJ	250pJ

#### 5.4 Pembuatan Stick Diagram dan Layout

Setelah mengetahui nilai  $W$  dan  $L$  masing-masing transistor penyusun gerbang-gerbang BCD to Desimal Dekoder, hasil simulasi sesuai dengan spesifikasi yang ditentukan, tahapan selanjutnya adalah penggambaran *stick* diagram dan tata letak (*layout*). Penggambaran *stick* diagram bertujuan untuk memudahkan dalam penggambaran *layout*, yaitu memberikan gambaran awal posisi transistor yang akan didesain, namun belum memuat nilai  $W$  dan  $L$  transistor. Dalam *stick* diagram, untuk membedakan antara lapisan yang satu dengan yang lain, digunakan warna yaitu warna merah untuk *polysilicon*, kuning untuk *difusi-p*, hijau untuk *difusi-n*, biru muda untuk *metal 1*, biru tua untuk *metal 2*, dan hitam untuk *contact*.

Penggambaran dilakukan dengan menggunakan *default process Microwind* ( $0,6\mu\text{m}$  CMOS *process*) dengan nilai  $\lambda = 0,6\mu\text{m} / 2 = 0,3\mu\text{m}$ . *Layout* akan digambarkan dalam bentuk gerbang BCD to Desimal Dekoder tanpa *pad I/O*, digambarkan dengan skala  $1:30\mu\text{m}$  (1 grid senilai dengan  $30\mu\text{m}$ ), sedangkan gerbang dengan *pad I/O* digambarkan dengan skala  $1:60\mu\text{m}$  (1 grid senilai  $60\mu\text{m}$ ). Gambar *stick* diagram, *layout*, serta IC dengan *pad I/O* dapat dilihat dalam lampiran 8 dan 9.



## BAB VI

### KESIMPULAN DAN SARAN

#### 6.1 Kesimpulan

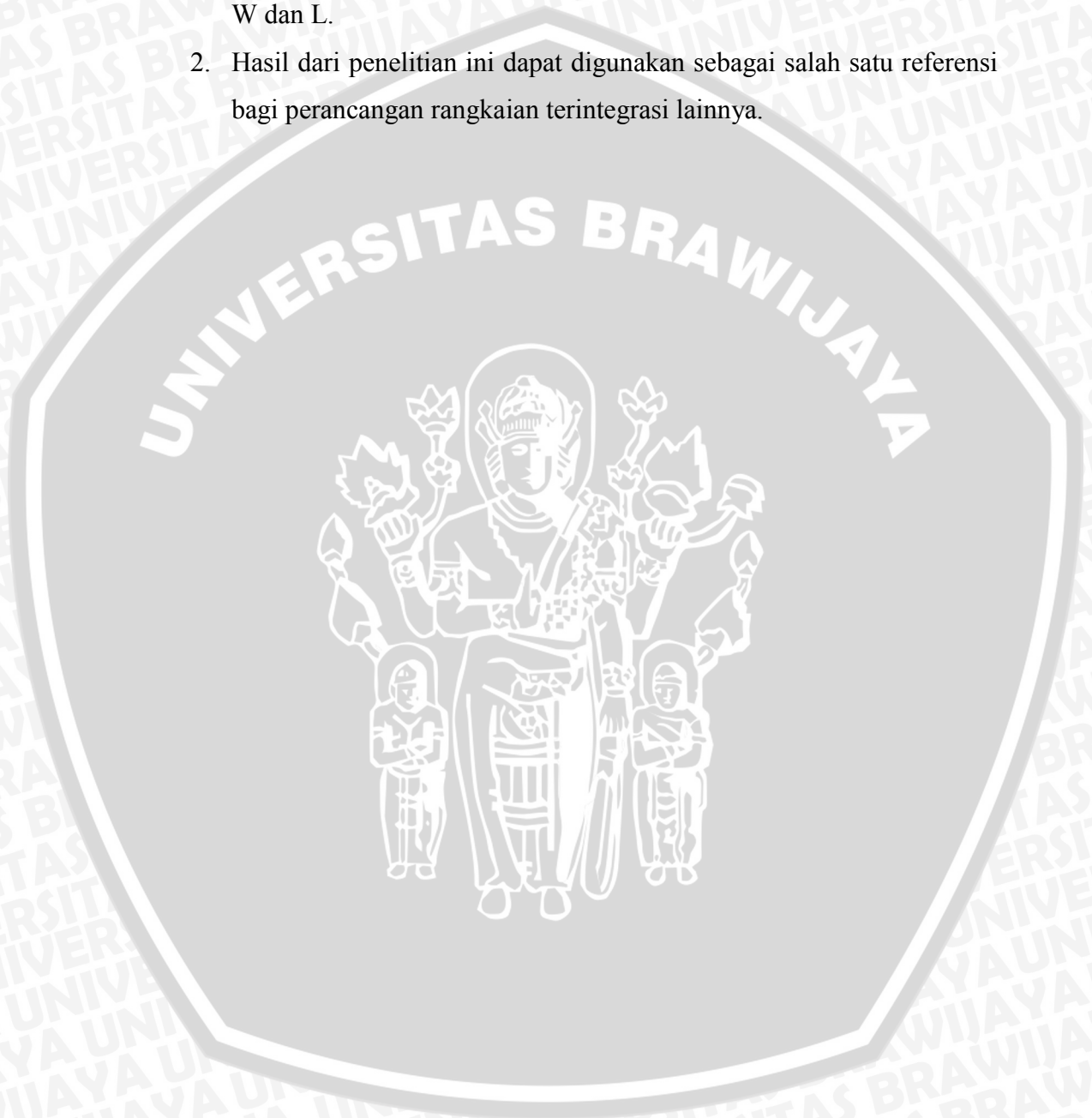
Berdasarkan hasil analisis dan hasil simulasi rangkaian BCD to decimal decoder HCMOS dapat diambil kesimpulan sebagai berikut:

1. IC BCD to desimal dekoder HCMOS tersusun dari 4 gerbang inverter yang terdiri dari 8 transistor PMOS dan NMOS, 10 gerbang NAND 4 input yang terdiri dari 80 transistor PMOS dan NMOS, dan 10 inverter kaskada yang tersusun dari 40 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC BCD to desimal dekoder HCMOS adalah 128 transistor MOS dengan masing-masing berjumlah 64 transistor untuk PMOS dan NMOS.
2. Perancangan BCD to decimal decoder HCMOS mempunyai karakteristik transfer tegangan (VTC) yang simetris dengan *noise margin* logika tinggi ( $N_{MH}$ ) dan *noise margin* logika rendah ( $N_{ML}$ ) masing-masing sebesar 1,75 dengan  $V_{IL} = 2,075$  V,  $V_{IH} = 2,925$  V,  $V_{OL} = 0,425$  V, dan  $V_{OH} = 4,575$  V, sedangkan hasil simulasi dengan menggunakan program *Pspice* diperoleh nilai VTC sebagai berikut:  $V_{IL} = 2,86$  V,  $V_{IH} = 2,95$  V,  $V_{OL} = 0,31$  V, dan  $V_{OH} = 4,82$  V sehingga nilai  $N_{MH} = 1,87$  dan  $N_{ML} = 2,55$ .
3. IC decoder ini dirancang dengan nilai *propagation delay* 40ns pada  $C_L = 5$  pF dengan disipasi daya sebesar 0,125 mW.
4. Simulasi BCD to decimal decoder HCMOS dengan menggunakan perangkat lunak *Pspice* pada nilai  $C_L = 5$  pF diperoleh nilai *propagation delay* yang lebih baik dari hasil perhitungan yaitu sebesar 3,12 ns.
5. Simulasi BCD to decimal decoder HCMOS dengan membandingkan pada nilai kapasitansi yang sama ( $C_L = 15$  pF untuk TTL dan  $C_L = 50$  pF untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik dari IC TTL DM7445 dan IC CMOS MM74C42.
6. IC BCD to decimal decoder HCMOS mempunyai *layout* tanpa *pad* I/O dengan luasan  $1342 \mu\text{m} \times 116 \mu\text{m}$  dan menggunakan *pad* I/O dengan luasan  $2632 \mu\text{m} \times 1437 \mu\text{m}$ .



## 6.2 Saran

1. Hasil perancangan manual yang dikemukakan dalam perancangan ini akan menghasilkan keluaran yang simetris, akan tetapi pada kenyataannya tidak simetris, sehingga untuk menghasilkan keluaran yang simetris maka harus dilakukan pendesainan ulang dengan nilai W dan L.
2. Hasil dari penelitian ini dapat digunakan sebagai salah satu referensi bagi perancangan rangkaian terintegrasi lainnya.



## DAFTAR PUSTAKA

- De Massa, Thomas A. Ciccone, Zack. 1996. *Digital Integrated Circuits*. Canada: John Wiley & Sons.
- Geiger, Randall L., dkk. 1990. *VLSI Design Techniques For Analog and Digital Circuits*. Singapore: McGraw-Hill Book Co.
- Hodges, david A., Jackson, Horace G. 1987. *Analisis dan Desain Rangkaian Terpadu Digital*. Alih Bahasa Nasution, Sofyan. Jakarta: Erlangga.
- Ibrahim, KF. 1991. *Teknik Digital*. Alih Bahasa Santosa, Insap P. 1996. Jokjakarta: Andi Offset.
- Kai Chen, Wai. 2000. *The VLSI Handbook*. USA: CRC Press LLC
- Kang, Sung-Mo, Leblebici, Yusuf. 1996. *CMOS Digital Integrated Circuits : Analysis and Design Second Edition*. Singapore: McGraw-Hill Book Co.
- Jaeger, R. C. 1997. *Microelectronic Circuit Design*. New York: McGraw-Hill, Inc.
- Julius ST., MS. 1991. *Diktat Mata Kuliah Teknologi Rangkaian Terpadu Pengenalan Teknologi MOS*. Malang: Jurusan Teknik Elektro, FT. UNIBRAW.
- Malvino, A.P. 1993. *Elektronika Komputer Digital, Pengantar Mikrokomputer*. Jakarta: Erlangga.
- Muchlas. 2005. *Rangkaian Digital*. Jogjakarta: Gaya Pedia.
- Pan, D. Z., Yuan, K., dkk. *Jurnal IEEE Transaction On Computer-Aided Design Of Integrated Circuits and Systems Volume 31 No.2*, Februari 2012.
- Qian, Weikang, Reidel, Marc D., dkk. *Jurnal IEEE Transaction On Computer-Aided Design Of Integrated Circuits and Systems Volume 30 No.9*, September 2011.
- Rabaey, jan M., dkk. 1999. *Digital Integrated Circuits a Design Perspective Second Edition*. New Jersey: Prentide Hall Electronics and VLSI series
- Rashid, Muh. 2004. *Introduction to PSpice Using OrCAD for Circuits and Electronics, 3<sup>rd</sup> edition*. London: Prentice Hall.
- Savoj, Jafar., Razavi, Behzad. 2001. *High Speed CMOS Circuits for Optical Receivers*. USA: Kluwer Academic Publisher.

Sedra. 1992. *Spice for Microelectronics Circuit 3<sup>rd</sup> edition*. USA: Saunders College Publishing.

Suprpto. 2000. *Teknik Rangkaian Terpadu*. Malang: FT.UNIBRAW.

Widya School's. 2009. [llltoero.blogspot.com/2009/10/pengertian-cmos.html](http://llltoero.blogspot.com/2009/10/pengertian-cmos.html)  
(diakses 18 februari 2012).





# LAMPIRAN 1

## *LISTING PROGRAM ALIH TEGANGAN (VTC)*



# 1. Listing Program Simulasi Karakteristik Alih Tegangan VTC

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 0V
V2 2 0 0V
V3 3 0 0V
V4 4 1 5V
```

```
*ANALISIS TEGANGAN
.dc V4 0 5 20mV
```

```
*MENAMPILKAN GRAFIK
.plot dc V(12)
.probe
.END
```



# LAMPIRAN 2

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 0,5pF$*





# 1. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

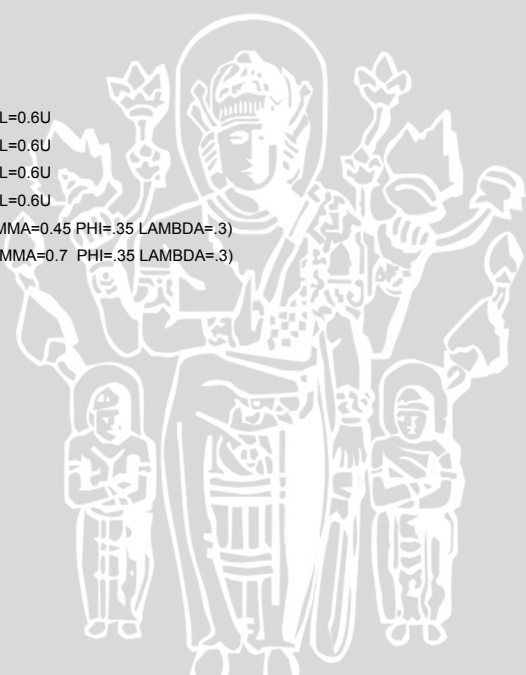
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 2. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```

### 3. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

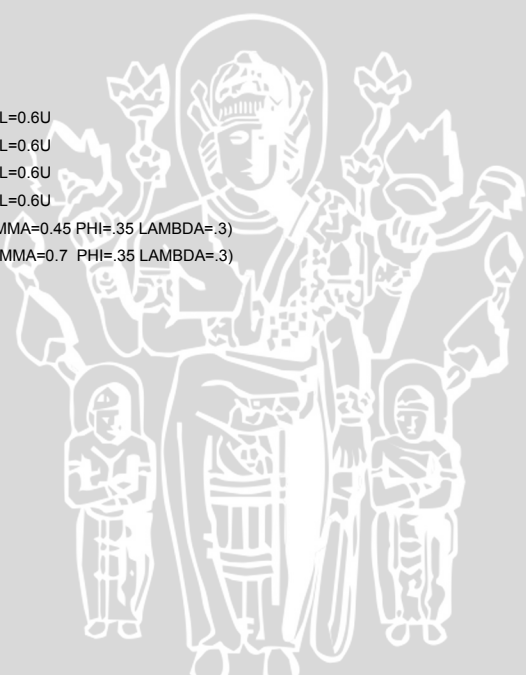
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





#### 4. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 5. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```

## 6. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 7. Listing Program Simulasi Unit Step, $C_L = 0,5$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5          INVERTER
X12 2 6          INVERTER
X13 3 7          INVERTER
X14 4 8          INVERTER
X15 9 10         CASCADA
X16 11 12        CASCADA
C2 12 0 0.5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



# LAMPIRAN 3

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 1 \text{ pF}$*



# 1. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 2. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



### 3. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

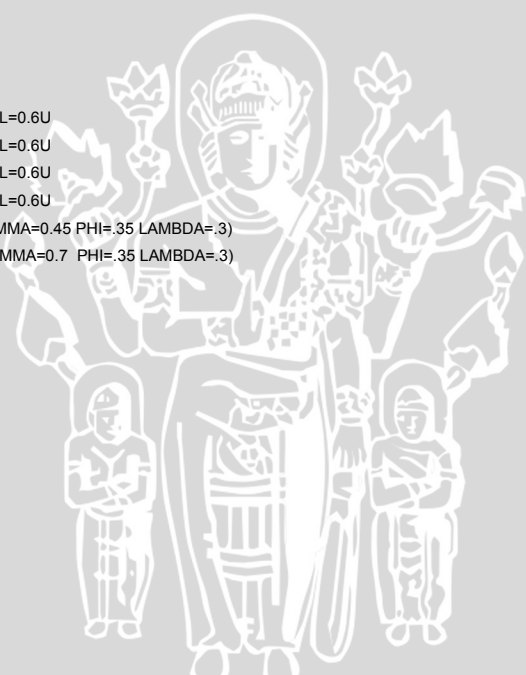
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



#### 4. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 5. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 6. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U           L=0.6U
M2 6 3 1 1 PM W=3U           L=0.6U
M3 6 4 1 1 PM W=3U           L=0.6U
M4 6 5 1 1 PM W=3U           L=0.6U
M5 6 2 7 7 NM W=1.2U         L=0.6U
M6 7 3 8 8 NM W=1.2U         L=0.6U
M7 8 4 9 9 NM W=1.2U         L=0.6U
M8 9 5 0 0 NM W=1.2U         L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U           L=0.6U
M10 3 2 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U        L=0.6U
M19 3 2 0 0 NM W=3.6U        L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 7. Listing Program Simulasi Unit Step, $C_L = 1$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 1p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





# LAMPIRAN 4

---

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 5 \text{ pf}$*



# 1. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

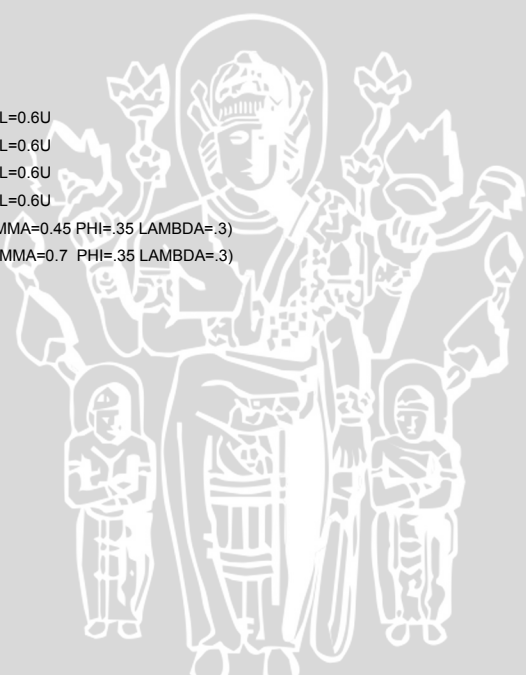
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 2. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





### 3. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

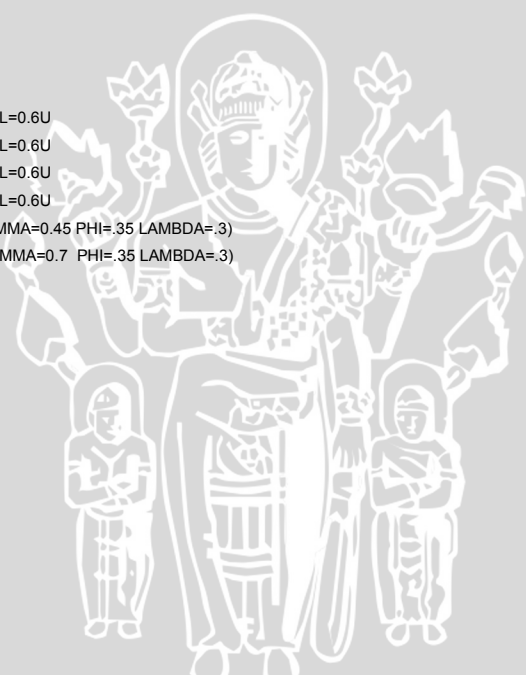
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



#### 4. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U           L=0.6U
M2 6 3 1 1 PM W=3U           L=0.6U
M3 6 4 1 1 PM W=3U           L=0.6U
M4 6 5 1 1 PM W=3U           L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

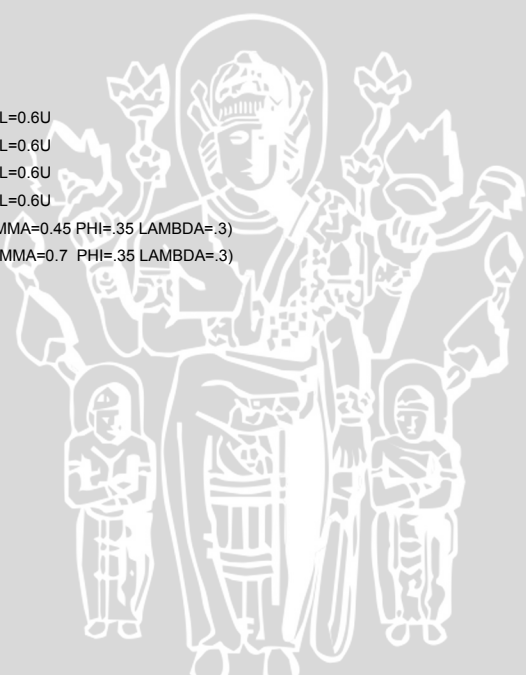
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U           L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 5. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 6. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 7. Listing Program Simulasi Unit Step, $C_L = 5$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5          INVERTER
X12 2 6          INVERTER
X13 3 7          INVERTER
X14 4 8          INVERTER
X15 9 10         CASCADA
X16 11 12        CASCADA
C2 12 0 5p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



# LAMPIRAN 5

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 10 \text{ pf}$*





# 1. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

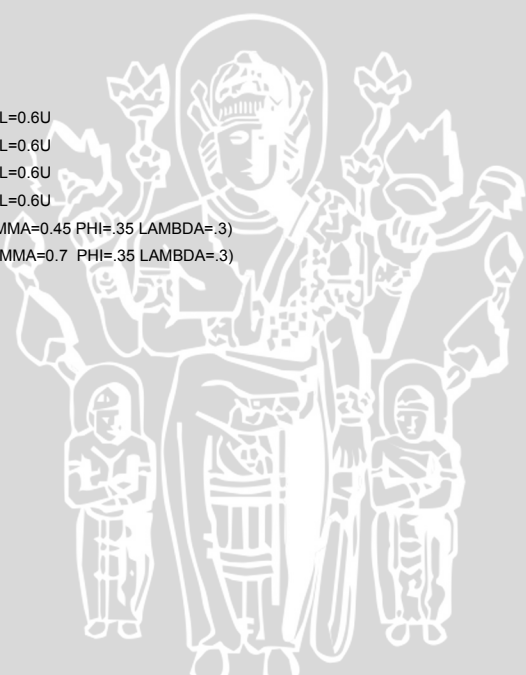
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 2. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



### 3. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



#### 4. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 5. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5          INVERTER
X12 2 6          INVERTER
X13 3 7          INVERTER
X14 4 8          INVERTER
X15 9 10         CASCADA
X16 11 12        CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 6. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5          INVERTER
X12 2 6          INVERTER
X13 3 7          INVERTER
X14 4 8          INVERTER
X15 9 10         CASCADA
X16 11 12        CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 7. Listing Program Simulasi Unit Step, $C_L = 10$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 10p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



# LAMPIRAN 6

---

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 15 \text{ pf}$*



# 1. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

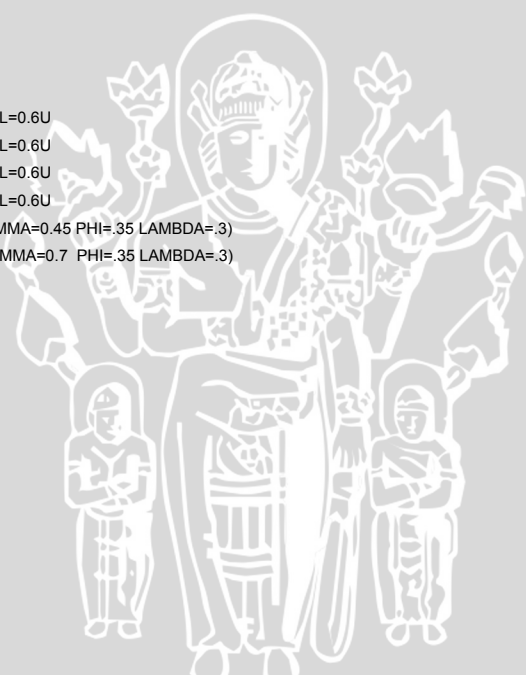
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 2. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```

### 3. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U      L=0.6U
M21 4 3 0 0 NM W=10.8U     L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



#### 4. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

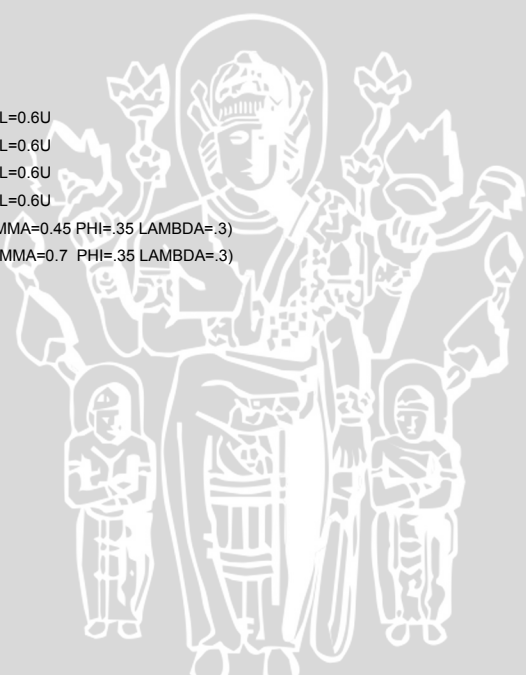
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 5. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 6. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U          L=0.6U
M2 6 3 1 1 PM W=3U          L=0.6U
M3 6 4 1 1 PM W=3U          L=0.6U
M4 6 5 1 1 PM W=3U          L=0.6U
M5 6 2 7 7 NM W=1.2U        L=0.6U
M6 7 3 8 8 NM W=1.2U        L=0.6U
M7 8 4 9 9 NM W=1.2U        L=0.6U
M8 9 5 0 0 NM W=1.2U        L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U          L=0.6U
M10 3 2 0 0 NM W=1.2U       L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U       L=0.6U
M19 3 2 0 0 NM W=3.6U       L=0.6U
M20 4 3 1 1 PM W=10.8U       L=0.6U
M21 4 3 0 0 NM W=10.8U      L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 7. Listing Program Simulasi Unit Step, $C_L = 15$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 15p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





# LAMPIRAN 7

---

*LISTING PROGRAM SIMULASI UNIT STEP,  $C_L = 50 \text{ pf}$*



# 1. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 1 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

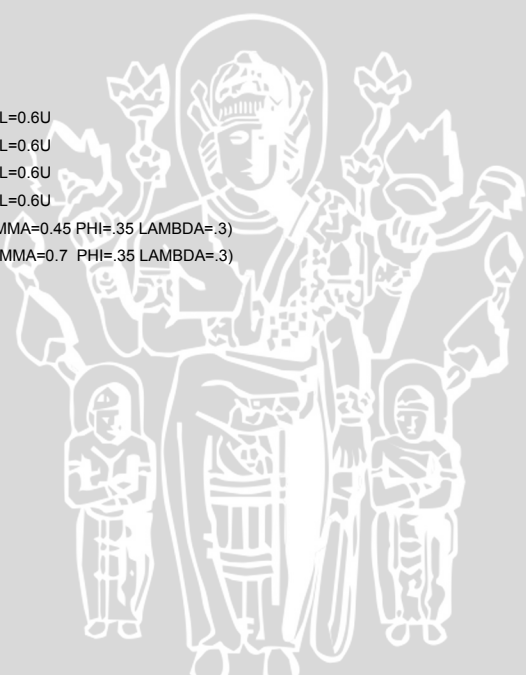
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 2. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 2 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 350ns,5V 350.1ns,0V 600ns,0V)
```

```
.TRAN 0ns 600ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





### 3. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 4 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 100ns,0V 100.1ns,5V 225ns,5V 225.1ns,0V 350ns,0V)
```

```
.TRAN 0ns 350ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



#### 4. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 8 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 25ns,0V 25.1ns,5V 87.5ns,5V 87.6ns,0V 150ns,0V)
```

```
.TRAN 0ns 150ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 5. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 10 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
```

```
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```





## 6. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 20 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U           L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
```

```
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



## 7. Listing Program Simulasi Unit Step, $C_L = 50$ pf, Frekuensi 25 MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=3U                L=0.6U
M2 6 3 1 1 PM W=3U                L=0.6U
M3 6 4 1 1 PM W=3U                L=0.6U
M4 6 5 1 1 PM W=3U                L=0.6U
M5 6 2 7 7 NM W=1.2U             L=0.6U
M6 7 3 8 8 NM W=1.2U             L=0.6U
M7 8 4 9 9 NM W=1.2U             L=0.6U
M8 9 5 0 0 NM W=1.2U             L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS NAND4INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M9 3 2 1 1 PM W=3U                L=0.6U
M10 3 2 0 0 NM W=1.2U            L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS INVERTER
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=3.6U            L=0.6U
M19 3 2 0 0 NM W=3.6U            L=0.6U
M20 4 3 1 1 PM W=10.8U           L=0.6U
M21 4 3 0 0 NM W=10.8U          L=0.6U
.MODEL PM PMOS (Vto=-0.8 KP=0.8E-05 GAMMA=0.45 PHI=.35 LAMBDA=.3)
.MODEL NM NMOS (Vto= 0.8 KP= 2E-05 GAMMA=0.7 PHI=.35 LAMBDA=.3)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 4 TO 10 HCMOS
X1 5 6 7 8 9      NAND4INPUT
X2 5 6 7 4 11     NAND4INPUT
X3 5 6 3 8 13     NAND4INPUT
X4 5 6 3 4 15     NAND4INPUT
X5 5 2 7 8 17     NAND4INPUT
X6 5 2 7 4 19     NAND4INPUT
X7 5 2 3 8 21     NAND4INPUT
X8 5 2 3 4 23     NAND4INPUT
X9 1 6 7 8 25     NAND4INPUT
X10 1 6 7 4 27    NAND4INPUT
X11 1 5           INVERTER
X12 2 6           INVERTER
X13 3 7           INVERTER
X14 4 8           INVERTER
X15 9 10          CASCADA
X16 11 12         CASCADA
C2 12 0 50p
```

```
*MASUKAN TEGANGAN
V1 1 0 DC 0V
V2 2 0 DC 0V
V3 3 0 DC 0V
V4 4 1 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
```

```
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(12)
.probe
.END
```



# LAMPIRAN 8

## *DATASHEET IC TTL BCD TO DESIMAL DEKODER*





# LAMPIRAN 9

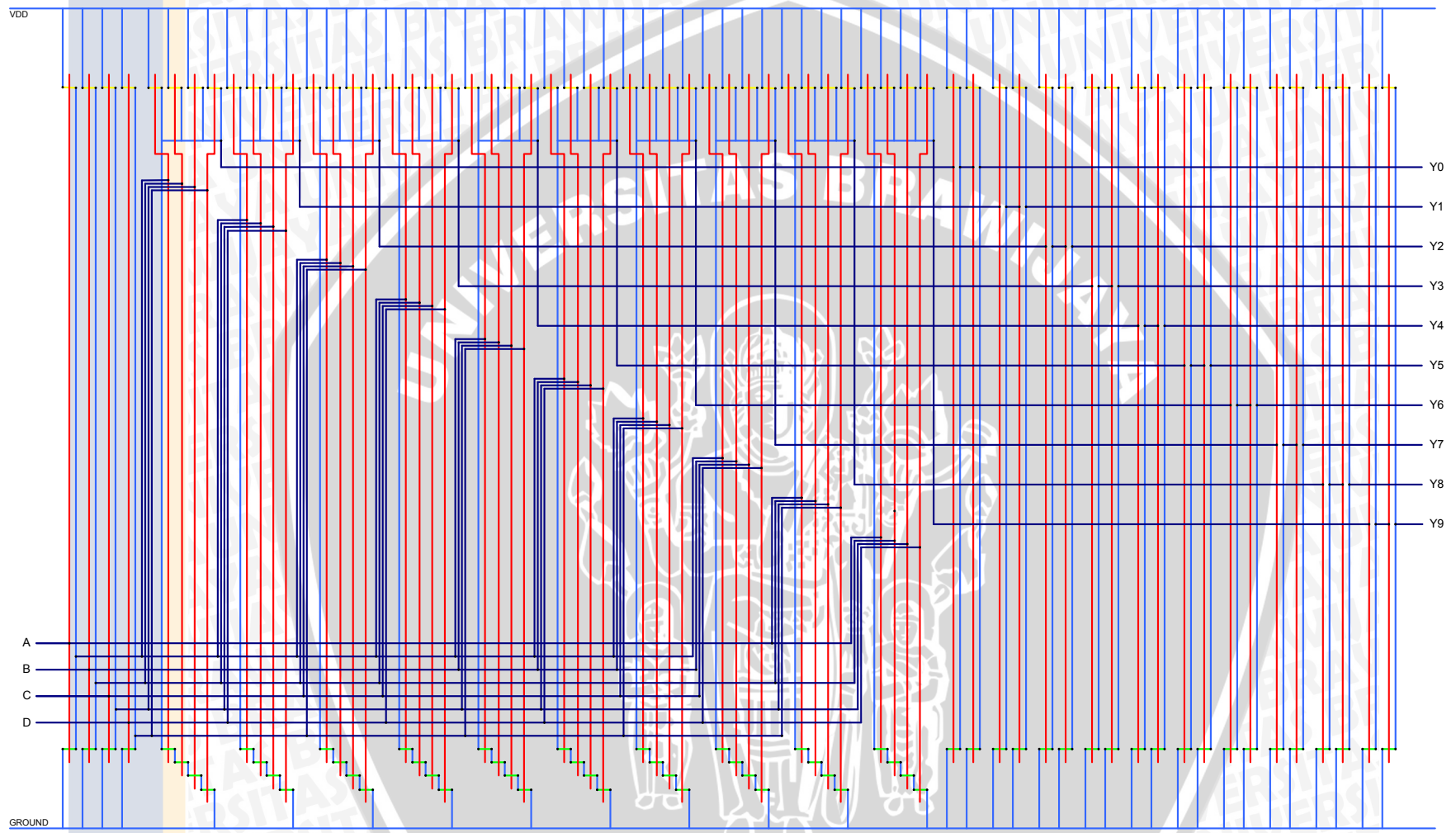
## *DATASHEET IC CMOS BCD TO DESIMAL DEKODER*



# LAMPIRAN 10

## *STICK DIAGRAM IC BCD TO DESIMAL DEKODER*





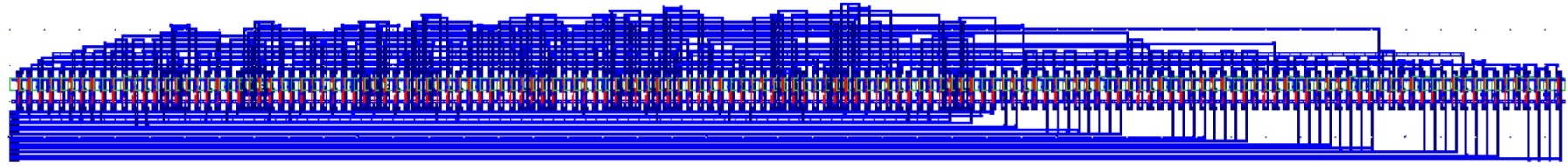
Stick Diagram IC BCD to Desimal Dekoder



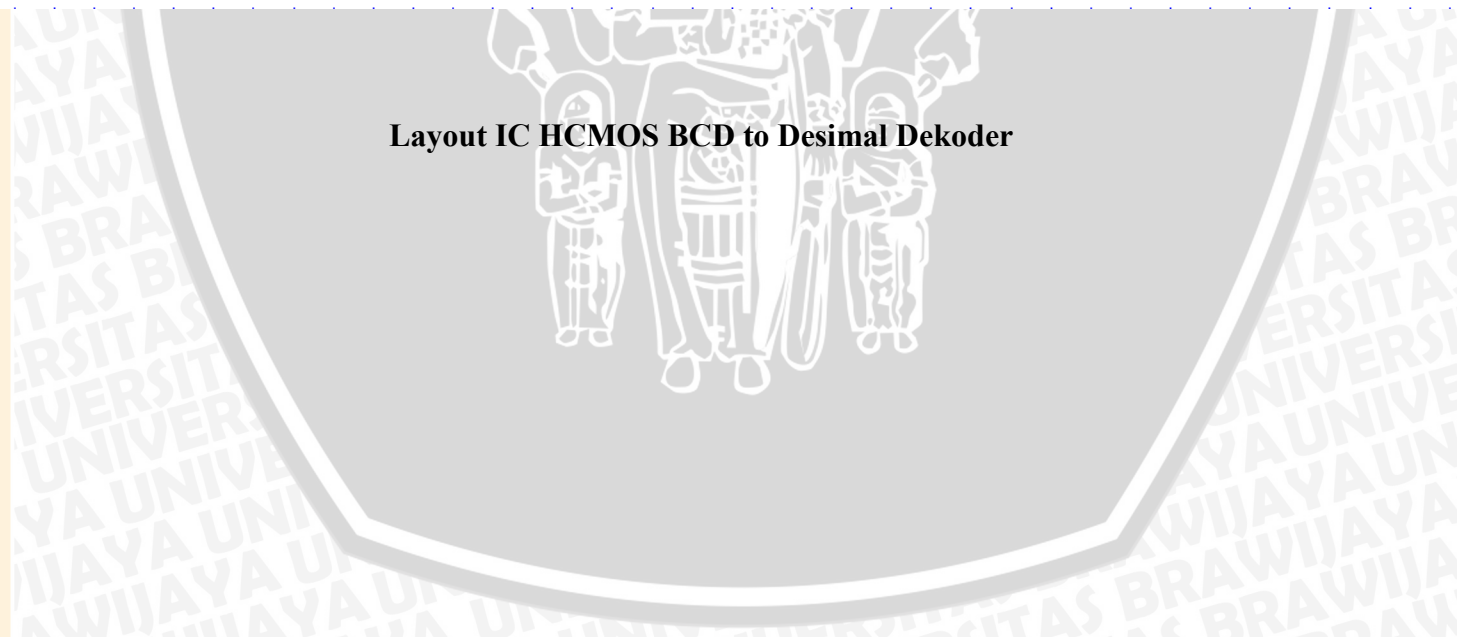
# LAMPIRAN 11

## LAYOUT GERBANG IC HCMOS BCD TO DESIMAL DEKODER





**Layout IC HCMOS BCD to Desimal Dekoder**

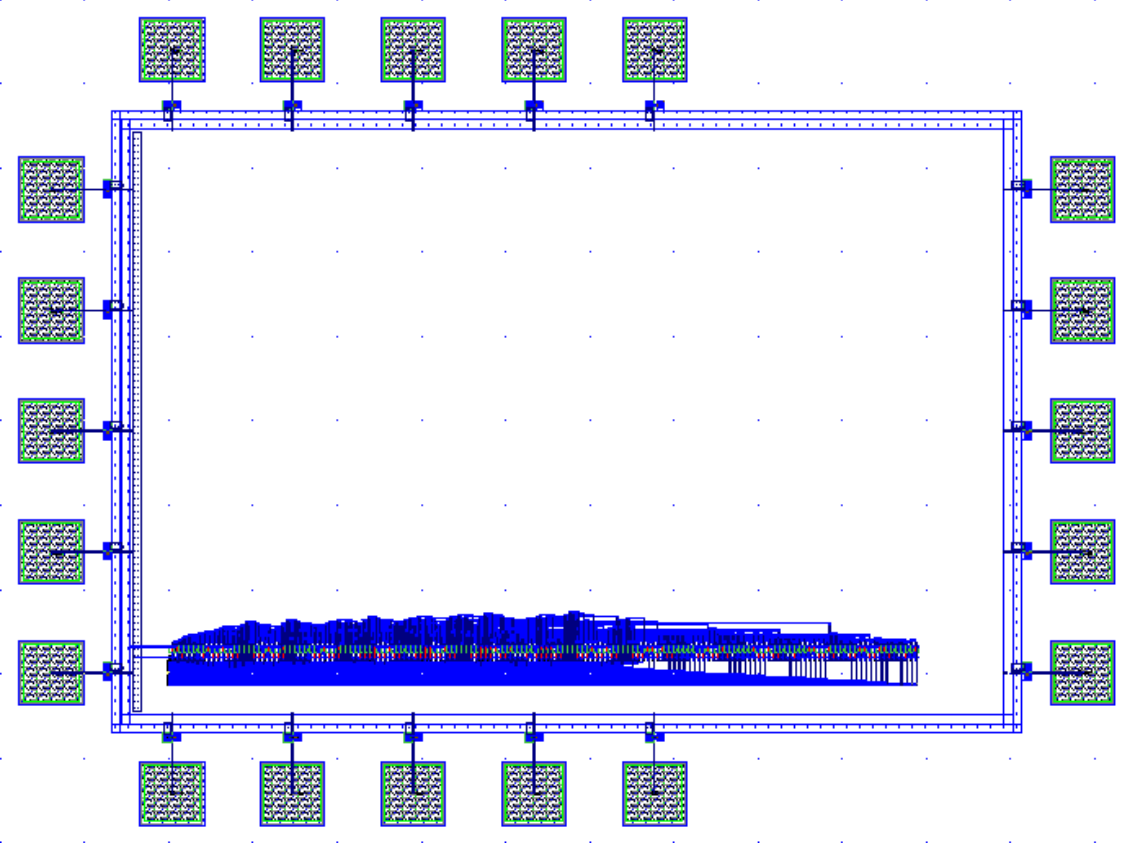


# LAMPIRAN 12

## *IC HCMOS GERBANG BCD TO DESIMAL DEKODER DENGAN PAD*







**Gerbang BCD to Desimal Dekoder dengan Pad I/O**