

**PENGENDALIAN POSISI SUDUT PUTARAN MOTOR DC
SERVO DENGAN METODE FUZZY BERBASIS
REALTIME LINUX**

SKRIPSI

Diajukan untuk memenuhi sebagian prasyarat
memperoleh gelar sarjana teknik



Disusun oleh :

HANUGRAH ADI SURYA
NIM. 0210633042

**DEPARTEMEN PENDIDIKAN NASIONAL
UNIVERSITAS BRAWIJAYA
FAKULTAS TEKNIK
MALANG
2009**

**PENGENDALIAN POSISI SUDUT PUTARAN MOTOR DC
SERVO DENGAN METODE FUZZY BERBASIS
*REALTIME LINUX***

SKRIPSI

Diajukan untuk memenuhi sebagian persyaratan
memperoleh gelar Sarjana Teknik



Disusun Oleh:

HANUGRAH ADI SURYA

NIM. 0210633042

Disahkan dan disetujui oleh dosen pembimbing :

Bambang Siswoyo, Ir., MT.
NIP. 19621211 198802 1 001

M. Aziz Muslim, ST., MT., Ph.D.
NIP. 19741203 200012 1 001

**PENGENDALIAN POSISI SUDUT PUTARAN MOTOR DC
SERVO DENGAN METODE FUZZY BERBASIS
REALTIME LINUX**

Disusun oleh :

HANUGRAH ADI SURYA
NIM. 0210633042

Skripsi ini telah diuji dan dinyatakan lulus pada
tanggal 10 Agustus 2009

Majelis Penguji :

Ponco Siwindarto, Ir., M.Eng.Sc.
NIP. 19590304 198903 1 001

Goegoes Dwi Nusantoro, ST., MT.
NIP. 19711013 200604 1 001

Fitriana Suhartati, ST., MT.
NIP. 19741017 199802 2 001

Mengetahui :
Ketua Jurusan Teknik Elektro

Ir. Heru Nurwasito, M.Kom.
NIP. 19650402 199002 1 001

PENGANTAR

Assalamualaikum Wr. Wb

Alhamdulillahi Robbil 'Alamin, segala puja dan puji syukur kehadirat Allah SWT atas Rahmat dan Karunia-Nya, Shalawat serta salam semoga senantiasa tercurah kepada Rasulullah Muhammad SAW, Keluarga dan Sahabatnya, yang telah banyak memberikan keteladanan hidup.

Sehingga penulis dapat menyelesaikan Skripsi dengan judul “**PENGENDALIAN POSISI SUDUT PUTARAN MOTOR DC SERVO DENGAN METODE FUZZY BERBASIS REALTIME LINUX**” ini dengan baik.

Dalam penyusunan laporan ini penulis banyak mendapatkan masukan dan bantuan dari berbagai pihak. Oleh karena itu pada kesempatan ini penulis ingin menyampaikan rasa terima kasih kepada:

1. Ir. Heru Nurwarsito M.kom, selaku Ketua Jurusan Teknik Elektro.
2. Rudi Yuwono, ST, M.Sc, selaku Sekretaris Jurusan Teknik Elektro.
3. Ir. Purwanto, MT, selaku KKDK Kontrol.
4. Dwi Fadila Kurniawan, ST., MT selaku Dosen Pembimbing Akademik.
5. Ir. Bambang Siswoyo, MT, selaku Dosen Pembimbing I dan Dr. M Azis Muslim,ST, MT, selaku Dosen Pembimbing II yang telah membantu dalam bimbingan tugas akhir ini.
6. Ir. Chairuzzaini, Ir.Hari Santoso, MS, Ir. Sutrisno, MT selaku Dosen Pengampu mata kuliah Rangkaian Elektrik II.
7. Seluruh Dosen dan karyawan Teknik Elektro Universitas Brawijaya Malang.
8. Ayah, Ibu, yang telah mengasuh dan mendidikku dengan penuh kasih sayang, kesabaran, kebaikan-kebaikan dan kemanfaatan, yang jasanya tidak akan pernah bisa diungkapkan dengan berbagai macam media.
9. Adik ku Fitrian Adi Surya
10. Bapak Yanto Surabaya atas dukungan, bantuan dan Do'a nya
11. Kakek-kakek dan Nenek-nenek ku, Kelurga Pak dhe dan Bu dhe Wayan Kartha, Kelurga Pak dhe dan Bu dhe Salamun, Pak dhe-Pak dhe dan Bu dhe-Bu dhe ku

- yang lain, Om M Fakih dan Tante Siswari, Om-Om dan tante-tante ku yang lain atas dukungan, bantuan dan Do'a nya.
12. Mas Gede Sindhu, Mas Made Sonna, Mbak Savira A S, Mas Made Sandi, Mas Teguh, Mas Electrica A P, Keluarga Mbak Tyas, Keluarga Mas Samsul Falah, Keluarga Anas Sulthoni Warung Nikmat 99 Malang, Keluarga Warung Pudji Mulyo Malang, Keluarga Mas Mashudi Injen Gresik,Keluarga Pak Imam Syafi'i Randu Agung Gresik, Keluarga Agus Sutoyo Tegal, Keluarga Achmad Yudiono Ambengan Surabaya, atas dukungan, bantuan dan Do'a nya.
 13. Saudara-saudara ku di Bali.
 14. Teman-teman B-213 Dan Teman-teman Candi Mendut, Swasti K ST, Maya Indah ST, R Sonny Y ST, Dwi Oktavianto W N ST, Teguh Bob 05, Nadia Dhatu, Teman-teman SCS, Teman-Teman Injen Gresik, Teman-teman SMU, Yuli Brawijaya Computer, Kirana Laundry, Toko Riana, karyawan Star Comp Kertoraharjo dan Star Comp MT, Haryono serta seluruh Elektro UB 2002 dan Elektro UB yang lain atas dukungan, bantuan dan Do'a nya.
 15. Ka. Lab Sistem Kontrol, rekan-rekan asisten atas dukungan, bantuan dan Do'a nya.
 16. Dan semua keluarga, teman-teman yang lain nya yang ga bisa disebutkan satu-satu.

Penulis menyadari bahwa dalam penyusunan dan penulisan laporan Skripsi ini masih banyak kekurangan dan kekeliruan, untuk itu penulis mengharapkan masukan, kritik dan saran demi kelengkapan dan kesempurnaan laporan ini. Semoga tugas akhir ini memberikan manfaat bagi kita semua. Amin.

Wassalamualaikum, Wr. Wb.

Malang, Agustus 2009

Penulis

DAFTAR ISI

Kata Pengantar	i
Daftar Isi.....	iii
Daftar Tabel.....	v
Daftar Gambar	vi
Abstraksi	vii
BAB I. Pendahuluan	
1.1. Latar Belakang.....	1
1.2. Rumusan Masalah.....	8
1.3. Batasan Masalah	8
1.4. Tujuan	9
1.5. Sistematika Penulisan	9
BAB II. Tinjauan Pustaka	
2.1. Umum.....	10
2.2. Kontrol Logika <i>Fuzzy</i>	10
2.2.1. Himpunan <i>Fuzzy</i>	10
2.2.2. Fungsi Keanggotaan	11
2.2.3. Operasi Himpunan <i>Fuzzy</i>	13
2.2.4. Relasi <i>Fuzzy</i>	15
2.2.5. Variabel linguistik dan Kaidah <i>Fuzzy</i>	16
2.2.5.1. Variabel linguistik	16
2.2.5.2. Kaidah <i>Fuzzy</i> Jika-Maka (<i>Fuzzy Rules</i>)	17
2.2.6 Mekanisme Penalaran Aproksimasi (<i>Approximate Reasoning</i>) dan Inferensi <i>Fuzzy</i> (<i>Fuzzy Inference</i>)	18
2.2.7. Fuzzifikasi	21
2.2.8. Defuzzifikasi.	22
2.2.9. Struktur Kontroler Logika <i>Fuzzy</i> Dasar	23
2.3. Motor DC Servo	27
2.4. <i>Analog to Digital Converter</i> (ADC) <i>Digital to Analog</i> <i>Converter</i> (DAC)	29
2.4.1. <i>Analog to Digital Converter</i> (ADC)	29
2.4.2. <i>Digital to Analog Converter</i> (DAC)	30
2.5. <i>RealTime Linux</i>	31
2.5.1. Struktur Pemrograman Modul RTAI	32
2.5.2. Contoh Pemrograman Modul RTAI	33
2.5.3. Proses Kompilasi	34
2.5.4. Memasang Modul	34
2.5.5. Melepas Modul	35
2.5.6. Penjelasan Program	35
BAB III. Metodologi Penelitian	
3.1. Studi Literatur	37
3.2. Perancangan Sistem	37
3.3. Realisasi Pembuatan Sistem	38
3.4. Pengujian Sistem	38

3.5. Pengambilan Kesimpulan dan Penyusunan Laporan Tugas Akhir	38
--	----

BAB IV. Perancangan

4.1. Umum	39
4.2. Prinsip Kerja Pengendalian Posisi Motor DC Servo	39
4.3. Diagram Blok Sistem	40
4.4. Prinsip Kerja Blok Diagram Perangkat Keras Sistem	41
4.5. Perancangan Perangkat Keras Sistem.....	41
4.5.1. <i>Analog To Digital Converting (ADC)</i>	41
4.5.2. <i>Digital To Analog Converter (DAC)</i>	43
4.5.3. <i>Power Amplifier</i>	45
4.5.3.1 <i>Power Amplifier 734-13</i>	46
4.6. Perancangan Kontroler Fuzzy	46
4.7. Perencanaan Perangkat Lunak	50

BAB V. Pengujian

5.1. Umum	51
5.2. Pengujian <i>Analog to Digital Converter</i>	51
5.3. Pengujian <i>Digital to Analog Converter</i>	53
5.4. Pengujian <i>Power Amplifier</i>	55
5.5. Analisis Respon Sistem Pengendalian Posisi Tanpa Gangguan.....	56

BAB VI. Penutup

6.1. Kesimpulan	60
6.2. Saran.....	60

DAFTAR PUSTAKA

LAMPIRAN

DAFTAR TABEL

Tabel 2.1 Tabel kebenaran untuk implikasi himpunan klasik	18
Tabel 2.2 Tabel Kaidah Atur untuk himpunan fuzzy N, Z dan P	26
Tabel 2.3 Tabel Kaidah Atur	27
Tabel 2.4 Tabel kaidah atur dalam bentuk matrik	27
Tabel 4.1 Tabel kebenaran AD574	43
Tabel 4.2 Kaidah atur mekanisme fuzzy	47
Tabel 5.1 Hasil Pengujian ADC	52
Tabel 5.2 Tabel hasil perhitungan ADC	52
Tabel 5.3 Tabel hasil pengujian DAC	54
Tabel 5.4 Tabel hasil perhitungan DAC	54
Table 5.5 Pengujian <i>power amplifier</i>	56
Table 5.6 Pengujian sistem pengendalian posisi pada motor DC servo	57



DAFTAR GAMBAR

Gambar 2.1 Definisi himpunan <i>fuzzy A</i> secara diagramatik	11
Gambar 2.2 Fungsi keanggotaan	13
Gambar 2.3 Contoh operasi.....	14
Gambar 2.4 Contoh operasi komplemen khusus	15
Gambar 2.5 Contoh pembagian variabel linguistik	17
Gambar 2.6 Inferensi <i>fuzzy</i> dengan metode MAX-MIN	20
Gambar 2.7 Inferensi <i>fuzzy</i> dengan metode MAX-DOT	21
Gambar 2.8 Output singletons	23
Gambar 2.9 Struktur kontroler logika <i>fuzzy</i> dasar	24
Gambar 2.10 Sistem kontrol <i>loop</i> tertutup dengan FLC	25
Gambar 2.11 Sistem respon step terhadap waktu dan bidang fasa.....	25
Gambar 2.12 Kurva karakteristik kecepatan putaran poros motor sebagai fungsi tegangan pada kumparan jangkar.....	28
Gambar 2.13 A/D converter metode aproksimasi berturut-turut.....	29
Gambar 2.14 Diagram blok DAC dengan sistem R-2R.....	30
Gambar 4.1 Sistem pengendalian posisi	39
Gambar 4.2 Blok diagram perangkat keras sistem pengendalian motor dc servo	40
Gambar 4.3 Rangkaian ADC	41
Gambar 4.4 Rangkaian ekivalent IC DAC 1220	44
Gambar 4.5 Rangkaian DAC	44
Gambar 4.6 Rangkaian <i>power amplifier</i>	45
Gambar 4.7 Rangkaian <i>power amplifier</i> 734-13	46
Gambar 4.8 Kurva karakteristik tegangan jangkar terhadap <i>error</i>	47
Gambar 4.9 Fungsi keanggotaan <i>error fuzzy</i> (E)	48
Gambar 4.10 Fungsi keanggotaan perubahan <i>error</i> (CE)	49
Gambar 4.11 Fungsi keanggotaan keluaran (CI)	49
Gambar 4.12 Diagram alir pemrograman <i>fuzzy</i> secara umum	50
Gambar 5.1 Rangkaian pengujian ADC	51
Gambar 5.2 Grafik keluaran ADC	53
Gambar 5.3 Rangkaian pengujian DAC	53
Gambar 5.4 Grafik keluaran DAC.....	55
Gambar 5.5 Rangkaian pengujian <i>power amplifier</i>	56
Gambar 5.6 Grafik keluaran kontroler <i>plant</i> dengan <i>setpoint</i> 1V, 2V, 4V, 6V, 8V, 9V	57
Gambar 5.7 Grafik perbandingan keluaran kontroler dengan <i>setpoint</i>	58
Gambar 5.8 Grafik <i>error</i>	58
Gambar 5.9 Grafik perbandingan <i>time settling</i> dengan <i>setpoint</i>	59

ABSTARKSI

HANUGRAH ADI SURYA, Jurusan Teknik Elektro, Fakultas Teknik, Universitas Brawijaya Malang, Agustus 2009. **Pengendalian Posisi Sudut Putaran Motor DC Servo Dengan Metode Fuzzy Berbasis Realtime Linux.**

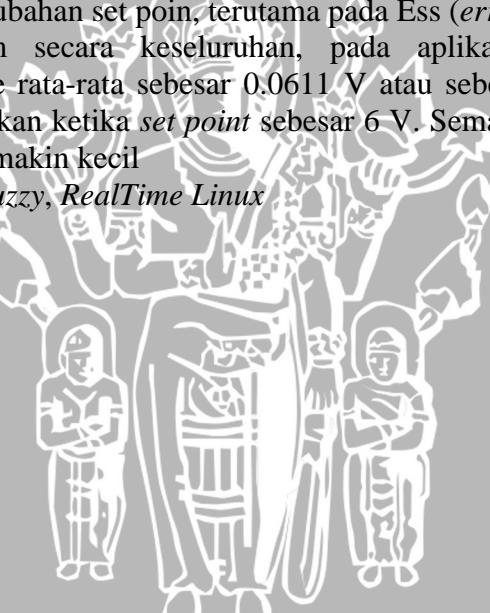
Pembimbing: Ir. Bambang Siswoyo, MT dan Dr.M Azis Muslim, ST., MT.

Perkembangan sistem kendali otomatis memegang peranan yang sangat penting dalam kemajuan ilmu dan teknologi modern. Sistem kendali logika *fuzzy* merupakan salah satu sistem kendali otomatis yang memiliki beberapa keunggulan dibandingkan dengan sistem kendali konvensional, diantaranya mampu mengontrol sistem-sistem kompleks tanpa harus mengetahui model matematis sistem,dan juga dapat beroperasi secara *real time*.

Sistem kendali logika *fuzzy* yang memanfaatkan modul *Real-time* Linux diharapkan dapat mengatasi masalah pada pengendalian posisi sudut putaran motor dc servo yang disebabkan oleh perubahan set poin, terutama pada Ess (*error steady state*).

Pada pengujian sistem secara keseluruhan, pada aplikasinya, sistem ini menghasilkan error steady state rata-rata sebesar 0.0611 V atau sebesar 1.93 %. *Error steady state* paling kecil dihasilkan ketika *set point* sebesar 6 V. Semakin besar *set point* *error steady state* cenderung semakin kecil

Kata kunci: Motor DC servo, *Fuzzy*, *RealTime Linux*



BAB I

PENDAHULUAN

1.1 Latar Belakang

Perkembangan teknik kontrol automatik memegang peranan yang sangat penting dalam kemajuan ilmu dan teknologi modern. Salah satunya adalah penggunaan komputer sebagai bagian yang terpadu dalam pengoperasian sistem kontrol di industri. Hal ini disebabkan komputer memiliki kelebihan yaitu kecepatannya yang sangat tinggi dalam operasi matematika dan logika, sehingga dimungkinkan penerapan strategi kontrol yang lebih kompleks. Kelebihan yang lain yaitu perubahan parameter kontrol dapat dilakukan dengan mudah melalui perangkat lunak.

Pada pengaturan posisi sudut kami menggunakan motor DC servo, karena servomekanis motor DC mempunyai kelebihan dalam hal efisiensi dan tenaga putaran lebih tinggi dibanding dengan motor AC. Pengaturan posisi ini perlu sekali dilakukan karena untuk mendapatkan posisi yang tepat dengan settling time (ts) yang optimal sulit untuk didapat selain itu motor DC servo yang kita kendalikan kadang mengalami gangguan sehingga posisi sudut berubah sedangkan suatu kontroler yang baik harus memiliki kemampuan untuk (beradaptasi) terhadap perubahan sistem. Perubahan dapat terjadi karena memburuknya unjuk kerja sistem. (Ogata ,1991 : 7)

Sedangkan pada skripsi ini dirancang pengendali logika *fuzzy* berbasis *Realtime Linux* yaitu dilakukan dengan pengaturan semesta pembicaraan. Pada skripsi pengendalian posisi sudut putaran motor DC Servo ini dilakukan dengan cara simulasi berupa perubahan *setpoint* tegangan pada tegangan masukan *power amplifier*. Dengan demikian kontrol logika *fuzzy* berbasis *Realtime Linux* diharapkan dapat meningkatkan performance motor DC servo yang lebih baik dibandingkan dengan menggunakan kontroler lainnya.

Menurut Kamus Inggris Oxford, kata *fuzzy* didefinisikan sebagai kabur, tidak nyata, sulit dikenali, rumit, samar. Tapi, definisi ini tidak dibicarakan, dan kita hanya perlu melihat *fuzzy* sebagai kata sifat teknis. Secara spesifik, sistem *fuzzy* adalah

sistem yang didefinisikan dengan jelas, dan kontrol *fuzzy* adalah jenis kontrol non linear yang juga didefinisikan dengan jelas. Ini beranalogi dengan sistem dan kontrol linear dimana kata linear adalah kata sifat teknis yang digunakan untuk menjelaskan sistem dan kontrol, inilah yang menggambarkan *fuzzy*. Intinya, apa yang ingin ditekankan adalah bahwa meski fenomena yang digambarkan teori sistem *fuzzy* mungkin adalah *fuzzy*, teori itu sendiri dikatakan tepat.

Dunia riil terlalu rumit untuk menghasilkan deskripsi yang tepat, yang karena itu aproksimasi (atau *fuzzy*) harus diperkenalkan untuk memperoleh model yang wajar, atau bisa dilacak.

Bila masuk ke era informasi, pengetahuan manusia mulai dianggap penting. Kita butuh sebuah teori yang merumuskan pengetahuan manusia dalam cara sistematik, dan menempatkannya ke sistem teknis, yang dipadukan dengan informasi lain seperti model matematika dan pengukuran sensorik.

Dalam literatur terkait, ada dua jenis justifikasi untuk teori sistem *fuzzy*:

Justifikasi pertama dikatakan benar, tapi tidak menggambarkan sifat unik teori sistem *fuzzy*. Faktanya, hampir semua teori dalam teknik menggambarkan dunia riil namun dalam cara aproksimasi. Contoh, sebagian besar sistem riil adalah tidak linear, tapi kita tetap melakukan studi pada sistem linear. Sebuah teori teknik yang bagus harus tepat, dalam arti bahwa ini menggambarkan fitur pokok dari dunia riil, dan di saat sama, bisa dilacak lewat analisis matematika. Dalam aspek ini, teori sistem *fuzzy* tidak berbeda dari teori teknik lainnya.

Justifikasi kedua menggambarkan fitur unik dari teori sistem *fuzzy* dan membenarkan keadaan teori sistem *fuzzy* sebagai sebuah cabang independen dalam teknik. Sebagai sebuah prinsip umum, teori teknik yang bagus harus mampu menggunakan semua informasi yang ada secara efektif. Bagi banyak sistem praktikal, informasi yang penting berasal dari dua sumber, satu sumber adalah pakar manusia yang mendeskripsikan pengetahuan tentang sistem dalam bahasa alam; lainnya adalah pengukuran sensorik dan model matematika yang didapatkan berdasarkan hukum fisik. Sebuah tugas penting dari ini, karena itu, menggabungkan dua tipe informasi ke dalam desain sistem. Untuk meraih kombinasi ini, pertanyaan pentingnya adalah cara

merumuskan pengetahuan manusia ke dalam sebuah kerangka yang sama yang digunakan untuk merumuskan pengukuran sensorik dan model matematika. Dengan kata lain, pertanyaan pokoknya adalah cara merubah basis pengetahuan manusia ke dalam formula matematika. Intinya, apa yang dilakukan sistem *fuzzy* adalah melakukan transformasi. Untuk memahami bagaimana transformasi ini dilakukan, kita harus tahu apa yang dimaksud sistem *fuzzy*.

Sistem *fuzzy* adalah sistem berbasis pengetahuan atau berbasis aturan. Jantung dari sistem *fuzzy* adalah sebuah basis pengetahuan yang berisi aturan *fuzzy* JIKA-MAKA (IF-THEN). Aturan *fuzzy* JIKA-MAKA adalah sebuah pernyataan JIKA-MAKA yang mana beberapa kata dikarakterkan dengan fungsi anggota yang kontinyu. Contoh, berikut adalah sebuah aturan *fuzzy* JIKA-MAKA:

JIKA kecepatan sebuah mobil adalah tinggi, MAKA berikan tekanan sedikit ke akselerator
(1.1)

Ringkasnya poin awal dari pembuatan sebuah sistem *fuzzy* adalah memperoleh koreksi aturan *fuzzy* JIKA-MAKA dari pakar manusia atau didasarkan pada pengetahuan domain. Langkah selanjutnya adalah menggabungkan aturan ini menjadi satu sistem. Sistem *Fuzzy* berbeda menggunakan prinsip berbeda untuk kombinasinya. Pertanyaannya menjadi apa yang dimaksud dengan sistem *fuzzy* yang sering digunakan

Ada tiga sistem *fuzzy* yang umum digunakan dalam literatur: (i) sistem *fuzzy* murni, (ii) sistem *fuzzy* Takagi-Sugeno-Kang (TSK), dan (iii) sistem *fuzzy* dengan fuzzifikasi dan defuzzifikasi.

Sistem *fuzzy* diterapkan ke beragam bidang yang beragam dari kontrol, proses sinyal, komunikasi, manufaktur sirkuit terpadu, dan sistem pakar ke bisnis, kedokteran, psikologi, dst. Meski begitu, aplikasi yang paling signifikan dikonsentrasi ke masalah kontrol. Karena itu, selain mendaftar aplikasi sistem *fuzzy* dalam bidang berbeda, kita berkonsentrasi pada jumlah masalah kontrol dimana sistem *fuzzy* memainkan peran besarnya.

Teori *fuzzy* dikemukakan oleh Lotfi A. Zadeh di tahun 1965 dengan paper seminalnya bertajuk "*Fuzzy Sets*" (Zadeh, 1965). Sebelum menjalankan teori *fuzzy*,

Zadeh adalah pakar terkemuka dalam teori kontrol. Dia mengemukakan konsep "*state*", yang membentuk basis bagi teori kontrol modern. Di awal 60-an, dia berpikir bahwa teori kontrol klasik sepertinya memberikan terlalu banyak tekanan yang menghasilkan sesuatu yang presisi, dan karena itu, tidak bisa menangani sistem kompleks. Di awal 1962, dia menuliskan bahwa dalam menjalankan sistem biologi, "kita butuh jenis matematika yang berbeda radikal, matematika *fuzzy*, atau jumlah cloudy yang tidak dideskripsikan dalam distribusi probabilitas" (Zadeh [1962]). Selanjutnya, dia memformalkan idenya menjadi paper "*Fuzzy Sets*".

Sejak kemunculannya, teori *fuzzy* memunculkan kontroversi. Beberapa pakar, seperti Richard Gellman, menggunakan ide ini dan mulai mengerjakan bidang baru. Pakar lainnya menentang ide ini dan melihat "fuzzifikasi" sebagai penentangan prinsip ilmiah dasar. Tantangan terbesarnya, meski begitu, berasal dari pakar matematika dalam statistik dan probabilitas yang menyatakan bahwa probabilitas bisa dikatakan cukup untuk menggambarkan ketidakpastian, dan masalah yang bisa dipecahkan teori *fuzzy* bisa juga dipecahkan dengan sama baik atau lebih baik dengan teori probabilitas. Karena tidak ada aplikasi praktikal teori *fuzzy* sejak awal, maka sulit membela bidang ini dari sudut pandang filosofi murni. Hampir semua institusi penelitian besar di dunia gagal menggunakan teori *fuzzy* sebagai bidang penelitian yang serius.

Meski teori *fuzzy* tidak masuk *mainstream*, ada banyak penelitian di dunia yang mendedikasikan diri ke bidang baru ini. Di akhir 1960-an, banyak metode *fuzzy* baru yang dikemukakan seperti algoritma *fuzzy*, pembuatan keputusan *fuzzy*, dst.

Wajar bila mengatakan bahwa penetapan teori *fuzzy* sebagai bidang independen adalah karena dedikasi dan kerja keras dari Zadeh. Sebagian besar konsep dasar dalam teori *fuzzy* dikemukakan oleh Zadeh di akhir 60-an

Dan awal 70-an. Setelah penjelasan set *fuzzy* di tahun 1965, dia mengemukakan konsep algoritma *fuzzy* di tahun 1968 (Zadeh[1968]), pembuatan keputusan *fuzzy* di tahun 1970 (Bellman dan Zadeh [1970]), dan penyusunan *fuzzy* di tahun 1971 (Zadeh [1971b]). Di tahun 1973, dia mempublikasikan *paper* seminar lainnya, "*outline* sebuah pendekatan baru ke analisis sistem kompleks dan proses

keputusan" (Zadeh[1973]), yang menetapkan pondasi untuk kontrol *fuzzy*. Dalam paper ini, dia memperkenalkan konsep variabel linguistik dan mengemukakan penggunaan aturan *fuzzy* JIKA-MAKA untuk merumuskan pengetahuan manusia.

Sebuah kejadian besar di tahun 70-an adalah kelahiran kontroler *fuzzy* dalam sistem riil. Di tahun 1975, Mamdani dan Assilian membuat kerangka dasar kontroler *fuzzy* dan menerapkan kontroler *fuzzy* untuk mengontrol *steam engine*. Hasil ini dipublikasikan dalam paper seminal lain dalam teori *fuzzy* "Sebuah eksperimen dalam sintesis linguistik dengan sebuah kontroler logika *fuzzy*" (Mamdani dan Assilian [1975]). Mereka menemukan bahwa kontroler *fuzzy* sangat mudah dibentuk dan dikerjakan dengan baik. Selanjutnya di tahun 1978, Holmblad dan Ostergaard membuat kontroler *fuzzy* pertama kali untuk proses industri skala penuh kontroler tungku semen *fuzzy*.

Intinya, pondasi teori *fuzzy* bisa ditetapkan di tahun 1970-an. Dengan diperkenalkannya banyak konsep baru, gambaran teori *fuzzy* sebagai sebuah bidang baru menjadi jelas. Aplikasi awalnya seperti kontroler mesin uap. *fuzzy* dan kontroler tungku semen menunjukkan bahwa bidang ini terkesan menjanjikan. Biasanya, bidang tersebut dibentuk dengan sumberdaya besar, dan jelasnya institusi penelitian besar harus memberikan banyak tenaga besar dalam topik ini. Sayangnya, ini tidak terjadi. Sebaliknya, di akhir 70-an dan awal 80-an, banyak peneliti di teori *fuzzy* melakukan pergantian bidang karena mereka tidak menemukan dukungan untuk melanjutkan kerjanya. Ini terjadi di United States.

Di awal 1980-an, bidang ini, dari sudut pandang teoritis, menunjukkan kemajuan sangat lambat. Beberapa konsep dan pendekatan baru dikemukakan selama periode ini, hanya karena sedikit orang yang masih mempelajari bidang ini. Aplikasi kontrol *fuzzy* lah yang menyelamatkan bidang ini.

Insinyur Jepang, dengan sensitivitas ke teknologi baru, dengan cepat menemukan bahwa kontroler *fuzzy* mudah didesain, dan bias bekerja baik dalam menyelesaikan masalah. Karena kontrol *fuzzy* tidak membutuhkan model matematika dalam prosesnya, maka ini bias diterapkan di banyak sistem dimana teori kontrol konvensional tidak bias digunakan karena kurangnya model matematika. Di tahun

1980, Sugeno mulai membuat aplikasi *fuzzy* pertama di Jepang kontrol untuk pabrik purifikasi air Fuji Electric. Di tahun 1983, dia menjadi pioner dari robot *fuzzy*, tepatnya sebuah mobil yang bisa parkir sendiri dan dikontrol dengan perintah (Sugeno dan Nishida, 1985). Di awal 1980-an, Yasunobu dan Miyamoto dari Hitachi mulai membangun sebuah sistem kontrol *fuzzy* untuk Sendai subway. Mereka menyelesaikan proyek ini di tahun 1987 dan membuat sistem subway paling maju di seluruh dunia. Aplikasi kontrol *fuzzy* yang sangat impresif ini menghasilkan sebuah perbedaan besar.

Di bulan Juli 1987, *Second Annual International Fuzzy Systems Association Conference* diadakan di Tokyo. Konferensi ini dimulai tiga hari setelah Sendai subway mengawali operasinya, dan penumpangnya terkesan dengan perjalanan yang dirasakan. Dalam konferensi, Hirota menunjukkan lengan robot *fuzzy* yang memainkan Ping-Pong dua dimensi dalam waktu riil (Hirota, Arai dan Hachisu, 1989), dan Yamakawa menunjukkan sebuah sistem *fuzzy* yang menyeimbangkan pendulum inversi (Yamakawa, 1989). Sebelum kejadian ini, teori *fuzzy* tidak terkenal di Jepang. Setelah itu, gelombang sentimen pro-*fuzzy* bisa terjadi di seluruh kalangan insinyur, pemerintah dan bisnis. Di awal 1990-an, sejumlah besar produk konsumen *fuzzy* bisa terlihat di pasar.

Kesuksesan sistem *fuzzy* di Jepang mengejutkan peneliti mainstream di United States dan di Eropa. Beberapa orang mengkritik teori *fuzzy*, tapi banyak pihak lain mulai berubah pikiran, dan memeberikan peluang bagi teori *fuzzy* untuk dipertimbangkan secara lebih serius. Di bulan Februari 1992, *IEEE International Conference on Fuzzy Systems* yang pertama diadakan di San Diego. Acara ini menyimbolkan penerimaan teori *fuzzy* oleh organisasi teknik terbesar – IEEE. Di tahun 1993, diadakan *IEEE Transaction on Fuzzy Systems*.

Dari sudut pandang teori, sistem dan kontrol *fuzzy* mengalami perkembangan cepat di akhir 1980-an dan di awal 1990-an. Meski sulit mengatakan bahwa ini adalah terobosan, kemajuan yang pesat telah dibuat dalam masalah dasar di sistem dan kontrol *fuzzy*. Contoh, teknik network neural telah digunakan untuk menentukan fungsi anggota dalam cara sistematik, dan analisis stabilitas terhadap sistem kontrol

fuzzy telah menguat. Meski gambaran sepenuhnya dari sistem fuzzy dan teori kontrol menjadi lebih jelas, banyak yang masih harus dilakukan. Sebagian besar pendekatan dan analisis masih bersifat awal. Kita yakin bahwa hanya ketika institusi penelitian tingkat tinggi mau memberikan tenaga yang serius dalam penelitian teori fuzzy, barulah bidang ini menghasilkan kemajuan yang pantas.

Ringkasan dari semuanya adalah :

- Tujuan penggunaan sistem fuzzy adalah memasukkan pengetahuan manusia ke dalam sistem dalam cara sistematik, efisien, dan teranalisis
- Arsitektur dasar dari sistem fuzzy yang sering digunakan.
- Aturan fuzzy JIKA-MAKA yang digunakan dalam proses industri dan produk konsumen tertentu.

Klasifikasi dan sejarah ringkas dari teori fuzzy dan aplikasinya

Perkenalan yang bersifat non-teknis ke teori fuzzy dan aplikasinya dilakukan oleh McNeill dan Freiberger (1993). Ini berisi banyak wawancara dan mendeskripsikan kejadian besar. Beberapa penjelasan historis juga dilakukan dalam Kruse, Gebhardt, dan Klawonn (1994). Klir dan Yuan (1995) mungkin menjadi buku paling komprehensif dari set fuzzy dan logika fuzzy. Aplikasi kontrol fuzzy sebelumnya telah dipelajari dalam Sugeno (1985) dan aplikasi terbarunya (khususnya di Jepang) ditunjukkan di Terano, Asai, dan Sugeno (1994).

Akan tetapi pengendalian menggunakan Logika Fuzzy tidak sepenuhnya dapat mengatasi masalah. Untuk membuat sistem pengendali itu bekerja lebih baik lagi dibutuhkan suatu sistem yang mampu bekerja secara *realtime*.

Istilah *realtime* pada awalnya digunakan dalam simulasi. Memang sekarang lazim dimengerti bahwa *realtime* adalah "cepat", namun sebenarnya yang dimaksud adalah simulasi yang bisa menyamai dengan proses sebenarnya (di dunia nyata) yang sedang disimulasikan.

Suatu sistem dikatakan *realtime* jika dia tidak hanya mengutamakan ketepatan pelaksanaan instruksi/tugas, tapi juga interval waktu tugas tersebut dilakukan. Dengan kata lain, sistem *realtime* adalah sistem yang menggunakan *deadline*, yaitu pekerjaan harus selesai jangka waktu tertentu. Sementara itu, sistem yang tidak *real*

time adalah sistem dimana tidak ada deadline, walaupun tentunya respons yang cepat atau performa yang tinggi tetap diharapkan.

1.2 Rumusan masalah

Mengacu pada latar belakang masalah diatas, maka rumusan masalah ditekankan kepada permasalahan sebagai berikut :

1. Bagaimana merancang perangkat keras antarmuka dengan slot ISA ADC, dan DAC.
2. Bagaimana merancang dan mengimplementasikan algoritma logika *fuzzy* dalam sistem operasi RTL.
3. Bagaimana merancang fungsi keanggotaan kontrol logika *fuzzy* pada *plant* motor DC Servo.

1.3 Batasan Masalah

Dari rumusan masalah yang dibahas dalam skripsi ini maka dibuat suatu batasan-batasan berdasarkan hal-hal yang berkaitan dengan sistem yang akan dibuat, yaitu sebagai berikut :

1. Konfigurasi kontroler logika *fuzzy* berbasis *Realtime Linux* yang akan digunakan adalah fungsi keanggotaan segitiga.
2. Kontrol logika *fuzzy* berbasis *Realtime Linux* dilakukan dengan pengaturan semesta pembicaraan.
3. Motor DC servo dengan potensiometer, instrumen pembangkit tegangan DC yang nantinya sebagai masukan gangguan , dan catu daya memakai peralatan yang ada di Laboratorium Pengaturan Teknik Elektro Universitas Brawijaya.
4. Kerja motor hanya pada kuadran 1 dan 2.
5. Tidak membahas secara detail mengenai sistem operasi.
6. Tidak membahas detail tentang arsitektur komputer.
7. Spesifikasi PC (*Personal Computer*) yang digunakan adalah Intel PentiumIII 860MHz.
8. Sistem operasi yang digunakan adalah *Linux*.

1.4 Tujuan

Tujuan yang ingin dicapai dari skripsi ini adalah menerapkan algoritma logika fuzzy berbasis *Realtime Linux* pada pengaturan posisi motor DC servo

1.5 Sistematika Penulisan

Sistematika pembahasan yang digunakan adalah sebagai berikut :

BAB I : Pendahuluan.

Bab ini berisi latar belakang, rumusan masalah, batasan masalah, tujuan dan sistematika penulisan.

BAB II : Tinjauan Pustaka.

Bab ini membahas teori kontrol logika fuzzy, teori *Realtime Linux*, teori motor DC servo, teori *Analog to Digital Converter* (ADC) dan teori *Digital to Analog Converter* (DAC)

BAB III : Metode Kajian.

Bab ini membahas tahapan-tahapan dalam penelitian.

BAB IV : Perancangan

Bab ini membahas perencanaan dan pembuatan perangkat keras maupun perangkat lunak

BAB V : Pengujian dan Analisis.

Bab ini membahas pengujian perangkat lunak dan perangkat keras secara keseluruhan dan analisis hasil pengujian.

BAB VI : Kesimpulan dan Saran

Berupa kesimpulan dari keseluruhan proses kontrol yang telah dijalankan dan saran-saran untuk dapat diperbaiki di masa-masa yang akan datang terhadap kelemahan-kelemahan yang ada.

BAB II

DASAR TEORI

2.1 Umum

Pembahasan dalam bab ini meliputi teori kontrol logika *fuzzy*, teori *Realtime Linux*, teori motor DC Servo, teori *Analog to Digital Converter* (ADC), dan teori *Digital to Analog Converter* (DAC).

2.2. Kontrol Logika *Fuzzy*

2.2.1 Himpunan *Fuzzy*

Himpunan didefinisikan sebagai kelompok objek-objek tertentu yang disebut elemen. Himpunan *fuzzy* didefinisikan dalam semesta himpunan U , himpunan *fuzzy* ditentukan oleh fungsi keanggotaan yang memetakan anggota U ke daerah keanggotaan yang selalu berada dalam interval $[0,1]$. (Jun Yan, 1994 :16).

Himpunan *fuzzy* A dalam semesta pembicaraan U biasa dinyatakan sebagai sekumpulan pasangan elemen u (u anggota U) dan besar nilai atau derajat keanggotaan (*grade of membership*) elemen tersebut, μ_A sebagai berikut :

$$A = \{(u, \mu_A(u)) / u \in U\} \quad (21)$$

Tanda “/” digunakan untuk menghubungkan sebuah elemen dengan derajat keanggotaannya. Jika U adalah diskrit, maka A biasanya dinyatakan dengan :

$$A = \mu_A(u_1)/u_1 + \dots + \mu_A(u_n)/u_n \quad (2.2)$$

atau

$$A = \sum_{i=1}^n \mu_A(u_i)/u_i \quad (2.3)$$

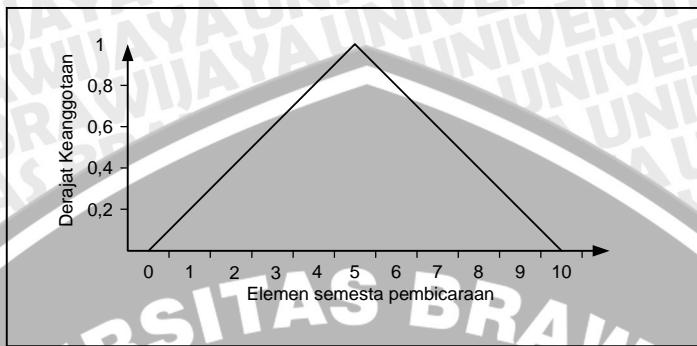
Dan jika U adalah kontinyu, maka himpunan *fuzzy* bisa dinyatakan dengan:

$$A = \int_U \mu_A(u) / u \quad (2.4)$$

Tanda ‘+’, ‘ \sum ’, dan ‘ \int ’ menyatakan operator union (gabungan). Sebagai contoh, untuk semesta pembicaraan ‘bilangan cacah yang kurang dari 10’ dan himpunan *fuzzy* A yang didefinisikan sebagai ‘bilangan yang dekat dengan 5’, dinyatakan :

$$A = 0/0 + 0.2/1 + 0.4/2 + 0.6/3 + 0.8/6 + 0.6/7 + 0.4/8 + 0.2/9.$$

Penyajian himpunan fuzzy A secara diagramatik ditunjukkan pada gambar 2.1.



Gambar 2.1 Definisi himpunan fuzzy A secara diagramatik

Sumber : Jun Yan, 1994 : 16

2.2.2. Fungsi Keanggotaan

Fungsi keanggotaan menotasikan nilai kebenaran anggota himpunan. Interval nilai yang digunakan untuk menentukan fungsi keanggotaan, yaitu nol dan satu. Tiap fungsi keanggotaan memetakan elemen himpunan *crisp* ke semesta himpunan fuzzy (G. Klir ,1995 : 11)

Suatu himpunan fuzzy A dalam semesta pembicaraan U dinyatakan dengan fungsi keanggotaan, μ_A yang harganya berada dalam interval [0,1]. Secara matematika hal ini dinyatakan dengan :

$$\mu_A : U \rightarrow [0,1] \quad (2.5)$$

Ada dua cara untuk menentukan fungsi kenggotaan himpunan fuzzy, yaitu secara numerik dan secara fungsional. (Jun Yan, 1994: 17).

1. Pendefisian secara numerik, mengekspresikan fungsi keanggotaan himpunan fuzzy sebagai suatu vektor angka yang tergantung pada tingkat diskritisasi.
Contoh : $x = \{8,9,10,11,12\}$, $\mu_F(x) = \{0.5;0.8;1.0;0.8;0.5\}$, maka himpunan fuzzy didefinisikan untuk himpunan elemen x diatas adalah :
$$F = \{0.5/8; 0.8/9; 1.0/10; 0.8/11; 0.5/12\}$$

2. Pendefisian secara fungsional, mendefinisikan fungsi keanggotaan himpunan fuzzy dalam ekspresi analitik yang mengikuti tingkatan tiap elemen dalam pendefisian semesta himpunan yang dihitung. Berikut ini beberapa macam

fungsi keanggotaan yang sering digunakan antara lain fungsi keanggotaan S, π , T (triangular) , Trapesium.(Jun Yan, 1994:18)

1.1 Fungsi keanggotaan bentuk S.

Definisi fungsi-S adalah sebagai berikut :

$$S(u,a,b,c) = \begin{cases} 0 & u < a \\ 2\left(\frac{u-a}{c-a}\right)^2 & a \leq u \leq b \\ 1 - 2\left(\frac{u-a}{c-a}\right)^2 & b \leq u \leq c \\ 1 & u > c \end{cases} \quad (2.6)$$

$$b = \frac{(a+c)}{2}$$

Fungsi keanggotaan bentuk S ditunjukkan pada gambar 2.2 (a)

1.2 Fungsi keanggotaan bentuk π

Definisi Fungsi- π adalah sebagai berikut :

$$\pi(u;b,c) = \begin{cases} S(u;c-b,c-\frac{b}{2},c) & u \leq c \\ 1 - S(u;c,c+\frac{b}{2},c+b) & u \geq c \end{cases} \quad (2.7)$$

Fungsi keanggotaan bentuk π ditunjukkan pada gambar 2.2 (b)

1.3 Fungsi keanggotan bentuk Triangular.

Definisi Fungsi Triangular sebagai berikut :

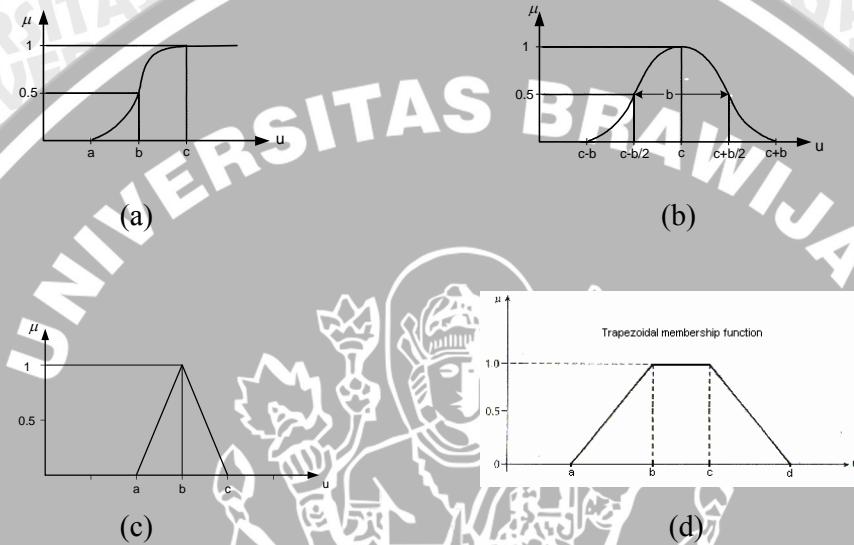
$$T(u;a,b,c) = \begin{cases} 0 & u < a \\ \frac{u-a}{b-a} & a \leq u \leq b \\ \frac{c-u}{c-b} & b \leq u \leq c \\ 0 & u > c \end{cases} \quad (2.8)$$

Fungsi keanggotan bentuk Triangular ditunjukkan pada gambar 2.2 (c)

1. 4 Fungsi keanggotaan bentuk Trapesium.

Definisi Fungsi Trapesium sebagai berikut :

$$T(u; a, b, c, d) = \begin{cases} 0 & u < a \\ \frac{u-a}{b-a} & a \leq u \leq b \\ 1 & b \leq u \leq c \\ \frac{c-u}{c-b} & c \leq u \leq d \\ 0 & u > d \end{cases} \quad (2.9)$$



Gambar 2.2 Fungsi Keanggotaan : a) Bentuk S b) Bentuk c) Bentuk T d) Bentuk Trapesium

2.2.3. Operasi Himpunan Fuzzy

Operasi dasar himpunan fuzzy untuk himpunan fuzzy A dan B pada semesta pembicaraan U dengan fungsi keanggotaan $\mu_A(u)$ dan $\mu_B(u)$, antara lain: (Ross:1995,27)

1. Persamaan (*equality*)

Himpunan fuzzy A dan B dikatakan sama bila kedua himpunan tersebut mempunyai fungsi keanggotaan dan semesta himpunan yang sama.

$$\mu_A(u) = \mu_B(u), \forall u \in U \quad (2.10)$$

2. Gabungan (*union*)

Gabungan (union) fungsi keanggotaan himpunan fuzzy A dan himpunan fuzzy B dinotasikan dengan $A \vee B$. Operasi gabungan didefinisikan sebagai berikut

$$\mu_{(A \cup B)}(u) = \max \{\mu_A(u), \mu_B(u)\}, \forall u \in U \quad (2.11)$$

Operasi gabungan (union) diperlihatkan dalam gambar 2.3

3. Irisan (*intersection*)

Irisan (*intersection*) fungsi keanggotaan himpunan fuzzy A dan himpunan fuzzy B dinotasikan $A \wedge B$. Operasi irisan ini didefinisikan :

$$\mu_{(A \cap B)}(u) = \min \{\mu_A(u), \mu_B(u)\}, \forall u \in U \quad (2.12)$$

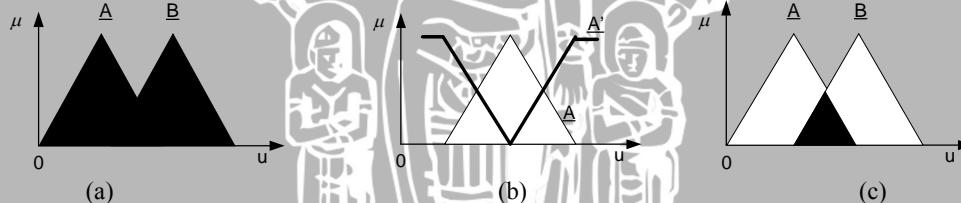
Operasi irisan diperlihatkan dalam gambar 2.3 (a)

4. Komplemen (*complement*)

Komplemen himpunan fuzzy A dinotasikan sebagai A' . Operasi komplemen didefinisikan sebagai :

$$\mu_A(u) = 1 - \mu_{A'}(u), \forall u \in U \quad (2.13)$$

Operasi komplemen himpunan fuzzy A diperlihatkan dalam gambar 6.8



Gambar 2.3 Operasi irisan

Gambar 2.3 (a) Contoh operasi gabungan (union) himpunan fuzzy A dan B

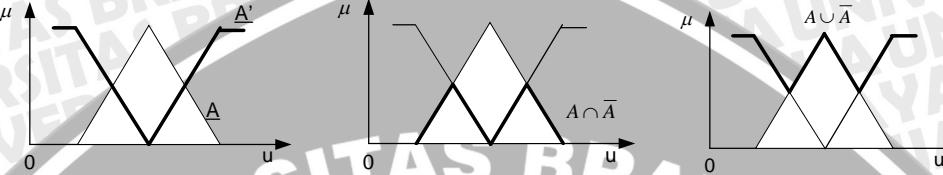
Gambar 2.3 (b) Contoh operasi irisan (*intersection*) himpunan fuzzy A dan B

Gambar 2.3 (c) Contoh operasi komplemen himpunan fuzzy A

Keempat operasi dalam persamaan 2.6-2.8 mempunyai kesamaan dengan operasi himpunan biasa, tetapi pada himpunan fuzzy memiliki perbedaan dengan himpunan biasa, jika terjadi operasi gabungan dan irisan antara himpunan fuzzy dengan komplemennya yaitu tidak berlaku *Hukum Excluded Middle* karena himpunan fuzzy dapat tumpang tindih (*overlapped*) dengan himpunan fuzzy lainnya, sehingga dapat dinyatakan (gambar 2.4)

$$\mu_{A \cap \bar{A}}(u) = \min\{\mu_A(u), \mu_{\bar{A}}(u)\} \leq 0.5 \quad (2.14)$$

$$\mu_{A \cup \bar{A}}(u) = \max\{\mu_A(u), \mu_{\bar{A}}(u)\} \geq 0.5 \quad (2.15)$$



Gambar 2.4 Contoh operasi komplement khusus

Sumber : Ross, 1995 : 29

2.2.4 Relasi Fuzzy.

Relasi fuzzy adalah himpunan fuzzy yang didefinisikan dalam perkalian kartesian (Wang, 1997:17). Pada keadaan khusus diistilahkan "relasi fuzzy biner" untuk perkalian kartesian dua himpunan yang biasanya diwakili dengan matrik relasi fuzzy. "Kekuatan" relasi dari kedua semesta diukur dengan fungsi keanggotaan yang mengekspresikan berbagai derajat kekuatan relasi dalam interval [0,1].

Karena relasi fuzzy juga merupakan himpunan maka operasi-operasi berikut juga berlaku pada relasi fuzzy tanpa modifikasi, sebagai contoh misalkan R dan S adalah relasi fuzzy maka :

$$\text{Union (Gabungan)} \quad \mu_{R \cup S}(x,y) = \max \{\mu_R(x,y), \mu_S(x,y)\}$$

$$\text{Interseksi (Irisan)} \quad \mu_{R \cap S}(x,y) = \min \{\mu_R(x,y), \mu_S(x,y)\}$$

$$\text{Komplemen} \quad \sim \mu_R(x,y) = 1 - \mu_R(x,y)$$

Relasi fuzzy misalkan R mempunyai fungsi keanggotaan sebagai berikut :

$$\mu_R(x,y) = \mu_{A \times B}(x,y) = \min \{\mu_A(x), \mu_B(y)\}$$

dimana A dan B adalah himpunan-himpunan fuzzy berturut-turut pada semesta X dan semesta Y. Sebagai contoh :

$$A = 0,2/x_1 + 0,5/x_2 + 1/x_3$$

$$B = 0,3/y_1 + 0,9/y_2$$

terlihat A dapat diwakili dengan vektor kolom 3 X 1 dan B dapat diwakili dengan vektor baris 1 X 2. Maka relasi *fuzzy* yang dihasilkan adalah matrik dengan ukuran 3 x 2 yaitu

$$A = \begin{bmatrix} 0,2 \\ 0,5 \\ 1 \end{bmatrix} \quad B = [0,3 \quad 0,9] \quad R = \begin{bmatrix} 0,2 & 0,2 \\ 0,3 & 0,5 \\ 0,3 & 0,9 \end{bmatrix}$$

sekarang misalkan R adalah relasi *fuzzy* yang memetakan elemen-elemen pada semesta X ke semesta Y, S adalah relasi *fuzzy* yang memetakan elemen-elemen pada semesta Y ke semesta Z. Untuk memperoleh sebuah relasi yang memetakan elemen-elemen yang sama di semesta X yang dikandung R ke elemen-elemen yang sama di Z yang dikandung S didefinisikan sebuah relasi T yang disebut dengan komposisi yang dinotasikan dengan $T = R \circ S$. Untuk komposisi *fuzzy* dapat dilakukan dengan dua metode yang umum digunakan yaitu komposisi Max-Min dan komposisi Max-Product yaitu

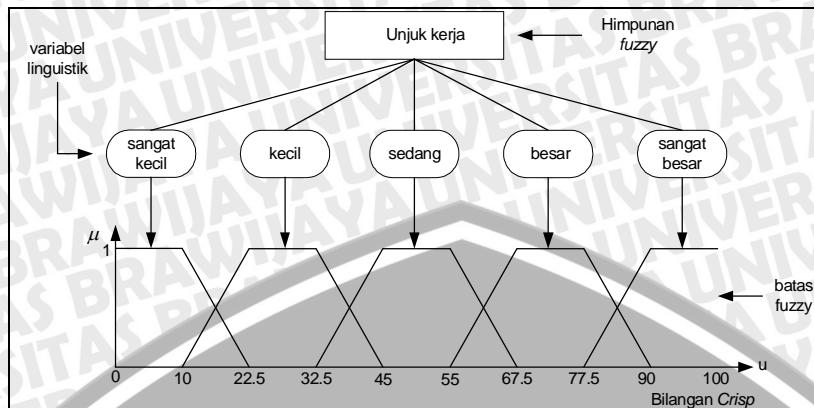
$$\text{Komposisi Max-Min} \quad \mu_T(x, z) = \text{Max}(\mu_R(x, y) \wedge \mu_S(y, z)) \quad (2.16)$$

$$\text{Komposisi Max-Product} \quad \mu_T(x, z) = \text{Max}(\mu_R(x, y) \bullet \mu_S(y, z)) \quad (2.17)$$

2.2.5 Variabel linguistik dan Kaidah Fuzzy

2.2.5.1 Variabel linguistik

Variabel linguistik adalah variabel yang menggunakan kata-kata sebagai nilainya. Untuk menyelesaikan hal itu para ahli logika dan matematika menggunakan himpunan untuk mewakili kata-kata variabel linguistik tersebut. Variabel linguistik secara umum ditulis dengan bentuk (X, T, U, M) dimana X adalah nama variabel , seperti contoh “suhu hari ini”, T adalah nilai linguistik seperti “lambat”, “cepat”, “panas”, ”dingin” dan sebagainya, U adalah nilai sebenarnya (nilai *crisp*) untuk X, dan M adalah aturan semantik yang menghubungkan nilai linguistik pada T dengan himpunan *fuzzy* pada U misalnya “X adalah lambat” dan sebagainya,Contoh variabel lingustik diperlihatkan dalam gambar 2.5.



Gambar 2.5 Contoh pembagian variabel linguistik

Sumber: G.Klir, 1995 :101

2.2.5.2 Kaidah fuzzy Jika-Maka (Fuzzy Rules)

Seperti telah dijelaskan bahwa dalam sistem fuzzy pengetahuan manusia dapat dinyatakan dengan kaidah-kaidah fuzzy Jika-Maka. Kaidah tersebut dinyatakan dengan persyaratan :

“ Jika <proposisi fuzzy> Maka <proposisi fuzzy>”

Proposisi fuzzy ada yang berupa pernyataan tunggal seperti “ X adalah A ” , dan ada yang majemuk yang biasanya dihubungkan dengan kata penghubung “ DAN ” atau “ ATAU ”. Untuk proposisi dengan kata penghubung “ DAN ” menggunakan interseksi fuzzy dengan nilai kebenaran seperti persamaan 6.12. Untuk proposisi dengan kata penghubung “ ATAU ” menggunakan gabungan (Union) fuzzy seperti pada persamaan 2.11.

Proposisi fuzzy diinterpretasikan atau diartikan sebagai relasi fuzzy, pernyataan yang muncul adalah bagaimana menginterpretasikan kaidah “ Jika-Maka ”. Pada logika klasik , kaidah “ Jika p Maka q ” ditulis dengan implikasi $p \rightarrow q$ yang mempunyai nilai benar kecuali pada saat p bernilai benar dan q bernilai salah yang ekivalen dengan $\neg p \vee q$ dan $(p \wedge q) \vee \neg q$, yang tanda “ ~ ”, “ \vee ”, “ \wedge ”, mewakili operator logika klasik “ Bukan ”, “ Atau ”, dan “ Dan ”.

Tabel kebenarannya seperti dalam Tabel 2. 1.

Tabel 2.1Tabel kebenaran untuk implikasi himpunan klasik

P	Q	$p \rightarrow q$
B	B	B
B	S	S
S	B	B
S	S	B

Sumber : Wang, 1997 : 65

Pada kaidah *fuzzy* “Jika-Maka” dapat dipandang dengan menggantikan p dan q dengan proposisi *fuzzy* dan “~”, “ \vee ” , “ \wedge ” berturut-turut dengan komplemen, gabungan (union), dan interseksi *fuzzy*. Ada beberapa macam implikasi seperti : (Wang, 1997 : 66)

- Implikasi Dienes-Rescher dengan persamaan

$$\mu_{QD}(x, y) = \text{Max}[1 - \mu_{FP1}(x), \mu_{FP2}(y)] \quad (2.18)$$

- Implikasi Lukasiewicz dengan persamaan

$$\mu_{QL}(x, y) = \text{Min}[1, 1 - \mu_{FP1}(x) + \mu_{FP2}(y)] \quad (2.19)$$

- Implikasi Zadeh dengan persamaan

$$\mu_{QZ}(x, y) = \text{Max}[\text{Min}(\mu_{FP1}(x), \mu_{FP2}(y)), 1 - \mu_{FP1}(x)] \quad (2.20)$$

- Implikasi Mamdani

Untuk korelasi Minimum dengan persamaan

$$\mu_{MM}(x, y) = \text{Min}[\mu_{FP1}(x), \mu_{FP2}(y)] \quad (2.21)$$

Untuk korelasi perkalian dengan persamaan

$$\mu_{MP}(x, y) = \mu_{FP1}(x) \cdot \mu_{FP2}(y) \quad (2.22)$$

FP1 dan FP2 menyatakan proposisi *fuzzy* 1 dan 2. Implikasi yang paling sering digunakan dalam praktek adalah metode implikasi Mamdani karena paling sederhana dan mudah dalam implementasi perangkat lunaknya.

2.2.6 Mekanisme Penalaran Aproksimasi (*Approximate Reasoning*) dan Inferensi *Fuzzy* (*Fuzzy Inference*)

Dalam Logika *fuzzy*, proposisi adalah proposisi *fuzzy* yang diwakili dengan himpunan *fuzzy*. Tujuan utama logika *fuzzy* adalah untuk menyediakan suatu dasar untuk penalaran aproksimasi dengan proposisi-proposisi *fuzzy* dan teori himpunan *fuzzy* sebagai dasar utama. Prinsip-prinsip dasar dari penalaran dengan logika *fuzzy* adalah berawal dengan pernyataan logika yang selalu bernilai

benar yang umum disebut Tautologi. Tautologi yang umum dikenal seperti yaitu *Generalized Modus Ponens* (GMP) dan *Generalized Modus Tollens* (GMT). *Generalized Modus Ponens* di sebut juga dengan *direct reasoning*, sedangkan *Generalized Modus Tollens* disebut juga *indirect reasoning*. Jika himpunan fuzzy dinotasikan dengan A , A' , B , B' dan variabel linguistik dinotasikan dengan x dan y , maka GMP dan GMT dapat dinyatakan sebagai berikut :

a. Generalized Modus Ponens(GMP)

Pernyataan 1 (aturan) : Jika x adalah A maka y adalah B

Pernyataan 2 (fakta) : x adalah A'

Penyelesaian : y adalah B'

Dalam hal ini penyelesaian B' dapat dinotasikan dengan

$$B' = A' \bullet R \quad (2.23)$$

dengan R adalah relasi fuzzy dari implikasi fuzzy yang mewakili pernyataan pertama, tanda \bullet adalah operator komposisi.

b. Generalised Modus Tollens (GMT)

Pernyataan 1 (aturan) : Jika x adalah A maka y adalah B

Pernyataan 2 (fakta) : y adalah B'

Penyelesaian : x adalah A'

Dalam hal ini penyelesaian A' dapat dinotasikan dengan :

$$A' = B' \bullet R \quad (2.24)$$

dengan R adalah relasi fuzzy dari implikasi fuzzy yang mewakili pernyataan pertama.

Untuk menarik kesimpulan dari masukan fuzzy diperlukan basis pengetahuan (kaidah-kaidah) dan basis data (himpunan-himpunan fuzzy) dan melalui suatu proses yang disebut proses inferensi fuzzy. Metode Inferensi ini yang sering digunakan adalah metode inferensi berdasarkan komposisi. Beberapa metode inferensi fuzzy yang berdasarkan komposisi yang sering digunakan di dunia industri yaitu metode Maksimum-Minimum (MAX-MIN) dan Maksimum-Perkalian (MAX-DOT) yang dapat dijelaskan sebagai berikut :

Misal bentuk umum kaidah atur fuzzy dua masukan dan satu keluaran, yaitu :

R_1 : Jika x adalah A_1 dan y adalah B_1 maka z adalah C_1

R_2 : Jika x adalah A_2 dan y adalah B_2 maka z adalah C_2

R_i : Jika x adalah A_i dan y adalah B_i maka z adalah C_i

Bentuk umum diatas x , y , z adalah variabel linguistik yang merepresentasikan dua variabel keadaan proses dan satu variabel pengendalian . A_i , B_i , C_i adalah nilai variabel linguistik x , y , z pada semesta U , V , W .

a). Metoda Maksimum-Minimum (MAX-MIN)

$$\mu_{C'} = \bigcup_1^n \alpha_i \wedge \mu_{Ci} \quad (2.25)$$

dengan $\alpha_i = \mu_{Ai}(x_0) \wedge \mu_{Bi}(y_0)$

Sebagai contoh, terdapat dua basis kaidah atur fuzzy, yaitu :

R_1 : Jika x adalah A_1 dan y adalah B_1 maka z adalah C_1

R_2 : Jika x adalah A_2 dan y adalah B_2 maka z adalah C_2

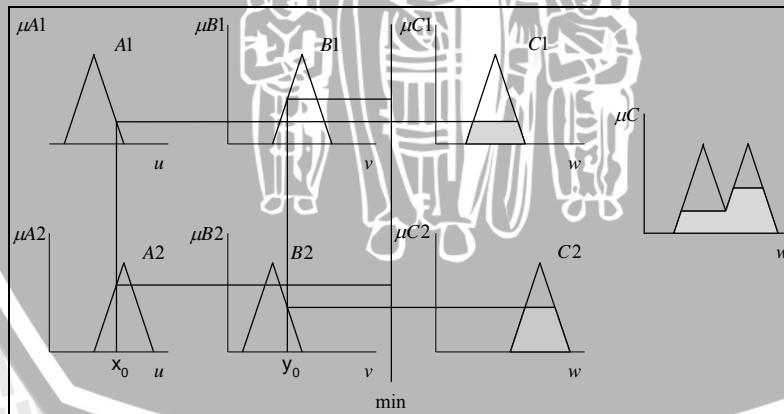
Pada metoda penalaran MAX-MIN fungsi keanggotaan konsekuensi dinyatakan dengan

$$\mu_{C'}(w) = \mu_{C'1} \vee \mu_{C'2} = [\alpha_1 \wedge \mu_{C1}(w)] \vee [\alpha_2 \wedge \mu_{C2}(w)]$$

Dimana : $\alpha_1 = \mu_{A1}(x_0) \wedge \mu_{B1}(y_0)$

$$\alpha_2 = \mu_{A2}(x_0) \wedge \mu_{B2}(y_0)$$

Lebih jelas metoda ini dideskripsikan dalam gambar 2.6.



Gambar 2.6 Inferensi fuzzy dengan metode MAX-MIN

Sumber: Jun Yan, 1994 : 55.

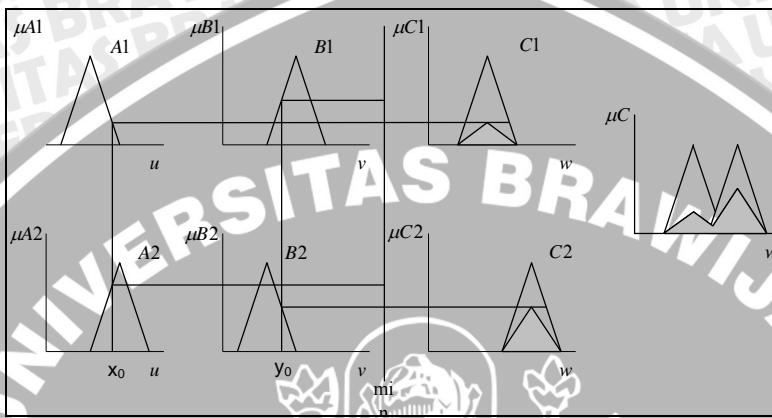
b). Metoda Maksimum-Perkalian (MAX-DOT)

Metode ini juga menggunakan nilai α seperti pada inferensi Maksimum-Minimum, namun keanggotaan C sebagai hasil inferensi adalah nilai maksimum

dari perkalian nilai keanggotaan masing-masing variabel masukan pada bagian antesiden. Metode MAX-DOT fungsi keanggotaan konsekuensi C dinyatakan dengan

$$\mu_c(\omega) = (\alpha_1 \bullet \mu_{c1}(\omega)) \vee (\alpha_2 \bullet \mu_{c2}(\omega)) \quad (2.26)$$

Metoda penalaran MAX-DOT diperlihatkan dalam Gambar 2.7



Gambar 2.7 Inferensi fuzzy dengan metode MAX-DOT
Sumber : Jun Yan, 1994 : 55

2.2.7. Fuzzifikasi

Proses fuzzifikasi merupakan proses untuk mengubah variabel non *fuzzy* (variabel numerik) menjadi variabel *fuzzy* (variabel linguistik). Nilai masukan masukan yang masih dalam bentuk variabel numerik yang telah dikuantisasi sebelum diolah oleh pengendali logika *fuzzy* harus diubah terlebih dahulu ke dalam variabel *fuzzy*. Melalui fungsi keanggotaan yang telah disusun maka dari nilai-nilai masukan tersebut menjadi informasi *fuzzy* yang berguna nantinya untuk proses pengolahan secara *fuzzy* pula. Proses ini disebut fuzzifikasi.

Proses *fuzzyfikasi* diekspresikan sebagai berikut :

$$x = \text{fuzzifier}(x_0) \quad (2.27)$$

dengan :

x_0 = Nilai *crisp* variabel masukan

x = Himpunan *fuzzy* variabel yang terdefinisi

fuzzifier = Operator fuzzifikasi yang mematakan himpunan *crisp* ke himpunan *fuzzy*

2.2.8. Defuzzifikasi.

Defuzzifikasi merupakan proses pemetaan himpunan *fuzzy* ke himpunan *crisp*. Proses ini merupakan kebalikan dari proses *fuzzyifikasi* berfungsi untuk mengubah keluaran linguistik ke dalam sinyal keluaran *crisp*(*non fuzzy*).

Proses defuzzifikasi diekspresikan sebagai berikut :

$$y_0 = \text{defuzzifier } (y) \quad (2.28)$$

dengan :

y = aksi kontrol *fuzzy*.

y_0 = aksi kontrol *crisp*.

defuzzifier = operator defuzzifikasi.

Dua metode defuzzifikasi yang umum digunakan adalah :

1. Metode Titik Berat (*Centroid Method/ Center Of Area/Center Of gravity*).

Metode Titik berat menghasilkan titik berat keluaran. Nilai *crisp* yang dihasilkan oleh metode ini adalah (Ross,1995 :136):

$$Z^* = \frac{\int \mu_j(z_j) \cdot z_j dz}{\int \mu_j(z_j) dz} \quad (2.29)$$

dimana :

\int = proses integrasi

Z^* = nilai keluaran kontroler (*crisp*)

$\mu_j(z_j)$ = derajat keanggotaan hasil inferensi *fuzzy* j

2. Metode Rata-Rata Titik Berat (*Weight Average Method*) :

Metode ini didefinisikan sebagai berikut :

$$Z^* = \frac{\sum_{j=1}^n \mu_j(\bar{z}_j) \cdot \bar{z}_j}{\sum_{j=1}^n \mu_j(\bar{z}_j)} \quad (2.30)$$

dengan :

Z^* = nilai keluaran kontroler (*crisp*)

z_j = nilai tengah keluaran tiap fungsi keanggotaan himpunan *fuzzy* j

$\mu_j(z_j)$ = derajat keanggotaan hasil inferensi *fuzzy* j

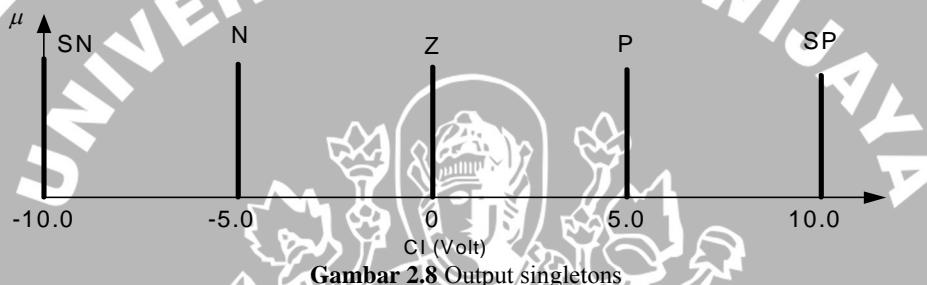
n = jumlah himpunan *fuzzy* j

Pada skripsi ini menggunakan proses defuzzyifikasi metode rata-rata titik berat . *Fuzzy* tunggal (*singletons*) yang mewakili titik berat masing-masing variabel *fuzzy* digunakan pada proses defuzzifikasi yang menggunakan metode rata-rata titik berat. Nilai outputnya dipresentasikan sebagai berikut :

$$Output = \left(\sum (\text{fuzzy output} * \text{output sin gletons}) \right) / \left(\sum \text{fuzzy output} \right) \quad (2.31)$$

Sebagai contoh, didalam gambar 2.8 proses aturan evaluasi menghasilkan 0.3 SN, 0.6 N, dan 0.4 P, maka titik beratnya adalah :

$$Z^* = \frac{((0.3 * -10.0) + (0.6 * -5.0) + (0.4 * 5))}{(0.3 + 0.6 + 0.4)} = -3.07 \text{ Volt}$$



Gambar 2.8 Output singletons

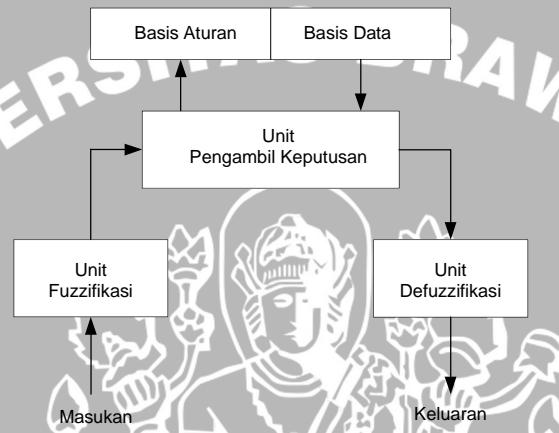
Dalam melakukan keseluruhan proses tersebut di atas beberapa hal penting yang perlu diperhatian, menurut Jun Yan, antara lain :

1. Menentukan jumlah himpunan *fuzzy* biasanya dengan jumlah ganjil, pemilihan sebaiknya 5 atau 7 berkaitan erat dengan jumlah kaidah (*rules*).
2. Mengatur himpunan *fuzzy* agar saling menumpuk
3. Bentuk himpunan fungsi keanggotaan *fuzzy* yang sering digunakan adalah bentuk segitiga atau trapesoidal karena memudahkan dalam perhitungan.
4. Menentukan batas-batas jangkauan dari tiap-tiap himpunan *fuzzy*.

2.2.9. Struktur Kontroler Logika *Fuzzy* Dasar

Kontroler logika *fuzzy* (*fuzzy logic controller*, FLC) menggunakan himpunan, aturan kontrol dan mekanisme inferensi *fuzzy* untuk menentukan aksi kontrol pada *plant*. Aturan kontrol merupakan ekspresi *fuzzy* yang merelasikan logika *fuzzy* masukan kontroler ke nilai keluaran kontroler. Mekanisme pengambil keputusan dengan mengevaluasi kaidah atur kemudian menentukan aksi kontrol yang sesuai.

Kontroler logika *fuzzy* merupakan kontrol dengan *loop* tertutup. Elemen utama kontroler logika *fuzzy* terdiri dari unit fuzzifikasi, unit mekanisme pengambil keputusan (inferensi), unit defuzzifikasi, dan unit basis pengetahuan. Basis pengetahuan dibagi dua yaitu basis data untuk menentukan fungsi keanggotaan himpunan *fuzzy* dan basis aturan untuk memetakan nilai *fuzzy* dari masukan kenilai keluaran. Variabel sistem yang digunakan ada dua, yaitu variabel masukan (E dan CE) dan variabel keluaran (U). Struktur kontroler logika *fuzzy* dasar diperlihatkan dalam gambar 2.9.

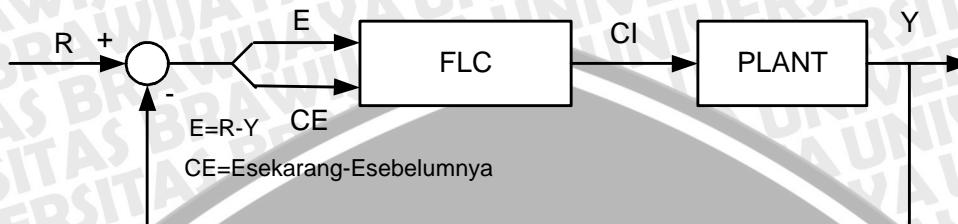


Gambar 2.9 Struktur kontroler logika *fuzzy* dasar
Sumber : Jun Yan, 1994 :47

Nilai keluaran ke dan dari kontroler berbentuk *crisp*, operator fuzzifikasi memetakan *crisp* ke dalam bentuk *fuzzy* dan operator defuzzifikasi memetakan *fuzzy* ke dalam bentuk *crisp*. Basis aturan, proses fuzzifikasi, proses defuzzifikasi telah dijelaskan dalam sub-bab terdahulu. Suatu pengontrolan pada dasarnya bertujuan untuk mengontrol *plant* agar keluaran *plant* yang diinginkan sesuai dengan nilai referensi atau titik acu sehingga *error* atau kesalahan antara refensi dan nilai keluaran *plant* sama dengan nol.

Kaidah atur untuk menentukan aksi kontrol ditentukan dengan menggunakan kaidah atur pendekatan Tabel. Penentuan kaidah atur dengan Tabel dapat dilakukan dengan menggunakan pendekatan *Heuristic*. Metode ini berdasarkan atas pengetahuan terhadap tingkah laku sistem. Dalam teknik kontrol penyusunan aturan-aturan sering kali mengacu pada trajektori bidang fasa sistem dengan lop tertutup. Dengan menggunakan pembagian keanggotaan himpunan *fuzzy* yang tepat untuk variabel masukan dan keluaran maka performansi sistem yang baik dapat terpenuhi.

Suatu sistem dengan *loop* tertutup diperlihatkan dalam gambar 2.10, variabel masukan yang digunakan berupa *error* (E) dan perubahan *error* (CE), sedangkan variabel keluaran berupa masukan (CI).



Gambar 2.10 Sistem kontrol *loop* tertutup dengan FLC

Sumber : Jun Yan, 1994 : 58

Dimisalkan variabel masukan dan variabel keluaran diwakili (N,Z,P) dengan N mewakili negatif, Z mewakili nol, P mewakili positif. Basis aturan untuk pengontrolan ditentukan :

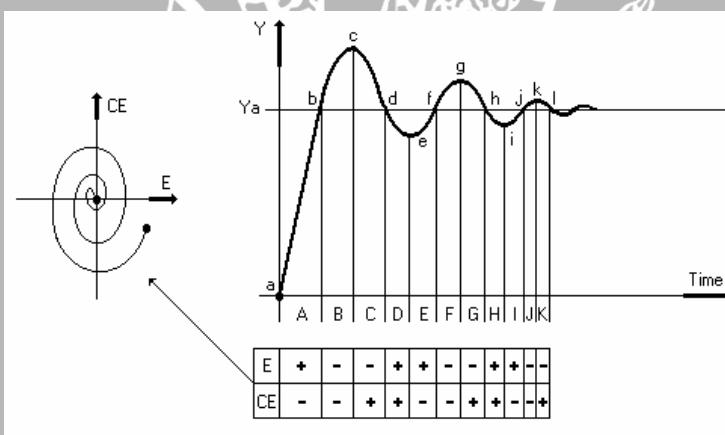
Tipe I, berfungsi untuk memperpendek waktu naik , contoh : titik a

IF E adalah P AND CE adalah Z THEN CI adalah P

Tipe II, berfungsi untuk mengurangi lonjakan yang terjadi, contoh : daerah B

IF E adalah N AND CE adalah N THEN CI adalah N

Keadaan ini ditunjukkan dalam Gambar 2.16



Gambar 2.11 Sistem respon step terhadap waktu dan bidang fasa

Sumber: Jun Yan, 1994 : 59

Dari gambar 2.11 maka kaidah atur yang diperoleh seperti pada Tabel 2.2.

Tabel 2.2 Tabel Kaidah Atur untuk himpunan fuzzy N, Z dan P

Aturan	E	CE	CI	Referensi	Fungsi
1	P	Z	P	titik a, e, i	mengurangi waktu naik
2	Z	N	N	titik b, f, j	mengurangi lonjakan
3	N	Z	N	titik c, g, k	mengurangi lonjakan
4	Z	P	P	titik d, h , l	mengurangi osilasi
5	Z	Z	Z	set point	menghentikan aksi kontrol
6	P	N	P	daerah A, E	mengurangi waktu naik
7	N	N	N	daerah B, F , J	mengurangi lonjakan
8	N	P	N	daerah C, G	mengurangi lonjakan
9	P	P	P	daerah D, H	mengurangi osilasi
10	P	N	Z	daerah I	menghentikan aksi kontrol
11	N	P	Z	daerah K	menghentikan aksi kontrol

Sumber : Jun Yan, 1994 : 59

Jika ditentukan variabel E dan CE dibagi tujuh variabel, Negatif Besar (NB), Negatif Sedang (NS), Negatif Kecil (NK), Sekitar Nol (SN), Positif Kecil (PK), Positif Sedang (PS), dan Positif Besar (PB), maka kaidah atur yang diperoleh diperlihatkan dalam Tabel 2.3

Tabel 2.3 Tabel Kaidah Atur

Aturan	E	CE	CI	Referensi	Fungsi
1	PB	SN	PB	Titik a	Pemendekan waktu naik
2	PS	SN	PS	Titik e	Pemendekan waktu naik
3	PK	SN	PK	Titik I	Pemendekan waktu naik
4	SN	NB	NB	Titik b	Mengurangi lonjakan
5	SN	NS	NS	Titik f	Mengurangi lonjakan
6	SN	NK	NK	Titik j	Mengurangi lonjakan
7	NB	SN	NB	Titik c	Mengurangi lonjakan
8	NS	SN	NS	Titik g	Mengurangi lonjakan
9	NK	SN	NK	Titik k	Mengurangi lonjakan
10	SN	PB	PB	Titik d	Mengurangi osilasi
11	SN	PS	PS	Titik h	Mengurangi osilasi
12	SN	PK	PK	Titik l	Mengurangi osilasi
13	SN	SN	SN	Titik atur	Sistem Dipertahankan
14	PB	NK	PS	Daerah A	Pemendekan waktu naik
15	PK	NB	NS	Daerah A	Mengurangi lonjakan
16	NB	PS	NS	Daerah C	Mengurangi lonjakan
17	NK	PB	PS	Daerah C	Mengurangi osilasi
18	PK	NK	SN	Daerah I	Sistem Dipertahankan
19	NS	PK	SN	Daerah K	Sistem Dipertahankan

Sumber : Jun Yan, 1994 : 60

Dari Tabel 2.3 diperlihatkan bahwa aksi kontrol (CI) merupakan penjumlahan variabel-variabel masukannya. Secara lengkap, kaidah atur diperlihatkan dalam Tabel 6.4. Tabel kaidah atur ini dikenal sebagai kaidah atur Mac Vicar-Whelam. (Jun Yan, 1994 : 61).

Tabel 2.4. Tabel kaidah atur dalam bentuk matrik

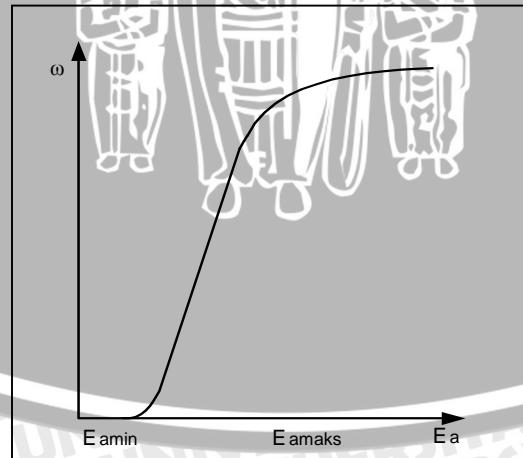
		E	NB	NS	NK	SN	PK	PS	PB
CE	PB	SN	PK	PS	PB	PB	PB	PB	
		NK	SN	PK	PS	PB	PB	PB	
PK	NS	NK	SN	PK	PS	PB	PB	PB	
SN	NB	NS	NK	SN	PK	PS	PB	PB	
NK	NB	NB	NS	NK	SN	PK	PS	PS	
NS	NB	NB	NB	NS	NK	SN	PK	PK	
NB	NB	NB	NB	NB	NS	NK	SN	SN	

2.3. Motor DC Servo

Motor DC tersusun atas 2 bagian, bagian jangkar dan bagian medan. Adanya medan yang berlawanan antara jangkar dan medan inilah yang menyebabkan munculnya torsi pada rotor, sehingga motor berputar. Ditinjau dari cara pengendaliannya, motor DC dibedakan atas 2 tipe, yaitu : motor DC medan tetap (arus medan konstan atau medan magnet permanen) dengan pengendalian arus jangkar dan motor DC arus jangkar tetap dengan pengendalian medan.

Pada sistem pengaturan posisi motor DC Servo ini, yang berfungsi sebagai *plant* adalah rangkaian motor DC medan tetap dengan pengendalian arus jangkar. Di dalam disain pengaturan posisi perlu diketahui karakteristik motor DC. Karakteristik motor DC terhadap perubahan tegangan jangkar diperlihatkan dalam gambar 2.12. Karakteristik ini diperlukan untuk melihat perubahan kecepatan sudut motor DC terhadap perubahan tegangan jangkar.

Di dalam gambar 2.12 tersebut tampak bahwa, pada keadaan tegangan jangkar kurang dari $E_{a \text{ min}}$ motor belum berputar karena energi listrik yang diberikan pada kumparan jangkar belum mampu menggerakan motor dan hanya digunakan untuk membentuk medan, sedangkan tegangan jangkar lebih besar dari $E_{a \text{ maks}}$ kecepatan putaran motor mendekati kecepatan jenuh, karena adanya kejemuhan inti besi rotor serta GGL lawan yang ikut bertambah besar sering dengan bertambahnya kecepatan.



Gambar 2.12 Kurva karakteristik kecepatan putaran poros motor sebagai fungsi tegangan pada kumparan jangkar

Sumber : Kurnianto, 1999:15

Penambahan arus jangkar tidak akan mempercepat putaran motor, bahkan dapat merusak isolasi kawat kumparan jangkar yang cenderung menjadi panas karena adanya arus eddy dan arus berlebihan yang mengalir dalam kawat.

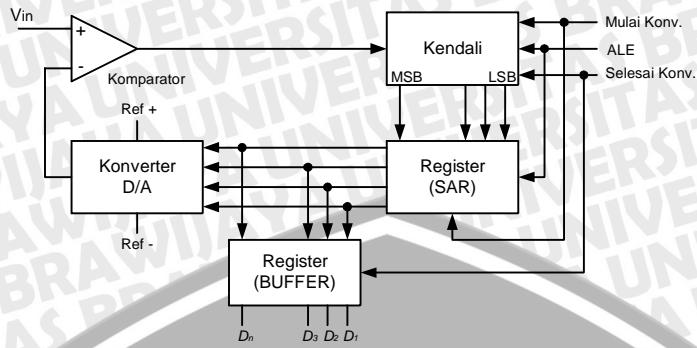
2.4 *Analog to Digital Converter (ADC) Digital to Analog Converter (DAC)*

2.4.1 *Analog to Digital Converter (ADC)*

Fungsi dari ADC adalah untuk menghasilkan kode digital yang mewakili amplitudo tegangan atau arus analog. Ada beberapa metode pengkonversian A/D, namun disini hanya akan membahas tentang konversi A/D dengan metode aproksimasi berturut-turut (*successive approximation method*) saja.

Gambar 2.13 menunjukkan prinsip kerja rangkaian, jika sinyal masukan melalui konversi dari unit kendali diberi logika 0 maka register SAR akan direset. Sehingga keluaran V_{out} unit DAC menjadi nol. Pada waktu sinyal mulai konversi kembali menjadi tinggi operasi konversi segera dimulai.

Proses konversi diawali dengan pengesetan bit paling berarti (MSB) register SAR oleh unit kendali. Selanjutnya data digital dalam regiser SAR dikonversikan ke analog oleh unit DAC. Hasil konversi V_{out} dibandingkan dengan sinyal masukan V_{in} oleh unit pembanding. Bila V_{out} lebih besar V_{in} maka unit pembanding akan mengirimkan sinyal negatif ke unit kendali. Dengan adanya sinyal negatif ini unit kendali akan mereset bit paling berarti (MSB) register SAR. Sebaliknya jika V_{out} lebih kecil dari V_{in} unit pembanding akan mengirimkan sinyal positif ke unit kendali. Dengan sinyal positif ini unit kendali tetap mengeset bit paling berarti (MSB). Dalam pulsa-pulsa *clock* selanjutnya secara berturut-turut bit-bit yang lain akan di set dan diuji sampai nilai V_{in} sama dengan V_{out} . Apabila konversi telah selesai unit kendali mengirimkan sinyal ‘selesai konversi’ yang berlogika rendah.

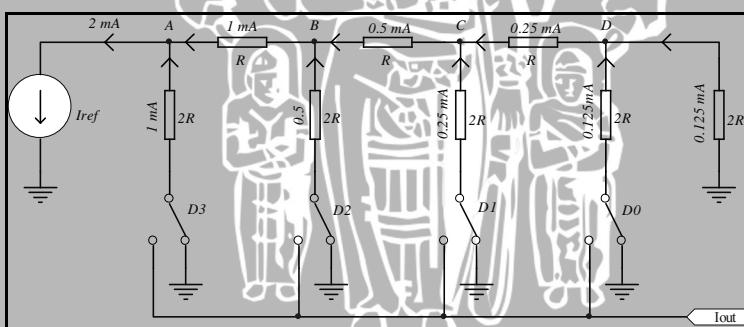


Gambar 2.13 A/D converter metode aproksimasi berturut-turut

Sumber : Malvino, 1988 : 344

2.4.2 Digital to Analog Converter (DAC)

DAC merupakan sebuah konverter yang mengambil harga yang dinyatakan dalam kode digital dan mengubahnya menjadi tegangan atau arus yang sebanding dengan nilai digitalnya tersebut. Sistem yang sering digunakan adalah sistem R-2R yang dilengkapi dengan sumber arus acuan. Suatu tegangan dan hambatan eksternal diperlukan untuk mengatur arus acuan misalnya pada nilai yang minimal 2 mA. Gambar 2.14 menunjukkan diagram blok DAC dengan sistem R-2R.



Gambar 2.14 Diagram Blok DAC dengan Sistem R-2R

Sumber : Malvino, 1991:340

Input-Input digital A, B, C, dan D biasanya diperoleh dari *Output register* suatu sistem digital, $2^4 = 16$. Untuk setiap bilangan *Input*, tegangan *Output* konverter DAC memiliki nilai yang berbeda. Dari contoh arus acuan tersebut sebesar 2mA. Cara kerja rangkaian adalah dengan membagi arus acuan 2 mA yang dapat dijelaskan sebagai berikut. Dari sebelah kanan simpul A dapat dilihat bahwa nilai hambatan ekivalen sebesar 2R. Oleh karena itu arus masukan ke I_{ref}

dibagi rata pada simpul A. Dengan cara yang sama pada simpul B dapat dilihat bahwa terdapat sebuah hambatan $2R$ dalam susunan paralel $2R$ sehingga arus dibagi rata menjadi dua cabang arus masing-masing $0,5\text{mA}$. Proses ini dilanjutkan dengan menelusuri seluruh rangkaian tangga dan akan didapatkan arus yang disalurkan ke dalam tanah bagian atas berturut-turut berharga $1; 0,5; 0,25; 0,125\text{ mA}$.

Untuk menghitung arus keluaran dari salah satu switch yang tertutup menggunakan persamaan berikut :

$$I_{OUT} = \left(D3 + 2^{-1}D2 + 2^{-2}D1 + 2^{-3}D0 \right) \frac{I_{REF}}{2} \quad (2.32)$$

2.5 Realtime Linux

Linux adalah sistem operasi gratis seperti sistem operasi (OS - Operating System) Unix yang dapat dijalankan pada berbagai variasi platform, termasuk PC. Beberapa distribusi *Linux* seperti Red Hat, Debian dan Mandrake sudah dilengkapi OS *Linux* dengan tool, software pengembangan, permainan dan lain sebagainya.

Skeduler *Linux*, seperti OS lainnya Windows atau MacOS, didisain secara rata-rata memiliki respon yang bagus, juga terlihat cepat dan interaktif bila menjalankan beberapa program.

Pada kenyataannya, hal itu tidak dijamin pekerjaan dapat diselesaikan dengan waktu yang ditentukan atau batasan waktu yang sempit. Skeduling yang dapat menjaminnya hanya Sistem Operasi yang mendukung secara realtime (RTOS - Real-time Operating Systems), seperti QNX, LynxOS, atau VxWorks. RTOS secara tipikal digunakan untuk kontrol atau aplikasi komunikasi, tidak sebagai pemroses multiguna seperti OS.

Sekarang ini *Linux* telah diadaptasikan untuk mendukung real-time. Adaptasi ini disebut "RealTime Linux" (RT *Linux*). Beberapa versi dari RT *Linux* telah tersedia secara gratis dan komersial. Dua yang umum telah menyediakan RT *Linux* versi gratis yaitu:

- o Real-Time Application Interface (RTAI), dikembangkan oleh the Milan Polytechnical University dan tersedia di www.aero.polimi.it/~RTAI/

- o RTL, dikembangkan oleh New Mexico Tech dan sekarang dirawat oleh FSM Labs, Inc., versi gratis tersedia di www.rtLinux.org. Versi lainnya yang lebih maju tidak tersedia secara gratis.

Sistem RT *Linux* mengubah (cara patch, istilah *Linux*) kode asli dari kernel *Linux* (*Linux* fresh kernel). Kemudian dikompilasi ulang sehingga menghasilkan kernel *Linux* yang mendukung secara *realtime* dan disebut *realtime Linux*.

Modul RTAI merupakan bagian terpenting dari aplikasi pemrograman realtime *Linux*. Dalam sistem operasi windows, modul sama dengan driver yang mengendalikan perangkat keras. Modul RTAI merupakan pemrograman kernel, artinya program dapat diijinkan mengakses secara langsung dengan kernel kernel RTAI dan bekerja secara real time. Sedangkan program ditingkat user tidak memiliki akses secara langsung dengan kernel, sehingga tidak dijalankan secara real time.

2.5.1 Struktur pemrograman modul RTAI

Struktur pemrograman modul RTAI adalah:

```
#include <.....>
.

.

#define .....
.

.

MODULE_LICENSE("GPL");
EXPORT_NO_SYMBOLS;

static void nama_fungsi (int t)
{
    .....
}

int init_module(void)
{
    .....
}
```

```
void cleanup_module(void)
{
.....
.....
}
```

Sebelum mencoba menuliskan dan mengkompilasi modul sederhana berikut ini, buatlah folder latihan/lat1 dalam folder /usr/src/realtime/RTAI, dengan menggunakan intruksi:

```
root> cd /usr/src/RTAI
root> mkdir latihan
root> cd latihan
root> mkdir lat1
```

2.5.2 Contoh pemrograman modul RTAI

Buatlah program c seperti berikut ini dengan nama file rt_process.c dalam folder /usr/src/realtime/latihan/lat1. Agar mudah diingat, program berupa modul kernel RTAI sebaiknya diberi nama file yang tetap yaitu rt_process.c. Berikut ini program modul RTAI secara sederhana:

```
#include <Linux/module.h>
#include <Linux/kernel.h>

MODULE_LICENSE( "GPL" );
EXPORT_NO_SYMBOLS;

static int output=1;

int init_module(void) {
    printk("Output= %d\n", output);
    printk("Module terpasang...\n");
    return 0;
}

void cleanup_module(void) {
    printk("Selamat tinggal, module dilepas!\n");
}
```

Selanjutnya bila anda ingin memakakan file `rt_process.c` menjadi nama lainnya misalnya `lat1.c` dengan hasil kompilasi `lat1.o`, dibuatkan script kompilasi dengan nama Makefile menggunakan bash. File Makefile ini sama dengan file bat dalam windows.

Penjelasan:

Modul RTAI selalu diawali dengan fungsi `init_module(void)`, akan dipanggil ketika modul dipasang dengan menggunakan perintah `insmod <namamodul>`. Dan diakhiri dengan fungsi `cleanup_module(void)`, akan dipanggil jika modul dilepaskan dengan perintah `rmmmod <namamodul>`.

2.5.3 Proses kompilasi

Sebelum melakukan kompilasi, buatlah file Makefile, masukkan script dibawah ini kemudian simpan dalam folder `/usr/src/realtime/RTAI/latihan/lat1`.

```
MI_OBJS += lat1.o
ifdef TOPDIR
include $(TOPDIR)/Rules.make
else
all:
    make -C .... modules SUBDIRS=latihan/lat1
clean:
    make -C .... subclean SUBDIRS=latihan/lat1
endif

lat1.c: rt_process.c
    ln -sf $< $@
```

Untuk mengkompilasi gunakan instruksi:

```
root> make
```

Untuk membersihkan hasil kompilasi gunakan intruksi:

```
root> make clean
```

Sampai disini dalam folder `/usr/src/realtime/RTAI/latihan/lat1` akan berisi file:

lat1.c lat1.o Makefile rt_process.c

File lat1.o merupakan hasil kompilasi modul RTAI.

2.5.4 Memasang modul

Modul dapat dapat dipasang dalam kernel RTAI dengan intruksi:

```
root> cd /usr/src/realtime/RTAI/latihan/lat1  
root> insmod lat1.o
```

Akan muncul tampilan dalam terminal seperti berikut ini:

```
Output= 1  
Module terpasang...
```

Dari sini nampak bahwa setelah modul dipasang dengan menggunakan intruksi insmod, fungsi init_module(void) dipanggil atau dieksekusi oleh kernel.

Untuk melihat modul yang terpasang dalam kernel gunakan intruksi berikut:

```
root> lsmod
```

Maka akan muncul tampilan dalam terminal seperti berikut ini:

Module	Size	Used by	Not tainted
lat1	908	0	(unused)
autofs	12276	0	(autoclean) (unused)
8139too	17224	1	
mii	3380	0	[8139too]
ext3	64416	1	(autoclean)
jbd	45796	1	(autoclean) [ext3]
keybdev	2720	0	(unused)
mousedev	5204	0	(unused)
input	5088	0	[keybdev mousedev]
hid	10936	0	(unused)
usb-uhci	24940	0	(unused)
usbcore	69920	1	[hid usb-uhci]

Tampilan bisa berbeda pada komputer anda, akan tetapi bisa anda lihat bahwa modul lat1 telah terpasang (cetak tebal dan garis bawah)

2.5.5 Melepas modul

Untuk melepaskan modul anda harus menggunakan intruksi:

```
root> rmmod lat1
```

Setelah modul dilepaskan, fungsi `void cleanup_module(void)` akan dieksekusi sehingga mengeluarkan pesan pada terminal sebagai berikut:

Selamat tinggal, module dilepas!

Karena modul lat1.o tidak dipakai oleh modul-modul yang lainnya, modul ini dapat secara langsung dilepaskan.

2.5.6 Penjelasan program

Berikut ini merupakan penjelasan bagian berbagian program modul RTAI:

```
#include <Linux/module.h>
#include <Linux/kernel.h>
```

Merupakan deklarasi include header module dan kernel.

```
MODULE_LICENSE("GPL");
EXPORT_NO_SYMBOLS;
```

Untuk kernel *Linux* > 2.4.0, diwajibkan disertakan deklarasi "GPL". Jika tidak akan ditampilkan "no license", biasanya modul tidak akan terpakai.

```
static int output=1;
```

Deklarasi variabel output dengan nilai awal 1 jenis integer, sebagai contoh dalam modul ini.

```
int init_module(void) {
    printk("Output= %d\n", output);
    printk("Module terpasang...\n");
    return 0;
}
```

Fungsi yang akan dieksekusi ketika modul dipasang pada kernel dengan perintah `insmod <namamodul>`. Fungsi ini menampilkan string pada terminal dengan menggunakan intruksi `printk` (print kernel).

```
void cleanup_module(void) {
    printk("Selamat tinggal, module dilepas!\n");
}
```

Fungsi yang akan dieksekusi ketika modul dilepaskan dari kernel dengan perintah `rmmmod <namamodul>`. Fungsi ini menampilkan string pada terminal dengan menggunakan intruksi `printk` (print kernel).

BAB III

METODOLOGI

Kajian dalam tugas akhir ini merupakan penelitian yang bersifat aplikatif, yaitu perencanaan dan pembuatan perangkat keras dan lunak sebagai pengendalian posisi sudut motor DC Servo sebagai penerapan kontroler logika *fuzzy*. Langkah-langkah yang perlu dilakukan untuk merealisasikan sistem yang akan dibuat mengikuti prosedur sebagai berikut:

3.1 Studi Literatur

Pada tahap ini, dilakukan pengumpulan data-data dan literatur yang menunjang dalam perencanaan dan pembuatan sistem secara keseluruhan, dengan harapan dapat banyak membantu dalam proses-proses selanjutnya. Adapun data-data yang dibutuhkan dalam penulisan tugas akhir ini adalah antara lain:

- a. Teori logika *fuzzy*
- b. Dasar teori dan prinsip kerja ADC
- c. Dasar teori dan prinsip kerja DAC
- d. Dasar teori dan prinsip kerja motor DC Servo

3.2 Perancangan Sistem

Perancangan sistem dilakukan sebagai langkah awal sebelum terbentuknya suatu sistem beserta subsistem pendukungnya, hal ini dimaksudkan agar sistem yang dibuat dapat berjalan sesuai dengan deskripsi awal yang telah direncanakan.

Perancangan sistem yang dilakukan meliputi:

- Perancangan spesifikasi perangkat keras yang akan dibuat, meliputi:
 - a. Perancangan rangkaian ADC.
 - b. Perancangan rangkaian DAC.
- Pendeskripsian dan pembuatan perangkat lunak berbasis PC (*Personal Computer*) menggunakan bahasa pemrograman C.

3.3 Realisasi Pembuatan Sistem

Setelah melalui proses perancangan sistem, langkah selanjutnya adalah merealisasikan hasil dari rancangan yang telah dibuat menjadi *Hardware* yang sesungguhnya serta memasukkan program yang telah dibuat tersebut ke dalam sistem secara keseluruhan. Bahasa pemrograman yang digunakan dalam perangkat ini adalah bahasa *pemrograman C*.

Realisasi pembuatan sistem yang dilakukan meliputi:

- Pembuatan mekanik sistem secara keseluruhan yang meliputi penempatan motor DC Servo dan komponen pendukung lainnya.
- Mengisi dan menjalankan program yang telah dirancang sebelumnya pada sistem.

3.4 Pengujian Sistem

Pengujian ini dilakukan untuk mengetahui apakah sistem secara keseluruhan telah bekerja sesuai dengan yang direncanakan sebelumnya. Pengujian terhadap sistem dilakukan secara bertahap meliputi :

1. Pengujian perangkat keras yaitu :
 - Pengujian ADC, dilakukan dengan memberi masukan serta menguji keluaran pada ADC.
 - Pengujian DAC, dilakukan dengan memberi data masukan serta mengukur keluaran pada DAC.
2. Pengujian alat secara keseluruhan terhadap kontroler logika *fuzzy* dengan mencetak respon keluaran sistem pada *plant* dengan tanpa gangguan, dengan merubah *set point*.

3.5 Pengambilan Kesimpulan

Kesimpulan diambil berdasarkan data yang diperoleh dari pengujian sistem secara keseluruhan. Jika hasil yang didapatkan telah sesuai dengan yang direncanakan sebelumnya, maka sistem kendali tersebut telah berhasil memenuhi harapan dan tentunya memerlukan pengembangan lebih lanjut untuk penyempurnaan.

BAB IV

PERANCANGAN SISTEM

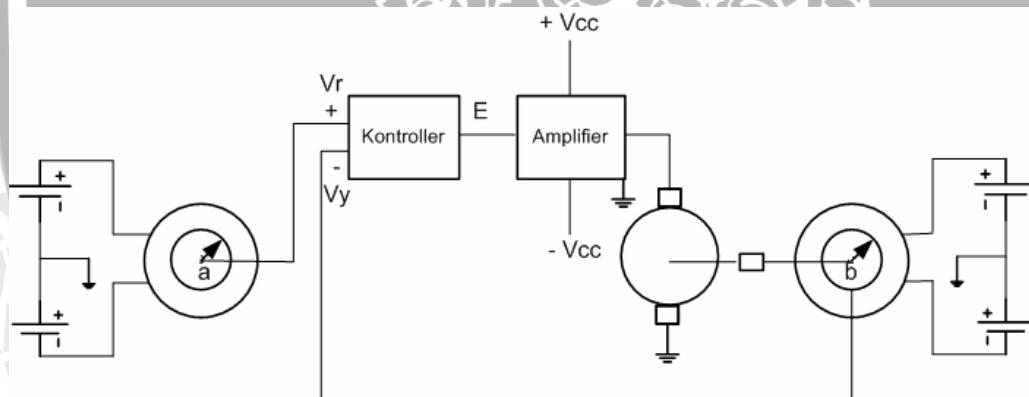
4.1 Umum

Bab ini dibahas tentang perancangan perangkat keras yang terdiri perancangan rangkaian ADC, rangkaian DAC, dan *power amplifier* dan perancangan perangkat lunak, terdiri dari proses komunikasi antara komputer dengan rangkaian ADC/DAC, pengendalian dengan kontroler logika fuzzy dengan memanfaatkan modul *Realtime Linux* (RTL), sedangkan untuk *power amplifier* menggunakan modul lab sistem pengendalian yaitu *power amplifier* 734-13.

Berdasarkan teori di bab II, seluruh algoritma pemrograman dalam sistem ini ditulis dalam bahasa pemrograman C menggunakan sistem operasi RTL.

4.2 Prinsip Kerja Pengendalian Posisi Motor DC Servo

Sistem pengendalian posisi motor Servo DC diperlihatkan dalam Gambar 4.1



Gambar 4.1 Sistem pengendalian posisi

Sumber : Kurnianto, 1999 :29

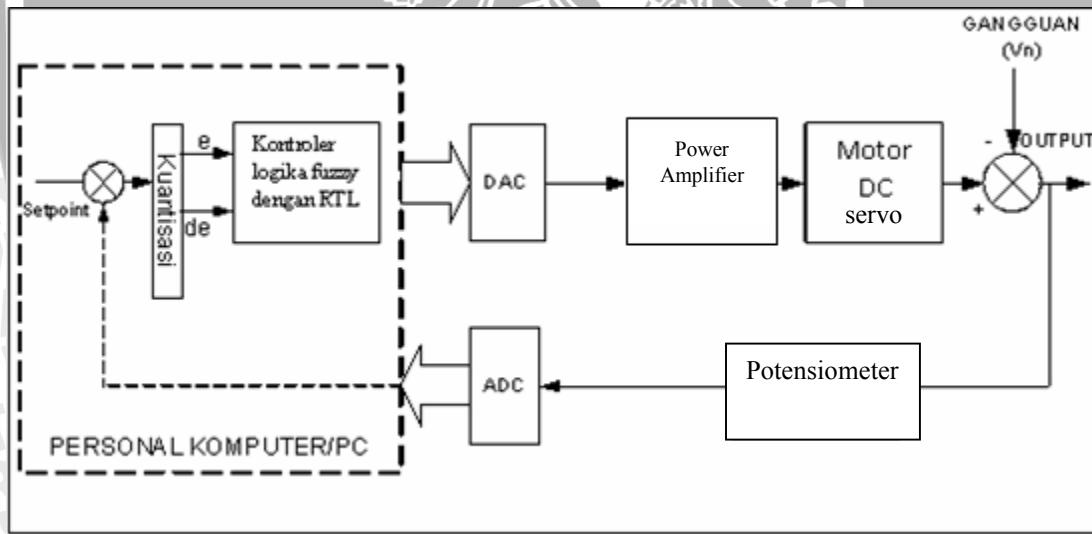
Prinsip kerja sistem pengendalian posisi motor DC Servo dalam Gambar 4.1, tegangan referensi mewakili posisi referensi yang diinginkan dibandingkan dengan keluaran sensor posisi berupa potensiometer yang merubah posisi aktual menjadi besaran elektrik. Masing-masing potensiometer, kedua ujungnya dihubungkan dengan tegangan referensi. Beda posisi referensi (tegangan referensi) dengan posisi sesungguhnya (tegangan keluaran sensor posisi) berupa sinyal *error* (*e*), dikuatkan untuk mengendalikan motor Servo DC mencapai posisi yang diinginkan . Jika posisi aktual

telah sama dengan posisi referensi maka tujuan pengendalian telah tercapai dan keadaan ini dipertahankan oleh pengendali.

4.3 Diagram Blok Sistem

Diagram blok perancangan alat keseluruhan sistem dapat dilihat seperti dalam gambar 4.2.

1. Personal Komputer (PC), untuk mengolah data *error* (*Setpoint* (PC) – *output* ADC) dengan menggunakan logika *fuzzy*.
2. ADC, untuk mengubah tegangan analog ke bentuk data digital 12 bit untuk diproses lebih lanjut.
3. DAC, untuk mengubah data hasil pengolahan komputer ke bentuk tegangan analog.
4. *Power amplifier*, sebagai penyangga tegangan analog dari DAC untuk menggerakkan motor.
5. Potensiometer, untuk mengubah keluaran motor Servo DC yaitu besaran sudut (derajat) menjadi besaran elektrik berupa tegangan dc (volt).



Gambar 4.2 Blok Diagram Perangkat Keras Sistem Pengendalian Motor Servo DC

4.4 Prinsip Kerja Blok Diagram Perangkat Keras Sistem

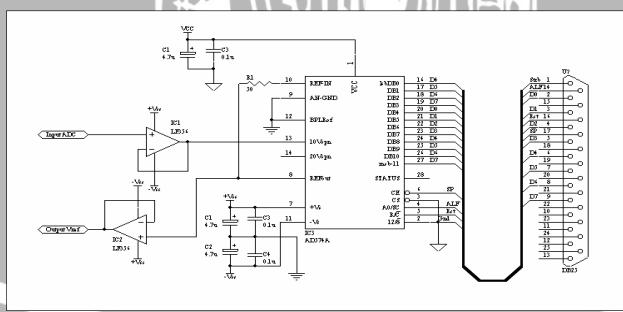
Personal Komputer mengolah sinyal (yaitu selisih antara *Setpoint* (PC) dengan *output ADC,12 bit*) dengan menggunakan logika *fuzzy RTL* kemudian hasilnya berupa sinyal kontrol diubah kedalam sinyal analog oleh DAC dan dikurangkan dengan sinyal gangguan kemudian dikuatkan oleh *power amplifier* untuk memberikan arus pada kumparan jangkar motor.

4.5 Perancangan Perangkat Keras Sistem

Peralatan yang direncanakan ini berfungsi untuk mengolah besar tegangan masukan yang dikenakan pada *input* ADC , yang mewakili nilai *error*, untuk mengatur kecepatan motor DC. Peralatan ini bekerja sepenuhnya dengan bantuan personal komputer sebagai pengolah data *input*. Seperti pada gambar 4.2, perangkat keras dalam sistem ini terdiri dari :

4.5.1 *Analog to Digital Converter (ADC)*

Rangkaian ADC digunakan untuk mengkonversi tegangan keluaran dari sensor dengan range 0 sampai 10 volt menjadi data digital. Dalam perancangan ini digunakan IC AD 574A. AD 574A memiliki resolusi 12 bit dengan metode aproksimasi berturut-turut. Secara umum keunggulan AD 574 adalah memiliki clock dan tegangan referensi internal sehingga hanya membutuhkan sedikit komponen eksternal. Keunggulan yang lain adalah waktu konversi 35 μ s dan antarmuka bus 8 dan 16 bit. Rangkaian ADC selengkapnya dapat dilihat dalam Gambar 4.3



Gambar 4.3 Rangkaian ADC

Sumber : Perancangan

AD574 memiliki 2 masukan analog yaitu 10 Volt dan 20 Volt. Range tegangan dari sensor 0 sampai 10 Volt, sehingga masukan yang digunakan adalah masukan 10

Volt. Masukan analog AD574 memiliki impedansi yang rendah sehingga agar sumber input tidak terbebani, pada input AD574 dipasang rangkaian buffer menggunakan op-amp. AD574 tidak memiliki rangkaian *sample and hold* internal. Saat proses konversi, masukan pada ADC tidak boleh berubah lebih dari 1 LSB, atau sebesar:

$$1\text{LSB} = \frac{V_{ref}}{2^n} = \frac{10\text{V}}{2^{12}} = 2,44\text{mV} \quad (4.1)$$

Dari hasil pengukuran, diperoleh data kecepatan perubahan tegangan (v) pada sensor yang sebanding dengan kecepatan maksimum motor adalah 6,5 V/detik. Sehingga selama waktu konversi 35 μs , terjadi perubahan tegangan sebesar :

$$v = \frac{\Delta V}{\Delta t} \quad (4.2)$$

$$\Delta V = v \cdot \Delta t$$

$$\Delta V = 6,5\text{V} \cdot 35\mu\text{s} = 227,5\mu\text{V}$$

Nilai ΔV masih dibawah 1LSB sehingga ADC dapat digunakan tanpa rangkaian *sample and hold*. AD 574 memiliki dua mode keluaran yaitu 12 bit dan 8 bit. Karena lebar data port LPT hanya 8 bit maka mode keluaran AD 574 yang digunakan adalah 8 bit. Pada mode 8 bit, 4 pin LSB ($DB_3 - DB_0$) dimultiplex dengan 4 pin MSB ($DB_{11} - DB_8$). Pada pembacaan data konversi jika $A_0 = "0"$ data yang terbaca adalah data $DB_{11} - DB_4$. Saat $A_0 = "1"$ data yang terbaca adalah $DB_3 - DB_0$ dan 4 keluaran “0” pada 4 LSB.

Untuk melakukan proses konversi 12 bit, dikondisikan $A_0 = 0$ dan $R/\bar{C} = 0$. Setelah itu ADC diaktifkan dengan memberikan logika 1 pada CE. Proses konversi mulai berjalan dan akan memakan waktu maksimum 35 μs . Setelah proses konversi selesai, hasil konversi dapat dibaca dengan memberikan logika 1 pada R/\bar{C} dan CE. Dengan masukan 12/8 dihubungkan ke ground, saat $A_0 = 0$ yang terbaca pada keluaran data ADC adalah 8 data MSB dan saat $A_0 = 1$ yang terbaca pada keluaran data ADC adalah 4 data LSB + 4 *trailing zeroes*. Tabel kebenaran dapat dilihat pada Tabel 4.1 (Analog Device : 48).

Tabel 4.1. Tabel kebenaran AD574

CE	\overline{CS}	R/\overline{C}	$12/\overline{8}$	A_0	Operation
0	X	X	X	X	None
X	1	X	X	X	None
1	0	0	X	0	Initiate 12-bit Conversion
1	0	0	X	1	Initiate 8-bit Conversion
1	0	1	Pin 1	X	Enable 12-bit Parallel Output
1	0	1	Pin 15	0	Enable 8 Most Significant Bits
1	0	1	Pin 15	1	Enable 4 LSB's + 4 Trailing Zeros

Sumber : Analog Device : 48

4.5.2 Digital to Analog Converter (DAC)

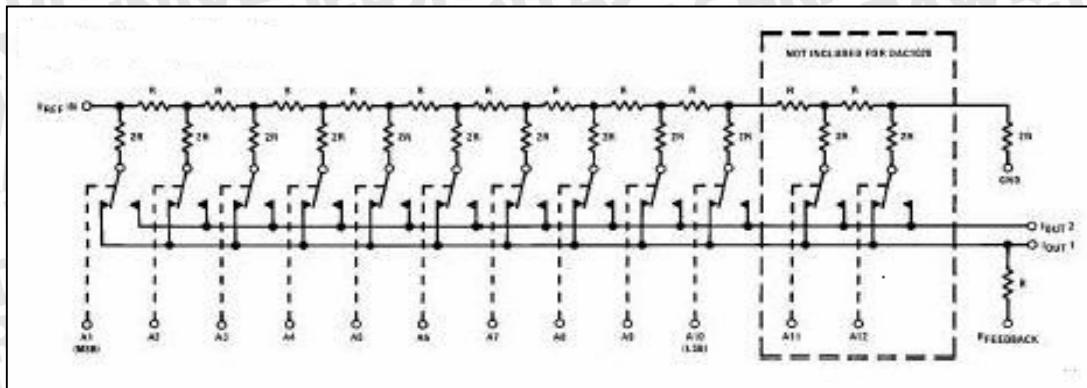
Rangkaian DAC digunakan untuk mengubah data digital menjadi tegangan dengan range antara -10V sampai 10V. DAC yang digunakan adalah IC DAC 1220. DAC 1220 menggunakan metode R-2R dengan resolusi 12 bit. Jika I_{out1} dan I_{out2} dihubungkan ke ground, maka keluaran I_{out1} adalah :

$$I_{out1} = \frac{V_{ref}}{2R} A_1 + \frac{V_{ref}}{2^1 \cdot 2R} A_2 + \frac{V_{ref}}{2^2 \cdot 2R} A_3 + \dots + \frac{V_{ref}}{2^{11} \cdot 2R} A_{12} \quad (4.3)$$

$$I_{out1} = \frac{V_{ref}}{R} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{12}}{4096} \right) \quad (4.4)$$

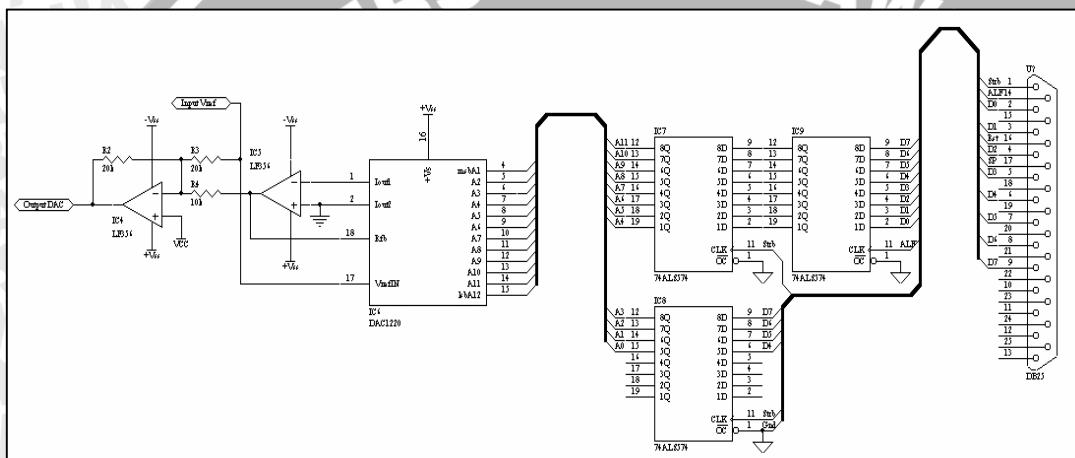
dengan R antara $10k\Omega$ sampai $20k\Omega$

Pada perancangan ini, Vref yang digunakan adalah keluaran V_{ref} ADC yang dibuffer agar tidak membebani ADC. Untuk mendapatkan keluaran tegangan digunakan konverter arus ke tegangan seperti dalam gambar 4.4.



Gambar 4.4 Rangkaian ekivalent IC DAC 1220

Sumber : National Semiconductor : 1



Gambar 4.5 Rangkaian DAC

Sumber : Perancangan

Tegangan pada input *inverting* pada rangkaian hampir mendekati 0 Volt terhadap ground sehingga membentuk *virtual grounding*. DAC1220 mempunyai $R_{Feedback}$ internal sebesar R , sehingga variasi harga R tidak akan berpengaruh pada keluaran. Keluaran konverter arus ke tegangan (V_A) adalah:

$$V_A = -I_{outDAC} \cdot R \quad (4.5)$$

$$V_A = -V_{ref} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{12}}{4096} \right)$$

Range tegangan keluaran dari konverter arus ke tegangan antara 0 Volt (data 000h) sampai mendekati -10 Volt (data FFFh). Agar range keluaran menjadi -10 Volt (data 000h) sampai mendekati 10 Volt (data FFFh), tegangan V_a diperkuat minus dua kali lalu

dikurangi 10 Volt. Untuk itu digunakan penguat penjumlahan inverting. Untuk mengurangi 10 Volt digunakan tegangan referensi DAC, sehingga keluaran rangkaian DAC menjadi :

$$V_{out} = -\left(\frac{R_2}{R_4}V_A + \frac{R_2}{R_3}V_{ref}\right) \text{ dengan } \frac{R_2}{R_4} = 2 \text{ dan } \frac{R_2}{R_3} = 1 \quad (4.6)$$

Jika ditentukan $R_2 = 20k\Omega$ maka $R_4 = \frac{1}{2}R_2 = 10k\Omega$ dan $R_3 = R_2 = 20k\Omega$

Data masukan DAC1220 memiliki lebar data 12 bit. Karena port LPT hanya memiliki lebar 8 bit, maka keluaran dari port LPT tidak langsung dihubungkan ke DAC tetapi dihubungkan terlebih dahulu ke rangkaian *latch* seperti dalam Gambar 4.6. *Latch* tambahan, IC-7 dan IC-8 diperlukan agar data 8 MSB dan 4 LSB dapat masuk ke input DAC secara bersamaan.

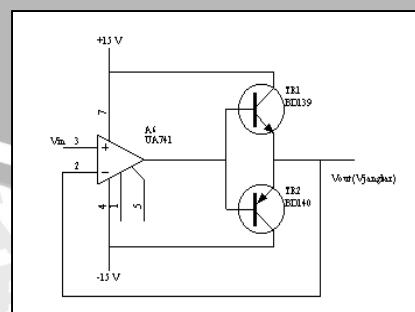
Untuk mengeluarkan data ke DAC, pertama-tama 8 data MSB dikeluarkan lewat jalur data LPT ke latch IC-9. Setelah itu latch IC-9 diaktifkan dengan memberikan pulsa high pada pin ALE. Kemudian 4 data LSB dikirim lewat 4 jalur data MSB pada LPT dan dikirim ke latch IC-8. Pada akhirnya IC-7 dan IC-8 diaktifkan dengan memberikan pulsa high pada pin ALE port kontrol LPT.

4.5.3 Power amplifier

Sebagai penguat daya power amplifier hanya melakukan penguatan arus sedangkan pengutan tegangannya adalah satu. Rangkaian hanya terdiri dari 2 buah transistor NPN dan PNP yang dirangkai seperti dalam gambar 4.5 dan sebuah OP-AMP yang dirangkai sebagai penguat tak membalik dengan pengutan satu. Kedua transistor bekerja bergantian, tergantung pada basis transistornya.

Rangkaian *power amplifier* dalam gambar 4.6 berlaku rumus :

$$\beta = \frac{IC}{IB} \quad (4.7)$$

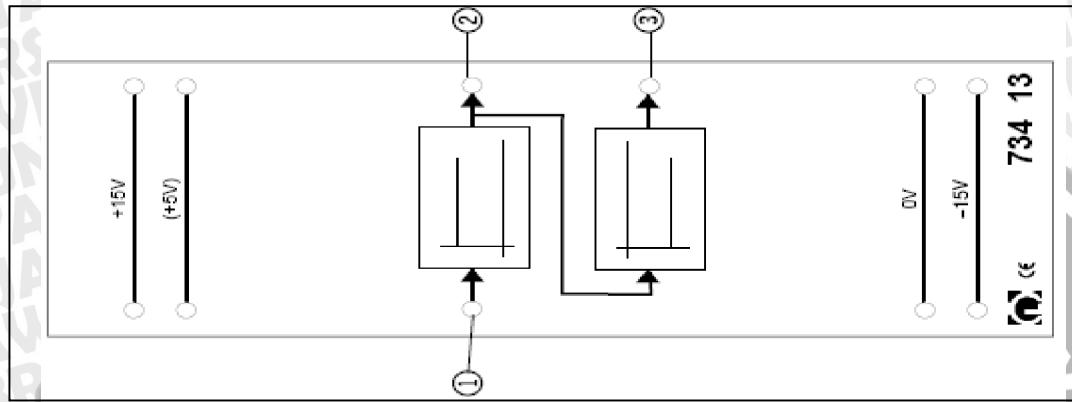


Gambar 4.6. Rangkaian *power amplifier*

Sumber : Kurnianto :44

4.5.3.1 Power Amplifier 734-13

Power Amplifier 734-13 terdiri dari dua penguat cascade, dimana didalam modul terdapat dua buah bagian penguatan yaitu penguat inverting dan penguat non-inverting dengan beda fasa sebesar 180° . selengkapnya dapat dilihat dalam gambar 4.8 berikut ini :



Gambar 4.7. Power Amplifier 734-13

Sumber : www.leybold.com

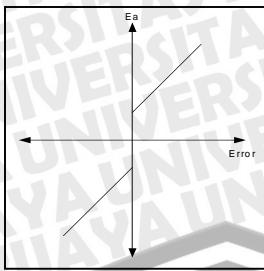
Power Amplifier 734-13 memiliki impedansi keluaran (R_L) = 23 K Ω dan impedansi masukan (R_e) = 4.7 K Ω dengan daya maksimum (P_L) = 8 W, serta membutuhkan tegangan masukan sebesar ± 15 V, dengan signal range input dan output sebesar ± 10 V.

4.6 Perancangan Kontroler Fuzzy

Variabel masukan kontroler fuzzy adalah sinyal (*error*, E) dan perubahan kesalahan (*change of error*, CE), keluaran kontroler merupakan variasi perintah yang disusun melalui logika sebagai berikut [Jun Yan :59]

- ❑ Jika keluaran kontroler memiliki nilai yang diinginkan dan perubahan *error* sama dengan nol, maka keluaran *Fuzzy Logic Controller*(FLC) sebelumnya dipertahankan.
- ❑ Jika keluaran tidak sesuai dengan yang diharapkan, aksi kontrol tergantung pada nilai *error* (E) dan perubahan *error* (CE)

Kecepatan putaran motor sebanding dengan besarnya *error*.



Gambar 4.8 Kurva karakteristik tegangan jangkar terhadap error.

Sumber : Kurnianto : 1999: 31

Berdasarkan kurva karakteristik kecepatan motor DC terhadap perubahan tegangan jangkar, tegangan jangkar sebanding dengan kecepatan putaran motor, semakin besar tegangan jangkar maka kecepatan motor semakin besar. Tetapi pada tegangan jangkar antara -1 dan 1 volt motor tidak berputar *dan* semakin positif *error*, tegangan jangkar semakin positif *serta* semakin negatif *error*, tegangan jangkar semakin negatif. Kurva karakteristik tegangan jangkar terhadap *error* diperlihatkan dalam gambar 4.8.

Kaidah atur yang digunakan dalam kontroler *fuzzy* ini adalah :

Aturan ke-*i* : Jika (E adalah E_i) dan (CE adalah CE_i) maka (CI adalah CI_i)

Tabel 4.2 Kaidah atur mekanisme *fuzzy*.

		<i>CError</i>				
		SN	N	Z	P	SP
Error	SN	SN (1)	SN (2)	SN (3)	N (4)	Z (5)
	N	SN (6)	SN (7)	N (8)	Z (9)	P (10)
	Z	SN (11)	N (12)	Z (13)	P (14)	SP (15)
	P	N (16)	Z (17)	P (18)	SP (19)	SP (20)
	SP	Z (21)	P (22)	SP (23)	SP (24)	SP (25)

Berdasar Tabel 4.2 dalam kaidah atur yang digunakan adalah 25 kaidah atur, yaitu :

Aturan ke-1 : IF (E adalah SN) AND (CE adalah SN) THEN (CI adalah SN)

Aturan ke-2 : IF (E adalah SN) AND (CE adalah N) THEN (CI adalah SN)

Aturan ke-3 : IF (E adalah SN) AND (CE adalah Z) THEN (CI adalah SN)

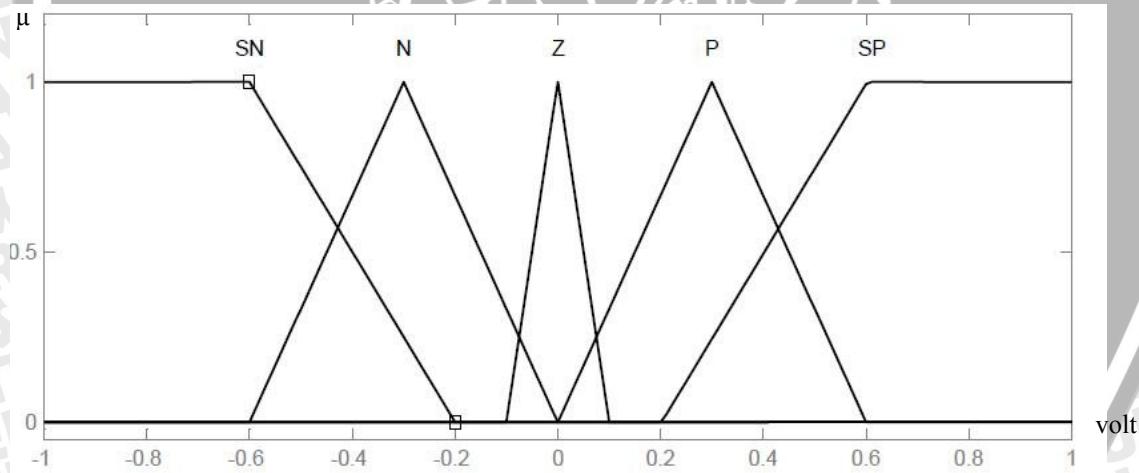
Aturan ke-25 : IF (E adalah SP) AND (CE adalah SP) THEN (CI adalah SP)

Semesta pembicaraan untuk kaidah atur kontroler *fuzzy* dibagi sebagai berikut:

□ *Error (Kesalahan,E)*

Kesalahan ini merupakan selisih antara posisi aktual *plant* dengan posisi referensi yang telah diubah ke dalam besaran tegangan. Fungsi keanggotaan *error* terdiri dari lima bagian dengan jelajah yang dicapai adalah -1V sampai 1V, yaitu Sangat Negatif (SN), Negatif (N), Z (Zero), Positif (P), Sangat Positif (SP). Nilai *error* lebih kecil -1V nilai kebenarannya satu ($\mu_{SN}=1$) dan nilai *error* lebih besar 1V nilai kebenarannya juga satu ($\mu_{SP}=1$). Dengan semesta pembicaraan tersebut nilai *error* 1V keatas akan menyebabkan tegangan jangkar motor berada pada tegangan nominalnya sehingga pencapaian posisi yang diinginkan, lebih cepat tercapai dibanding jika tegangan nominal terjadi pada saat nilai *error* sebesar 1V atau semesta pembicaraannya -1V sampai 1V.

Besarnya Z pada fungsi keanggotaan *Error* dibuat sempit agar SN maupun SP besar sehingga akan mempercepat mencapai nilai yang diharapkan, juga P dan N mendekati nilai 0V sebagai langkah pendekatan agar sesuai dengan gambar 4.9 dan untuk menekan overshoot yang timbul. Fungsi keanggotaan *Error* dapat dilihat dalam gambar 4.9

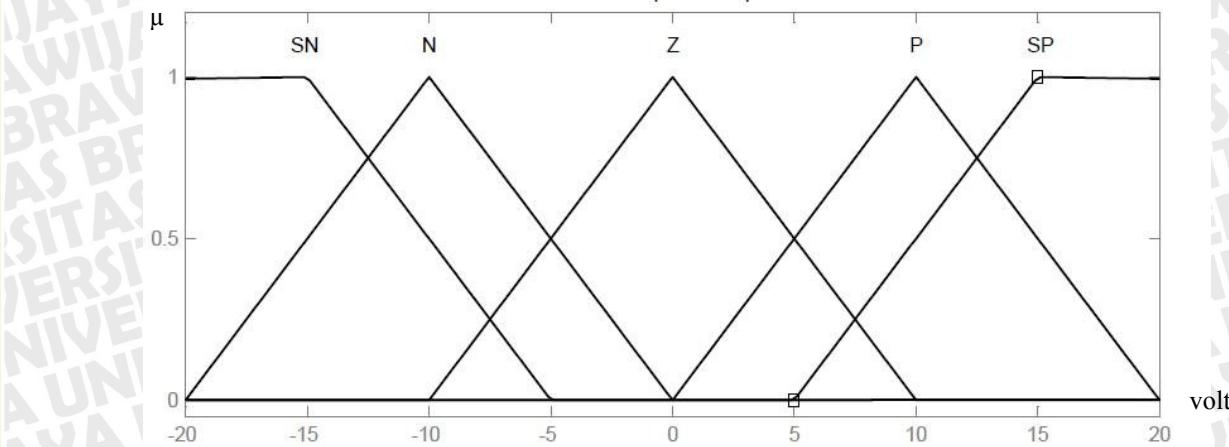


Gambar 4.9 Fungsi keanggotaan *Error* fuzzy.

Sumber : Perancangan

□ *Perubahan error (CE)*

Perubahan *Error* merupakan selisih *error* sekarang dengan *error* sebelumnya. Fungsi keanggotaan ini terdiri lima bagian, jelajah yang dicapai -2V sampai 2V yaitu Sangat Negatif (SN), Negatif (N), Z (Zero), Positif (P), Sangat Positif (SP). Fungsi keanggotaan Perubahan error (CE) dapat dilihat pada gambar 4.10.

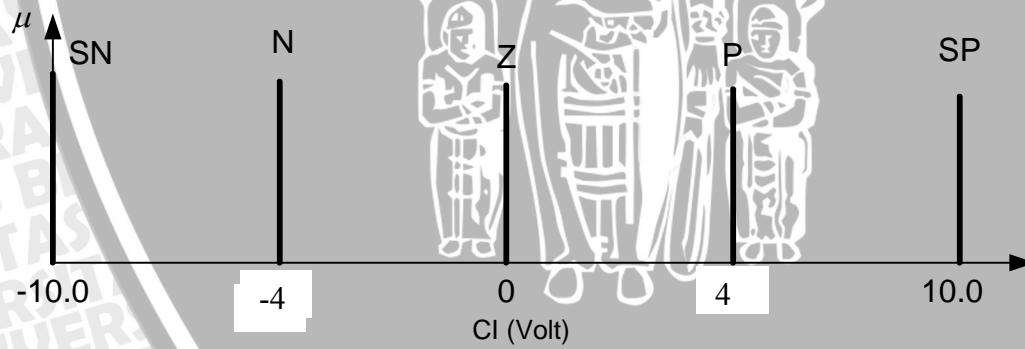


Gambar 4.10 Fungsi keanggotaan perubahan error (CE) fuzzy

Sumber : Perancangan

□ Keluaran Kontroler CI

Himpunan semesta keluaran kontroler dibagi dalam lima bagian dengan jelajah yang dicapai adalah -10 V sampai 10 V , sesuai dengan tegangan kerja motor DC (plant), yaitu Sangat Negatif (SN), Negatif (N), Z (Zero), Positif (P), Sangat Positif (SP). Fungsi keanggotaan keluaran kontroler dalam gambar 4.11.



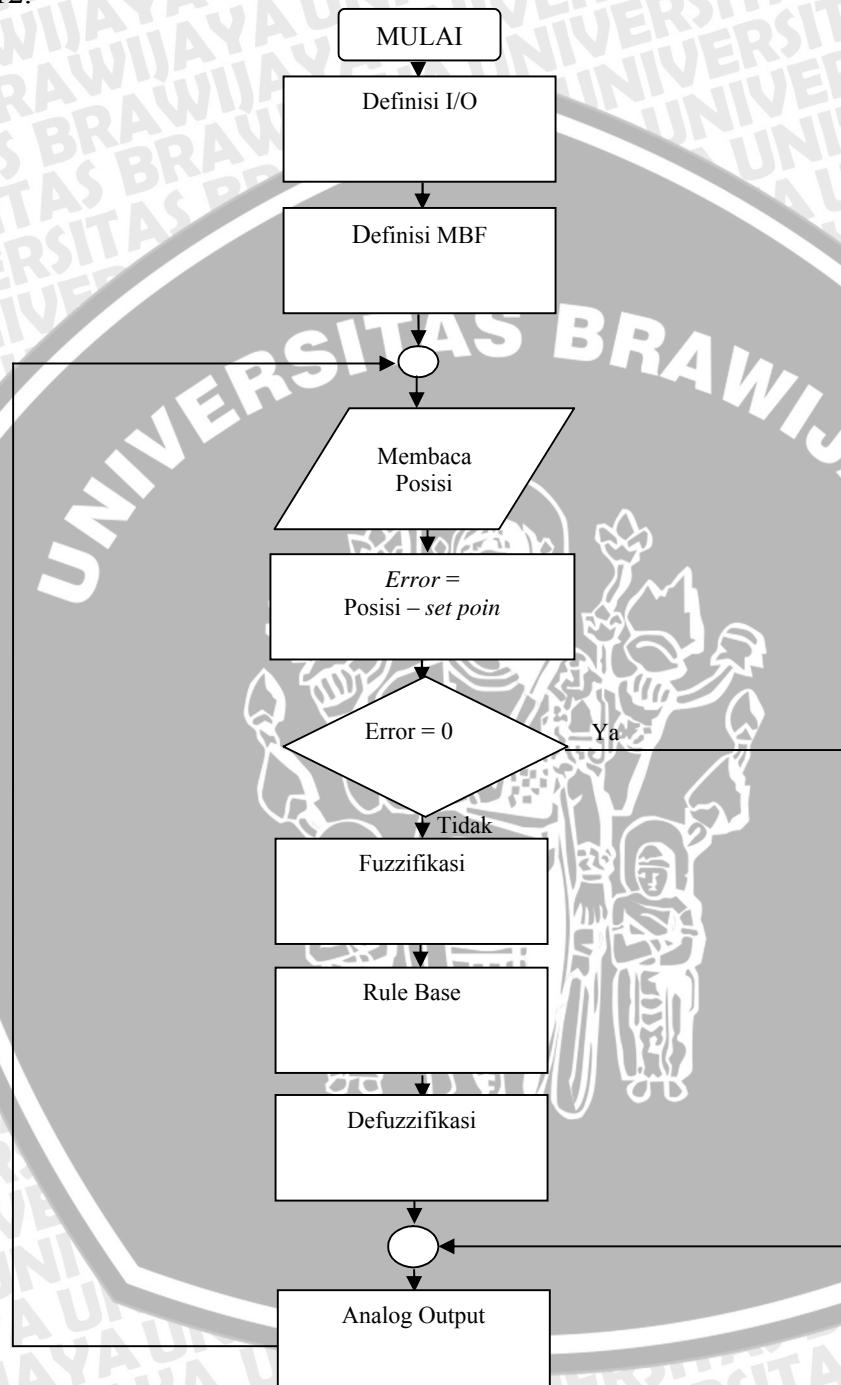
Gambar 4.11 Fungsi keanggotaan keluaran (CI) .

Sumber : Perancangan

Keluaran kontroler Ci didefuzzifikasi dengan menggunakan metode titik berat seperti pada bab II sebelumnya.

4.7 Perencanaan Perangkat Lunak

Diagram alir perancangan perangkat lunak secara garis besar dapat dilihat dalam Gambar 4.12.



Gambar 4.12. Diagram Alir Pemrograman Fuzzy Secara Umum

Sumber : Perancangan

BAB V

PENGUJIAN DAN ANALISIS SISTEM

5.1 Umum

Dalam bab ini dibahas pengujian peralatan yang telah dibuat. Pengujian ini bertujuan untuk mengamati hasil perencanaan dan pembuatan alat yang telah dibahas dalam bab IV, yang meliputi pengujian perangkat keras dan perangkat lunak. Pengujian perangkat keras dilakukan pada tiap blok sehingga apabila terjadi kesalahan akan segera diketahui secara pasti.

5.2 Pengujian ADC

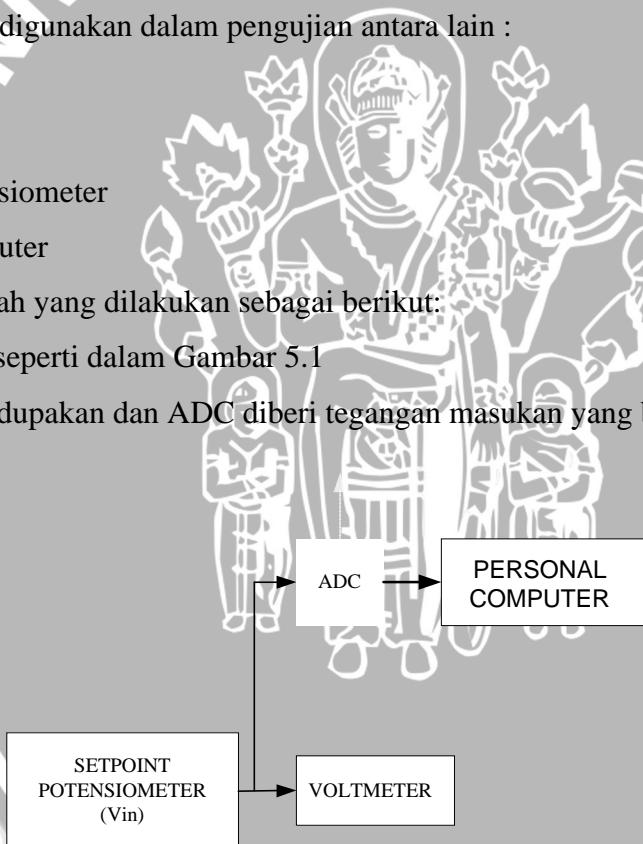
Tujuan pengujian ini adalah mengetahui perubahan keluaran ADC untuk tegangan masukan yang bervariasi.

Peralatan yang digunakan dalam pengujian antara lain :

1. Catu daya
2. Voltmeter
3. Setpoint Potensiometer
4. Personal Computer

Langkah-langkah yang dilakukan sebagai berikut:

1. Alat dirangkai seperti dalam Gambar 5.1
2. Rangkaian dihidupkan dan ADC diberi tegangan masukan yang berbeda-beda



Gambar 5.1 Rangkaian pengujian ADC

Tabel 5.1 Hasil Pengujian ADC

Vinput (Volt)	Keluaran	
	Heksa	Desimal
0	000	0
1.5	268	616
3	4D3	1235
4.5	73A	1850
6	9A3	2467
7.5	C06	3078
9	E74	3700
10	FFF	4095

Hasil pengujian keluaran ADC apabila dibandingkan dengan hasil perhitungan, maka apabila diperoleh keluaran = 268_H atau 616 akan menghasilkan $E_{in} = V_{ref} \times (\frac{d}{2^{12}})$,

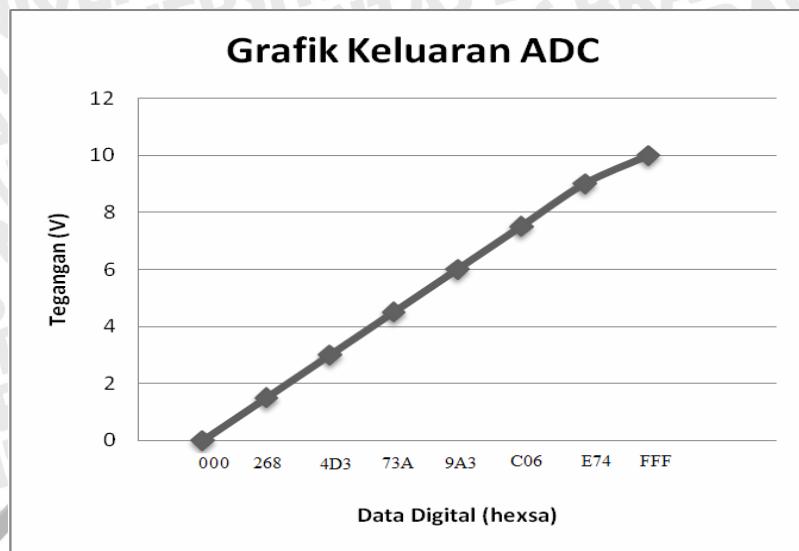
$$\text{tegangan input } E_{in} = 10 \times \left(\frac{616}{2^{12}}\right) = 1.504V$$

Dengan cara yang sama, untuk masukan-masukan yang lain dapat dilihat dalam Tabel 5.2

Tabel 5.2. Tabel hasil perhitungan ADC

Keluaran (desimal)	Vinput (Volt)
0	0.00
616	1.50
1235	3.00
1850	4.50
2467	6.00
3078	7.50
3700	9.00
4095	9.99

Berdasarkan perbandingan tersebut dapat disimpulkan bahwa ADC telah bekerja sebagaimana mestinya.



Gambar 5.2 Grafik keluaran ADC

Sumber : Pengujian

5.3 Pengujian DAC

Tujuan pengujian ini adalah mengetahui perubahan keluaran DAC untuk logika masukan yang bervariasi

Peralatan yang digunakan dalam pengujian antara lain :

1. Catu Daya
2. Voltmeter
3. Personal Computer

Langkah-langkah yang dilakukan dalam pengujian sebagai berikut :

1. Alat dirangkai seperti dalam Gambar 5.3.
2. Rangkaian dihidupkan dan komputer melalui program interfacing tampil tegangan keluaran pada voltmeter digital.



Gambar 5.3 Rangkaian pengujian DAC

Tabel 5.3 Tabel hasil pengujian DAC

Input		V _{OUT}
heksa	desimal	(Volt)
FFF	4095	9.99
DFF	3583	7.50
BFF	3071	4.99
9FF	2559	2.49
7FF	2047	0.00
5FF	1535	-2.50
3FF	1023	-5.00
1FF	511	-7.50
000	0	-9.99

Hasil Pengujian DAC dalam Tabel 5.3 dibandingkan dengan hasil perhitungan,

$$\text{nilai logika input } 1FF \text{ atau } 511 \text{ akan menghasilkan } E_0 = 2 \times V_{ref} \left(\frac{d}{2^{12}} \right) - 10 ,$$

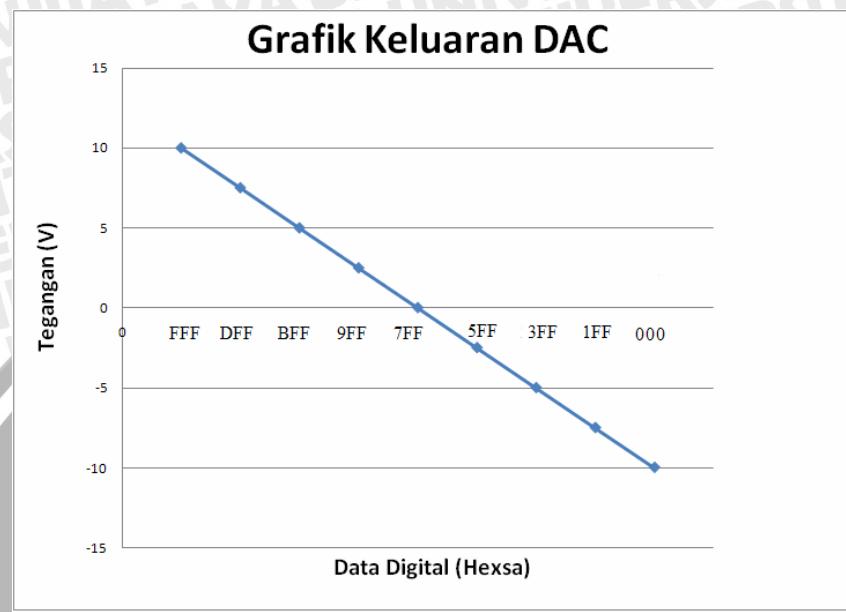
$$\text{Tegangan output: } E_0 = 2 \times 10 \times \left(\frac{511}{2^{12}} \right) - 10 = -7.505 . \text{ Dengan cara yang sama,}$$

untuk masukan-masukan yang lain dapat dilihat dalam Tabel 5.4

Tabel 5.4 Tabel hasil perhitungan DAC

Masukan (Desimal)	Vout (Volt)
4095	9.99
3583	7.50
3071	4.99
2559	2.49
2047	0.00
1535	-2.50
1023	-5.00
511	-7.50
0	-10.0

Berdasarkan perbandingan tersebut dapat disimpulkan bahwa DAC telah bekerja sebagaimana mestinya.



Gambar 5.4 Grafik keluaran DAC

Sumber : Pengujian

5.4 Pengujian Power Amplifier

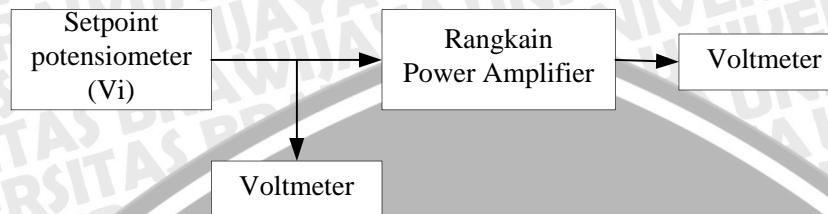
Tujuan pengujian *power amplifier* adalah untuk mengetahui perubahan keluaran power amplifier untuk tegangan masukan yang bervariasi

Peralatan yang digunakan dalam pengujian :

1. Catu daya
2. Voltmeter
3. Setpoint potensiometer

Langkah-langkah yang dilakukan sebagai berikut:

1. Alat dirangkai seperti dalam Gambar 5.5
2. Rangkaian dihidupkan dan V_i diberi tegangan masukan yang berbeda-beda
3. Diamati tegangan keluaran dengan menggunakan voltmeter.



Gambar 5.5 Rangkaian pengujian power amplifier.

Tabel 5.5 Tabel hasil pengujian power amplifier

Vi (Volt)	Vo (Volt)
-10	-10
-3.00	-3.00
-1.00	-1.00
0	0.00
2.00	2.00
5.00	5.00
10.00	10.00

Berdasarkan hasil dalam Tabel 5.5 nilai Vi sama dengan Vo, sehingga dapat disimpulkan bahwa power amplifier telah bekerja sebagai mana mestinya.

5.5 Analisis respon sistem pengendalian posisi tanpa gangguan

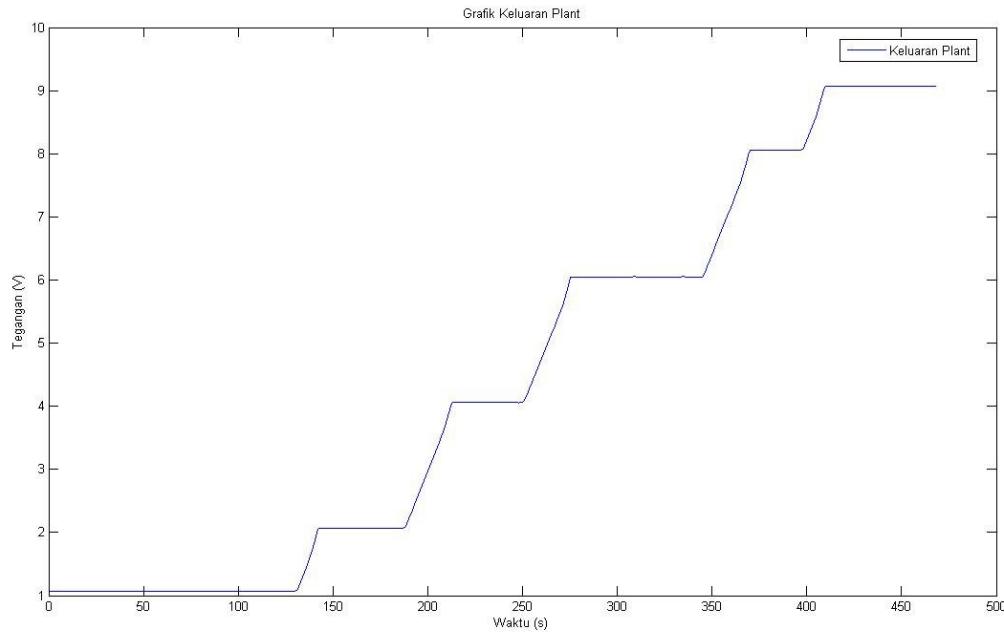
Analisa respon sistem pengendalian posisi tanpa gangguan menggunakan kontroler logika *fuzzy* dengan memberikan sudut referensi sebesar 1V (18^0), 2V (36^0), 4V (72^0), 6V (108^0), 8V (144^0), dan 9V (162^0). Hasil Grafik perbandingannya dapat dilihat

pada grafik 5.7. Tabel hasil pengujian sistem pengendalian posisi dapat dilihat dalam Tabel 5.6.

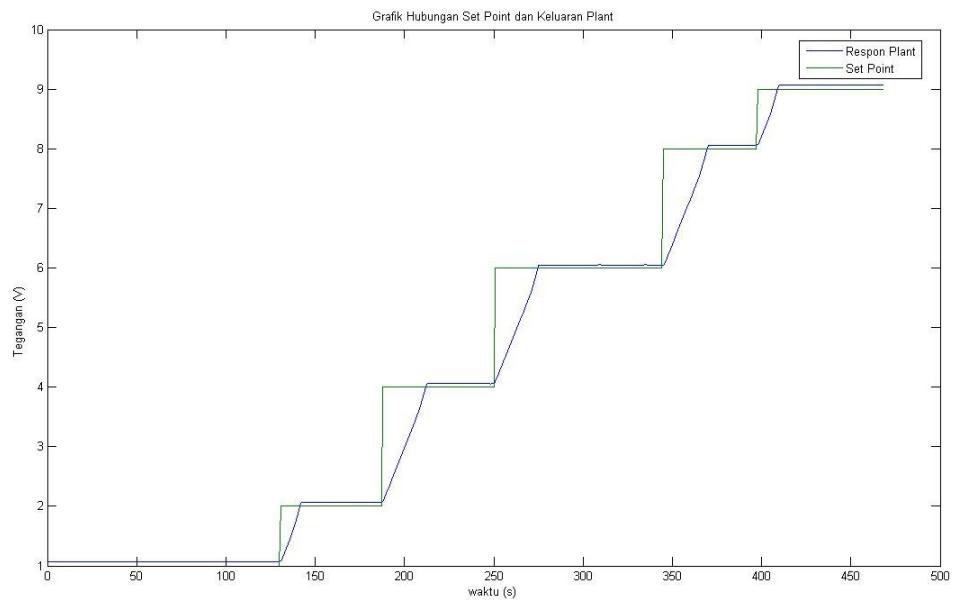
Tabel. 5.6

Hasil Pengujian Sistem Pengaturan Posisi pada Motor DC Servo
Dengan Mengubah-ubah Set point

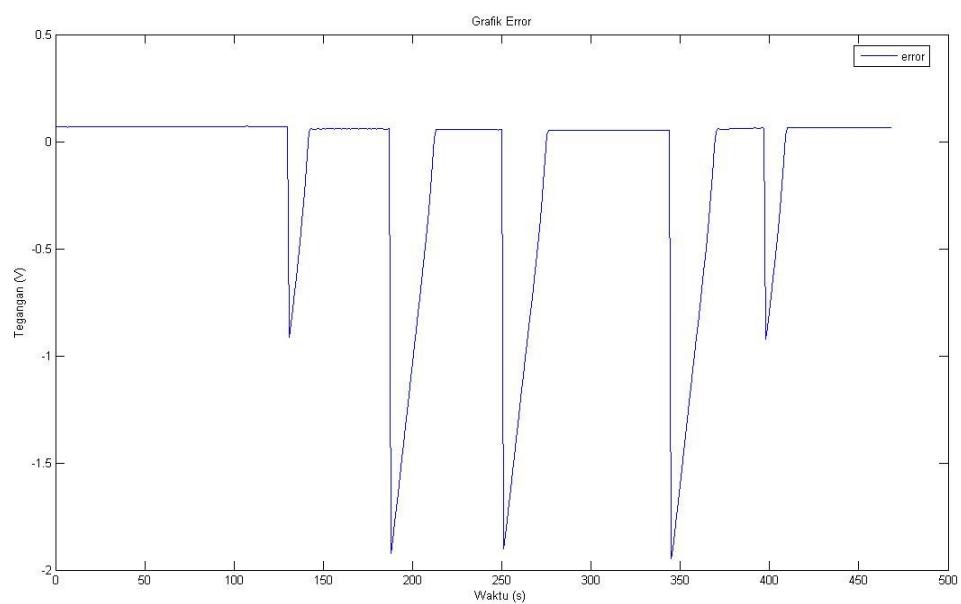
Set point (V)	Ess (V)	Kesalahan(%)	Time Settling(Detik)
1	0.0696	6.96	-
2	0.0615	3.075	1.25
4	0.05617	0.014	2.75
6	0.05128	0,008	2.85
8	0.06105	0.763	2.65
9	0.06716	0.746	1.45
Rata-rata kesalahan		1.93	



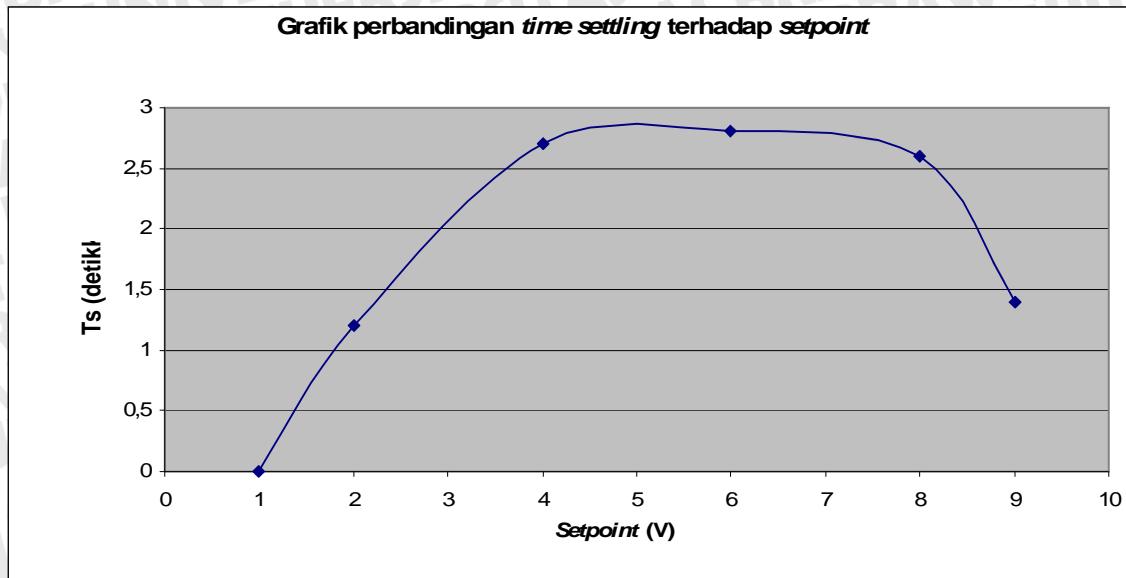
Gambar 5.6 . Grafik Keluaran Plant Dengan Set Point 1V, 2V, 4V, 6V, 8V, 9V



Gambar 5.7 . Grafik Perbandingan Keluran Plant dengan Set Point



Gambar 5.8 . Grafik Error



Gambar 5.9 . Grafik perbandingan *time settling* dengan *setpoint*

BAB VI PENUTUP

6.1 Kesimpulan

1. Sistem kontroler logika *fuzzy* RTL dapat diaplikasikan dalam sistem pengaturan posisi pada motor DC servo.
2. Pada aplikasinya, sistem ini menghasilkan *error steady state* rata-rata sebesar 0.0611 V atau sebesar 1.93 %.
3. *Error steady state* paling kecil dihasilkan ketika *set point* sebesar 6 V.
4. Semakin besar *set point* *error steady state* cenderung semakin kecil.
5. Rangkaian ADC digunakan untuk mengkonversi tegangan keluaran dari sensor dengan range 0 sampai 10 volt menjadi data digital. Dalam perancangan ini digunakan IC AD 574A. AD 574A memiliki resolusi 12 bit.
6. Rangkaian DAC digunakan untuk mengubah data digital menjadi tegangan dengan range antara -10V sampai 10V. DAC yang digunakan adalah IC DAC 1220. DAC 1220 menggunakan metode R-2R dengan resolusi 12 bit.

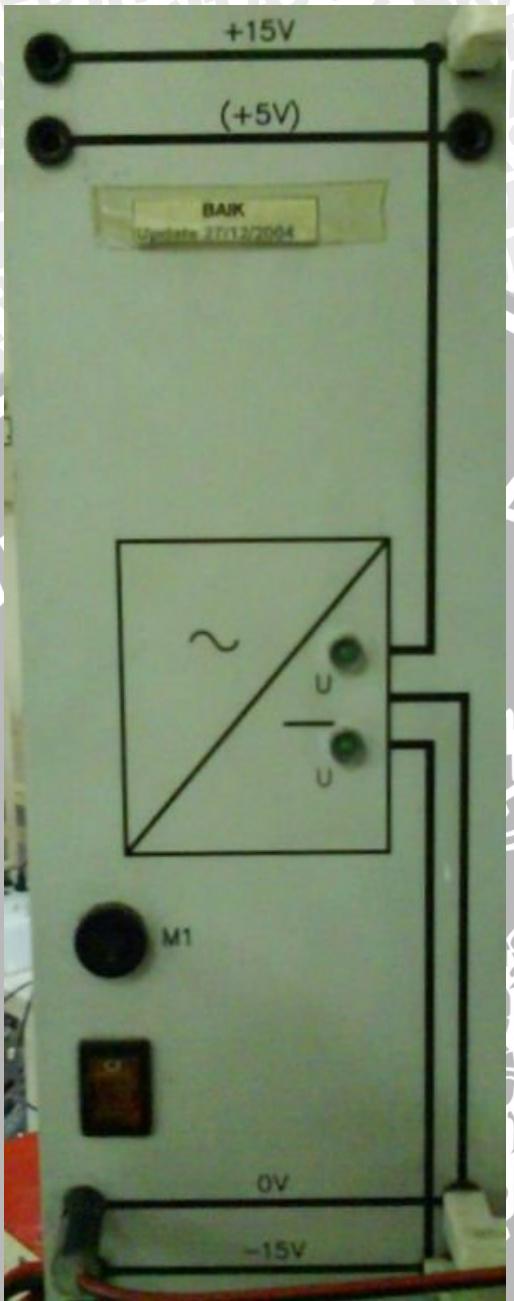
6.2 Saran

Untuk memperbaiki skripsi ini diberikan beberapa saran sebagai berikut :

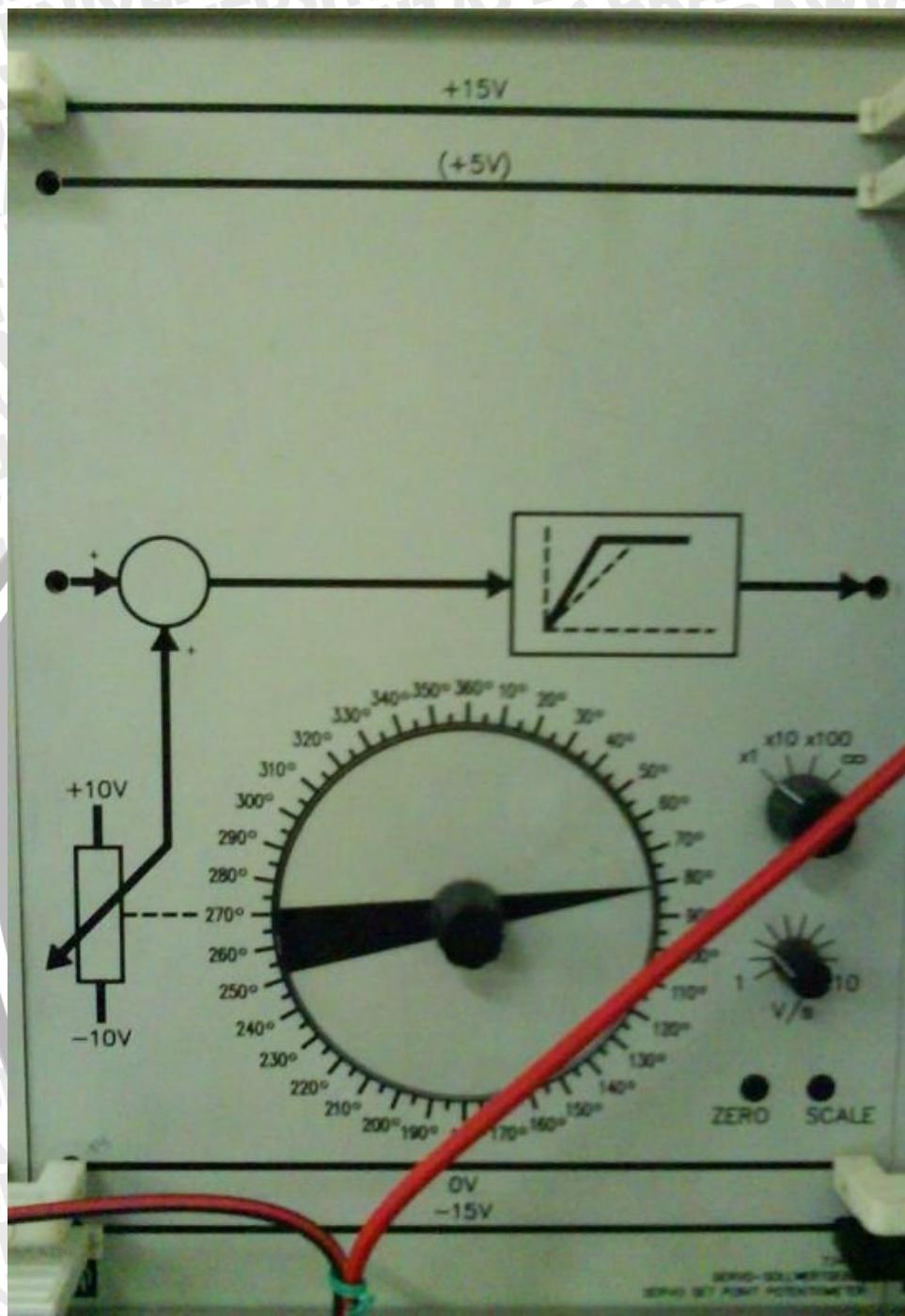
1. Bentuk fungsi keanggotaanya dapat diganti dengan bentuk lain seperti bentuk S, bentuk π dan bentuk Trapesium.
2. Kontroler logika *fuzzy* RTL dapat dibentuk dengan cara lain yaitu misalnya dengan mengatur fungsi keanggotaan baru dan memodifikasi aturan *fuzzy* yang ada agar diketahui keunggulan masing-masing atau dengan menambahkan mekanisme adaptif.
3. Dapat menggunakan ADC lebih dari 12 bit untuk mengurangi kesalahan pembacaan kecepatan.

Daftar pustaka

- Agung, Aryo dkk, 2007, *Realtime dan MultiTasking*, Jakarta
- Hilton, Edgar F, 2000. *Manual for The realtime Control Labolatory RTiC-labs.*
[http://www.soundforge.org.](http://www.soundforge.org)
- Kurnianto, Didik, 1999, "Penerapan Logika Fuzzy Pada Pengaturan Posisi Motor Servo DC" , Universitas Brawijaya, Malang
- Kuo, Benjamin C, 1998, "Teknik kontrol automatik " Jilid I, cetakan 7, terjemahan oleh Mhd Zulfan , Prenhallindo, Jakarta.,
- Malvino, Albert Paul, 1996, *Prinsip-Prinsip Elektronika*. Edisi Ketiga. Penerjemah: Gunawan, Hanapi. Jakarta: Erlangga.
- Ogata, Katsuhito, 1996, *Teknik Kontrol Automatik*, Edisi Kedua, Alih Bahasa Edi Laksono, Jakarta: Erlangga.
- Otto Korn, 1991, 'TPS 8.2 Control Technology ',Leybold Didatic GMBH , Jerman, www.leybold/didatic.de
- Ross, Timothy J, 1995, *Fuzzy Logic With Engineering Applications*, Singapore: McGraw-Hill, Inc.
- Wang, Li-Xin, 1997, 'A Course in Fuzzy Systems and Control', Prentice-Hall, New Jersey.
- Yan, Jun and Ryan, Michael and Power, James, 1994, 'Using Fuzzy Logic Towards Intelligent System', Prentice-Hall International (UK), London..

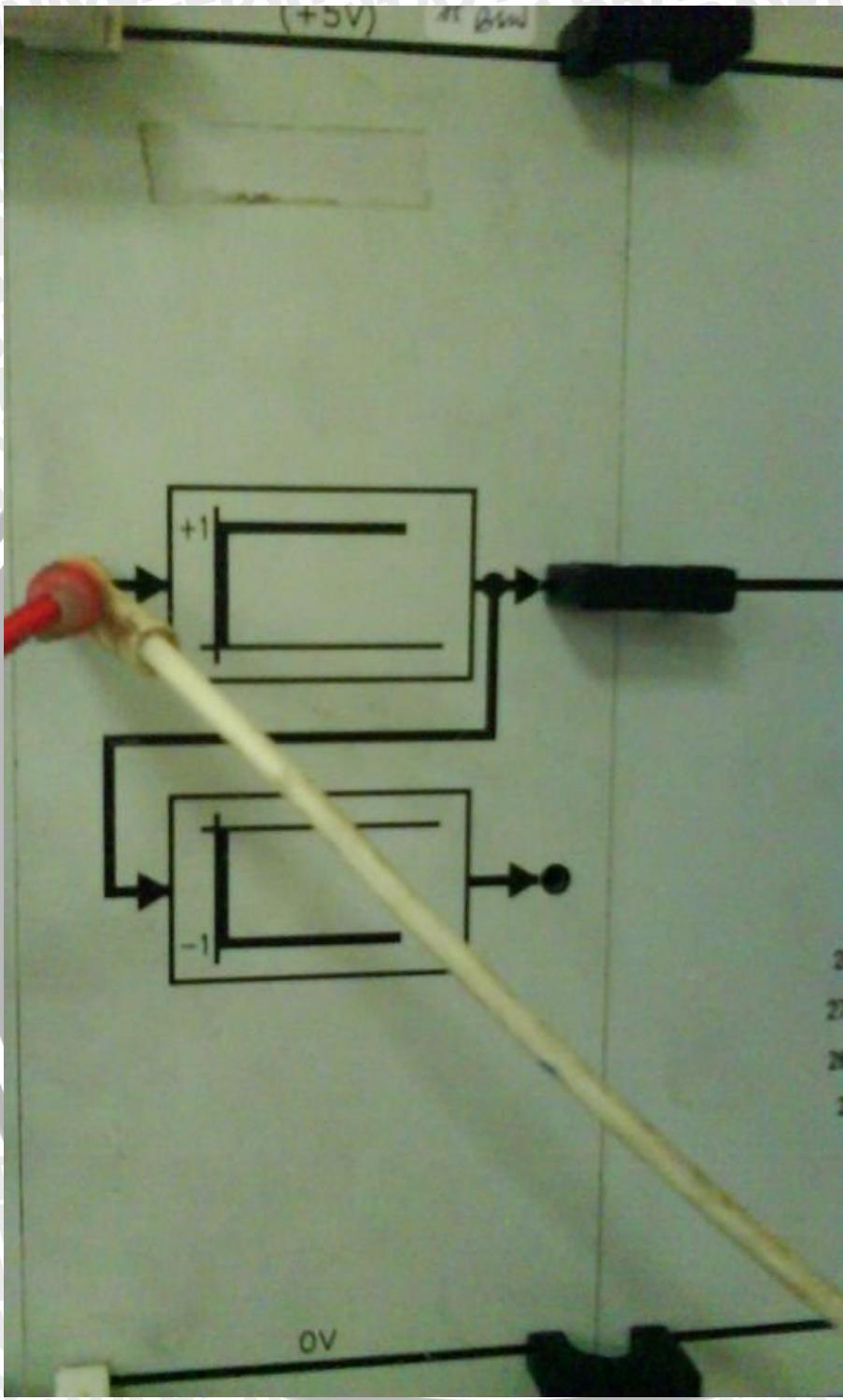


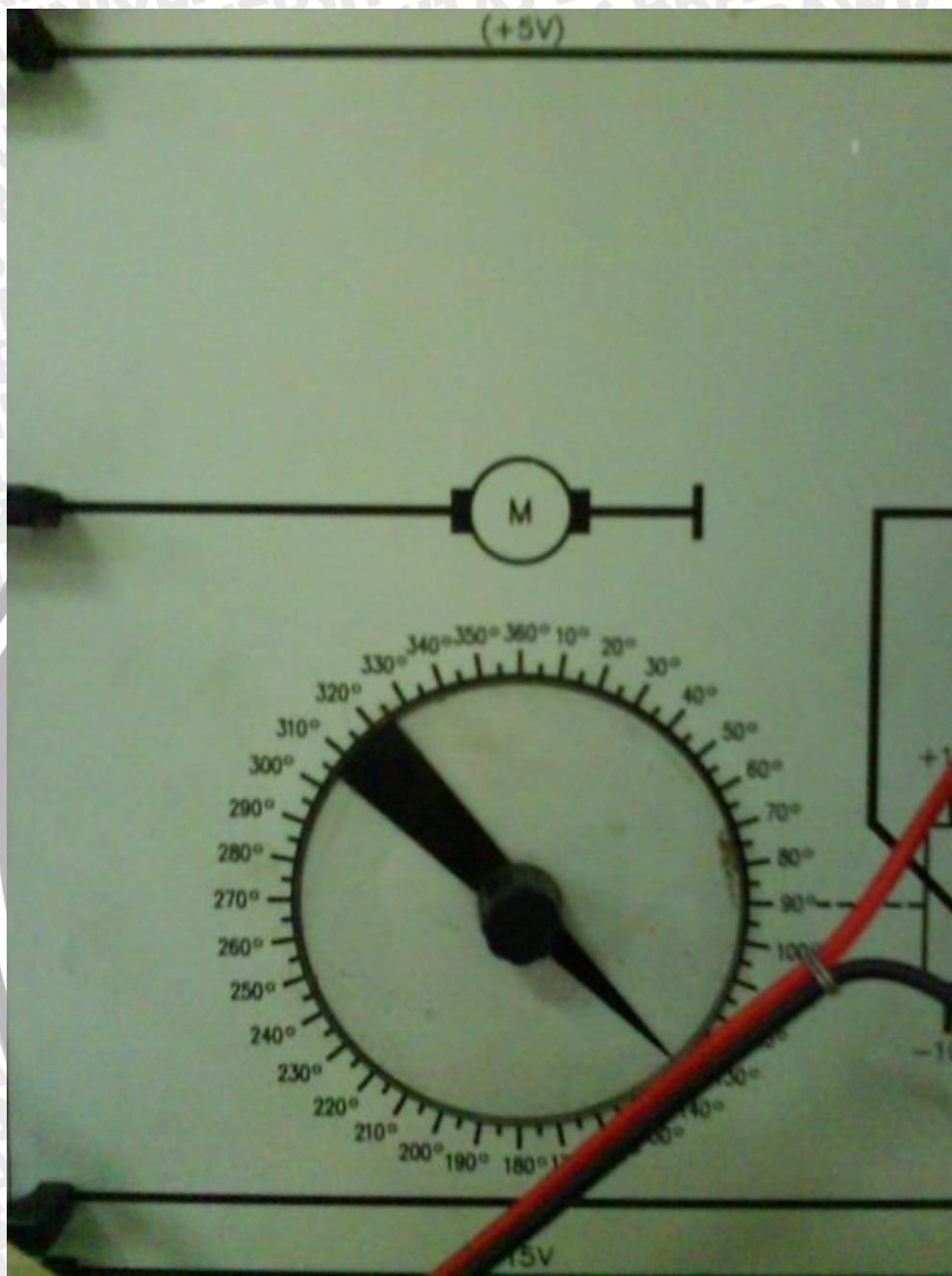
Gambar 1. Catu Daya



Gambar 2. Setpoint Potensiometer

Gambar 3. Power Amplifier





Gambar 4. Motor DC Servo

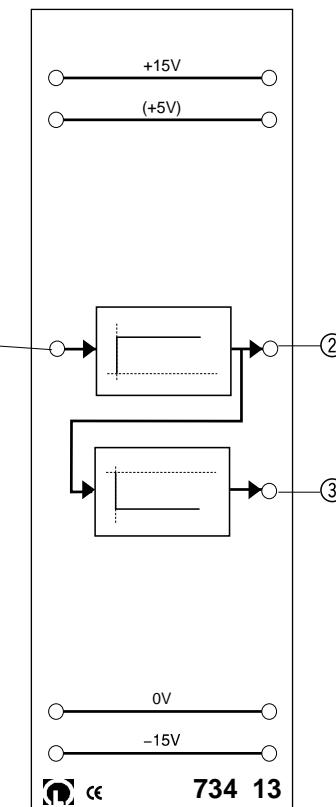


Gambar 5. PC Sebagai Pengendali Utama



Instruction Sheet

Bb 06/99

Power amplifier**734 13****1. Prescribed use**

The training panel is a component of the modular training panel system TPS 8.2 for automatic control technology.

2. Location of use

Operate in dry rooms, which are suitable for experimenting with electrical operating equipment or installations.

3.4. Description/function

The power amplifier comprises two cascaded amplifiers, whereby the upper is connected non-inverting and the lower is inverting. A signal is produced at output ②, opposite input ①, with $\Phi = 0^\circ$ and a signal with $\Phi = 180^\circ$ is produced at output ③. Double the output voltage is therefore produced between ② and ③ with, theoretically, four times the power at either ② or ③ to ground ④. The output resistance $R_L(23)$, $R_L(20)$ or $R_L(39)$ must be selected in such a way as to ensure that $I_C = 3$ A is not exceeded as the internal current limiter will otherwise come into force.

The input resistance is $R_e = 4.7 \text{ k}\Omega$.

The output range amounts to

$DC \leq f \leq 10 \text{ kHz}$

for $P_L(23) = 8 \text{ W}$.

5. Putting into operation and operating

The device is inserted into the panel frames and connected to a suitable ± 15 V power supply device, e.g. cat. no. 726 86.

6. Technical data

Power supply: ± 15 V

Input and output signal range: ± 10 V

7. Recommended experiment literature

F.H. Effertz, H.-W. Hüsch

Fundamentals of Automatic Control Technology II, Volume 2:

Experiment-based fundamentals of open-loop and closed-loop systems

Leybold Didactic GmbH, Hürth 1996, Kat.-Nr. 568 221, ISBN 3-88391-302-2





National Semiconductor

May 1996

DAC1020/DAC1021/DAC1022 10-Bit Binary Multiplying D/A Converter

DAC1220/DAC1222 12-Bit Binary Multiplying D/A Converter

DAC1020/DAC1021/DAC1022 10-Bit Binary Multiplying D/A Converter

DAC1220/DAC1222 12-Bit Binary Multiplying D/A Converter

General Description

The DAC1020 and the DAC1220 are, respectively, 10 and 12-bit binary multiplying digital-to-analog converters. A deposited thin film R-2R resistor ladder divides the reference current and provides the circuit with excellent temperature tracking characteristics ($0.0002\%/\text{ }^{\circ}\text{C}$ linearity error temperature coefficient maximum). The circuit uses CMOS current switches and drive circuitry to achieve low power consumption (30 mW max) and low output leakages (200 nA max). The digital inputs are compatible with DTL/TTL logic levels as well as full CMOS logic level swings. This part, combined with an external amplifier and voltage reference, can be used as a standard D/A converter; however, it is also very attractive for multiplying applications (such as digitally controlled gain blocks) since its linearity error is essentially independent of the voltage reference. All inputs are protected from damage due to static discharge by diode clamps to V⁺ and ground.

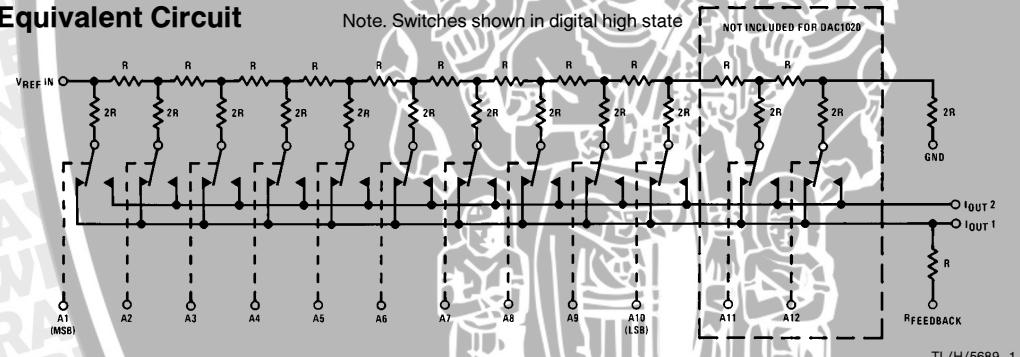
This part is available with 10-bit (0.05%), 9-bit (0.10%), and 8-bit (0.20%) non-linearity guaranteed over temperature

(note 1 of electrical characteristics). The DAC1020, DAC1021 and DAC1022 are direct replacements for the 10-bit resolution AD7520 and AD7530 and equivalent to the AD7533 family. The DAC1220 and DAC1222 are direct replacements for the 12-bit resolution AD7521 and AD7531 family.

Features

- Linearity specified with zero and full-scale adjust only
- Non-linearity guaranteed over temperature
- Integrated thin film on CMOS structure
- 10-bit or 12-bit resolution
- Low power dissipation 10 mW @15V typ
- Accepts variable or fixed reference $-25 \leq V_{\text{REF}} \leq 25$ V
- 4-quadrant multiplying capability
- Interfaces directly with DTL, TTL and CMOS
- Fast settling time—500 ns typ
- Low feedthrough error—1/2 LSB @100 kHz typ

Equivalent Circuit



Ordering Information

10-BIT D/A CONVERTERS

Temperature Range		0°C to 70°C		-40°C to 85°C	
Non- Linearity	0.05%	DAC1020LCN	AD7520LN,AD7530LN	DAC1020LCV	DAC1020LIV
	0.10%	DAC1021LCN	AD7520KN,AD7530KN		
	0.20%	DAC1022LCN	AD7520JN,AD7530JN		
Package Outline		N16A		V20A	

12-BIT D/A CONVERTERS

Temperature Range		0°C to 70°C		-40°C to +85°C	
Non- Linearity	0.05%	DAC1220LCN	AD7521LN,AD7531LN	DAC1220LCJ	AD7521LD,AD7531LD
	0.20%	DAC1222LCN	AD7521JN,AD7531JN	DAC1222LCJ	AD7521JD,AD7531JD
Package Outline		N18A		J18A	

Note. Devices may be ordered by either part number.

Absolute Maximum Ratings (Note 5)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

V ⁺ to Gnd	17V
V _{REF} to Gnd	±25V
Digital Input Voltage Range	V ⁺ to Gnd
DC Voltage at Pin 1 or Pin 2 (Note 3)	-100 mV to V ⁺
Storage Temperature Range	-65°C to +150°C
Lead Temperature (Soldering, 10 sec.)	
Dual-In-Line Package (plastic)	260°C
Dual-In-Line Package (ceramic)	300°C
ESD Susceptibility (Note 4)	800V

Operating Ratings

Temperature (T _A)	Min	Max	Units
DAC1020LIV, DAC1220LCJ,			
DAC1222LCJ	-40	+85	°C
DAC1020LCN, DAC1020LCV,			
DAC1021LCN	0	+70	°C
DAC1022LCN, DAC1220LCN	0	+70	°C
DAC1222LCN	0	+70	°C

Electrical Characteristics (V⁺ = 15V, V_{REF} = 10.000V, T_A = 25°C unless otherwise specified)

Parameter	Conditions	DAC1020, DAC1021, DAC1022			DAC1220, DAC1222			Units
		Min	Typ	Max	Min	Typ	Max	
Resolution		10			12			Bits
Linearity Error	T _{MIN} < T _A < T _{MAX} , -10V < V _{REF} < +10V, (Note 1) End Point Adjustment Only (See Linearity Error in Definition of Terms)							
10-Bit Parts	DAC1020, DAC1220			0.05			0.05	% FSR
9-Bit Parts	DAC1021			0.10			0.10	% FSR
8-Bit Parts	DAC1022, DAC1222			0.20			0.20	% FSR
Linearity Error Tempco	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)			0.0002			0.0002	% FS/°C
Full-Scale Error	-10V ≤ V _{REF} ≤ +10V, (Notes 1 and 2)		0.3	1.0		0.3	1.0	% FS
Full-Scale Error Tempco	T _{MIN} < T _A < T _{MAX} , (Note 2)			0.001			0.001	% FS/°C
Output Leakage Current	T _{MIN} ≤ T _A ≤ T _{MAX}							
I _{OUT} 1	All Digital Inputs Low			200			200	nA
I _{OUT} 2	All Digital Inputs High			200			200	nA
Power Supply Sensitivity	All Digital Inputs High, 14V ≤ V ⁺ ≤ 16V, (Note 2), (Figure 2)		0.005			0.005		% FS/V
V _{REF} Input Resistance		10	15	20	10	15	20	kΩ
Full-Scale Current Settling Time	R _L = 100Ω from 0 to 99.95% FS All Digital Inputs Switched Simultaneously		500			500		ns
V _{REF} Feedthrough	All Digital Inputs Low, V _{REF} = 20 Vp-p @ 100 kHz J Package (Note 4) N Package		6 2	9 5		6 2	9 5	mVp-p mVp-p mVp-p
Output Capacitance								
I _{OUT} 1	All Digital Inputs Low		40			40		pF
I _{OUT} 2	All Digital Inputs High		200			200		pF
	All Digital Inputs Low		200			200		pF
	All Digital Inputs High		40			40		pF

Electrical Characteristics ($V^+ = 15V$, $V_{REF} = 10.000V$, $T_A = 25^\circ C$ unless otherwise specified) (Continued)

Parameter	Conditions	DAC1020, DAC1021, DAC1022			DAC1220, DAC1222			Units
		Min	Typ	Max	Min	Typ	Max	
Digital Input Low Threshold High Threshold	(Figure 1) $T_{MIN} < T_A < T_{MAX}$ $T_{MIN} < T_A < T_{MAX}$	2.4		0.8	2.4		0.8	V V
Digital Input Current	$T_{MIN} \leq T_A \leq T_{MAX}$ Digital Input High Digital Input Low		1 -50	100 -200		1 -50	100 -200	μA μA
Supply Current	All Digital Inputs High All Digital Inputs Low		0.2 0.6	1.6 2		0.2 0.6	1.6 2	mA mA
Operating Power Supply Range	(Figures 1 and 2)	5		15	5		15	V

Note 1: $V_{REF} = \pm 10V$ and $V_{REF} = \pm 1V$. A linearity error temperature coefficient of 0.0002% FS for a $45^\circ C$ rise only guarantees 0.009% maximum change in linearity error. For instance, if the linearity error at $25^\circ C$ is 0.045% FS it could increase to 0.054% at $70^\circ C$ and the DAC will be no longer a 10-bit part. Note, however, that the linearity error is specified over the device full temperature range which is a more stringent specification since it includes the linearity error temperature coefficient.

Note 2: Using internal feedback resistor as shown in Figure 3.

Note 3: Both $I_{OUT\ 1}$ and $I_{OUT\ 2}$ must go to ground or the virtual ground of an operational amplifier. If $V_{REF} = 10V$, every millivolt offset between $I_{OUT\ 1}$ or $I_{OUT\ 2}$, 0.005% linearity error will be introduced.

Note 4: Human body model, 100 pF discharged through a 1.5 k Ω resistor.

Note 5: Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. DC and AC electrical specifications do not apply when operating the device beyond its specified operating conditions.

Note 6: The maximum power dissipation must be derated at elevated temperatures and is dictated by T_{JMAX} , θ_{JA} , and the ambient temperature, T_A . The maximum allowable power dissipation at any temperature is $P_D = (T_{JMAX} - T_A)/\theta_{JA}$ or the number given in the Absolute Maximum Ratings, whichever is lower. For this device, $T_{JMAX} = 125^\circ C$, and the typical junction-to-ambient thermal resistance of the J18 package when board mounted is $85^\circ C/W$. For the N18 package, θ_{JA} is $120^\circ C/W$, for the N16 this number is $125^\circ C/W$, and for the V20 this number is $95^\circ C/W$.

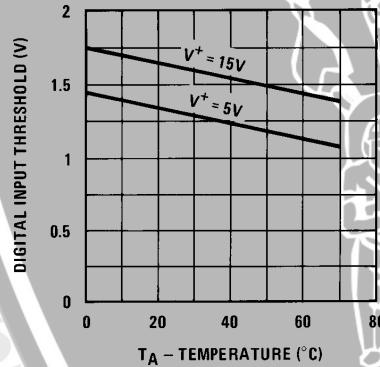
Typical Performance Characteristics

FIGURE 1. Digital Input Threshold vs
Ambient Temperature

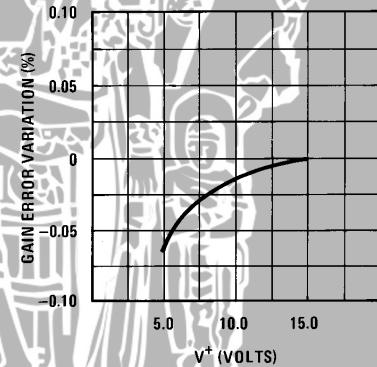


FIGURE 2. Gain Error Variation vs V^+

Typical Applications

The following applications are also valid for 12-bit systems using the DAC1220 and 2 additional digital inputs.

Operational Amplifier Bias Current (Figure 3)

The op amp bias current, I_b , flows through the 15k internal feedback resistor. BI-FET op amps have low I_b and, therefore, the $15k \times I_b$ error they introduce is negligible; they are strongly recommended for the DAC1020 applications.

V_{OS} Considerations

The output impedance, R_{OUT} , of the DAC is modulated by the digital input code which causes a modulation of the operational amplifier output offset. It is therefore recommended to adjust the op amp V_{OS} . R_{OUT} is $\sim 15k$ if more than 4 digital inputs are high; R_{OUT} is $\sim 45k$ if a single digital input is high, and R_{OUT} approaches infinity if all inputs are low.

Operational Amplifier V_{OS} Adjust (Figure 3)

Connect all digital inputs, A1–A10, to ground and adjust the potentiometer to bring the op amp V_{OUT} pin to within ± 1 mV from ground potential. If V_{REF} is less than 10V, a finer V_{OS} adjustment is required. It is helpful to increase the resolution of the V_{OS} adjust procedure by connecting a 1 k Ω resistor between the inverting input of the op amp to ground. After V_{OS} has been adjusted, remove the 1 k Ω .

Full-Scale Adjust (Figure 4)

Switch high all the digital inputs, A1–A10, and measure the op amp output voltage. Use a 500 Ω potentiometer, as shown, to bring $|V_{OUT}|$ to a voltage equal to $V_{REF} \times 1023/1024$.

SELECTING AND COMPENSATING THE OPERATIONAL AMPLIFIER

Op Amp Family	C_F	R_i	P	V_W	Circuit Settling Time, t_s	Circuit Small Signal BW
LF357	10 pF	2.4k	25k	V^+	1.5 μ s	1M
LF356	22 pF	∞	25k	V^+	3 μ s	0.5M
LF351	24 pF	∞	10k	V^-	4 μ s	0.5M
LM741	0	∞	10k	V^-	40 μ s	200 kHz

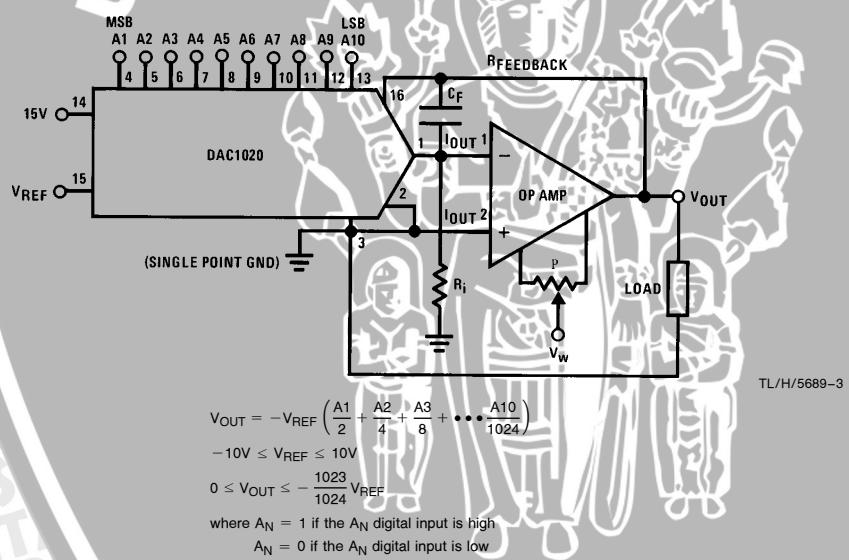


FIGURE 3. Basic Connection: Unipolar or 2-Quadrant Multiplying Configuration (Digital Attenuator)

Typical Applications (Continued)

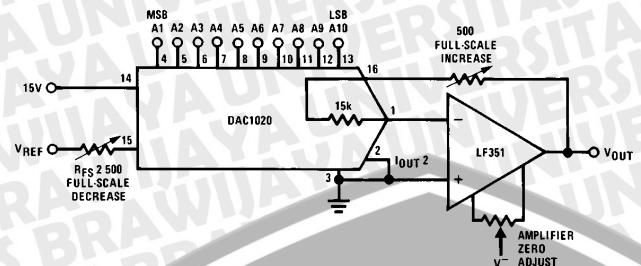


FIGURE 4. Full-Scale Adjust

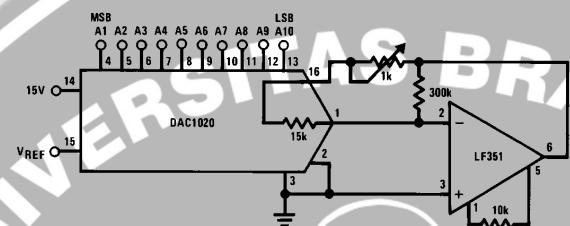
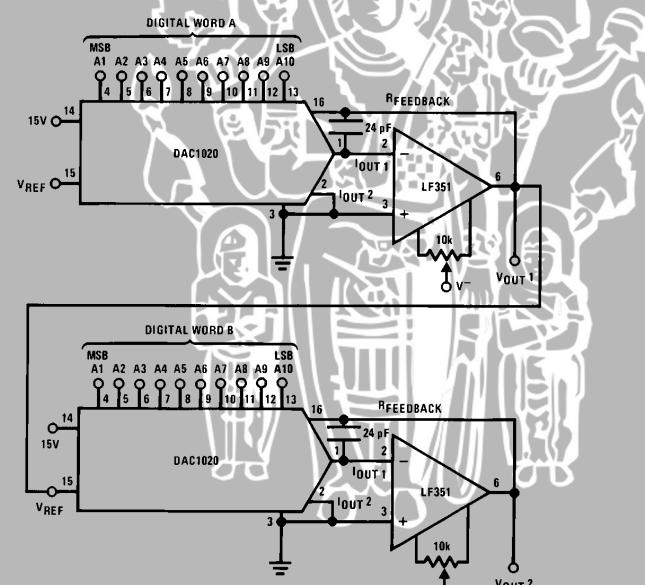


FIGURE 5. Alternate Full-Scale Adjust: (Allows Increasing or Decreasing the Gain)



$$V_{OUT\ 1} = -V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{10}}{1024} \right)$$

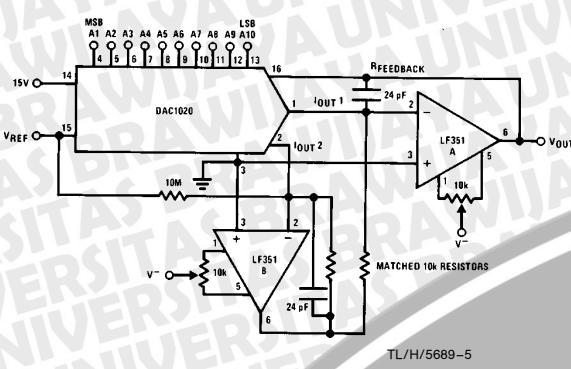
$$V_{OUT\ 2} = V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{10}}{1024} \right) \times \left(\frac{B_1}{2} + \frac{B_2}{4} + \frac{B_3}{8} + \dots + \frac{B_{10}}{1024} \right)$$

where V_{REF} can be an AC signal

TL/H/5689-4

FIGURE 6. Precision Analog-to-Digital Multiplier

Typical Applications (Continued)



$$V_{OUT} = -V_{REF} \left(\frac{A_1}{2} + \frac{A_2}{4} + \dots + \frac{A_{10}}{1024} - \frac{1}{1024} \right)$$

where: AN = +1 if A_N input is high
AN = -1 if A_N input is low

COMPLEMENTARY OFFSET BINARY (BIPOLAR) OPERATION

DIGITAL INPUT	V _{OUT}
0 0 0 0 0 0 0 0 0 0	+V _{REF}
0 0 0 0 0 0 0 0 0 1	V _{REF} × 1022/1024
0 1 1 1 1 1 1 1 1 1	V _{REF} × 2/1024
1 0 0 0 0 0 0 0 0 0	0
1 0 0 0 0 0 0 0 0 1	-V _{REF} × 2/1024
1 1 1 1 1 1 1 1 1 1	-V _{REF} (1022/1024)

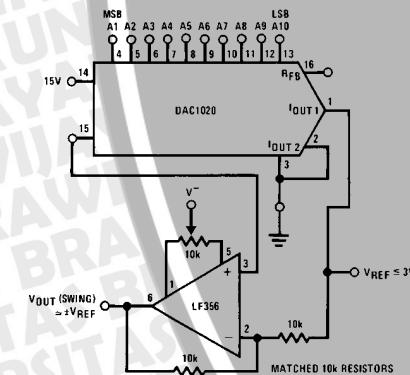
Note that:

- I_{OUT 1} + I_{OUT 2} = $\frac{V_{REF}}{R_{LADDER}} \times \left(\frac{1023}{1024} \right)$
- By doubling the output range we get half the resolution
- The 10M resistor adds a 1 LSB "thump", to allow full offset binary operation where the output reaches zero for the half-scale code. If symmetrical output excursions are required, omit the 10M resistor.

FIGURE 7. Bipolar 4-Quadrant Multiplying Configuration

Operational Amplifiers V_{OS} Adjust (Figure 7)

- Switch all the digital inputs high; adjust the V_{OS} potentiometer of op amp B to bring its output to a value equal to -(V_{REF}/1024) (V).
- Switch the MSB high and the remaining digital inputs low. Adjust the V_{OS} potentiometer of op amp A, to bring its output value to within a 1 mV from ground potential. For V_{REF} < 10V, a finer adjust is necessary, as already mentioned in the previous application.



TRUE OFFSET BINARY OPERATION

DIGITAL INPUT	V _{OUT}
1 1 1 1 1 1 1 1 1 1	V _{REF} × 1022/1024
1 0 0 0 0 0 0 0 0 0	0
0 0 0 0 0 0 0 0 0 0	-V _{REF}

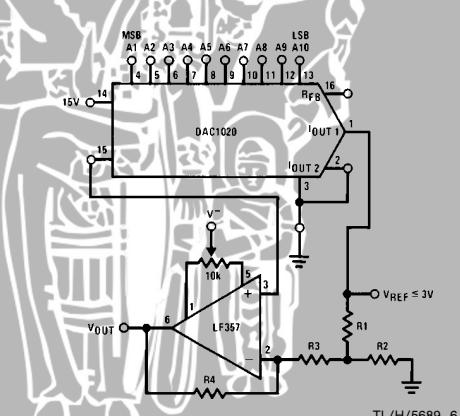
t_s = 1.8 μs

use LM336 for a voltage reference

FIGURE 8. Bipolar Configuration with a Single Op Amp

Gain Adjust (Full-Scale Adjust)

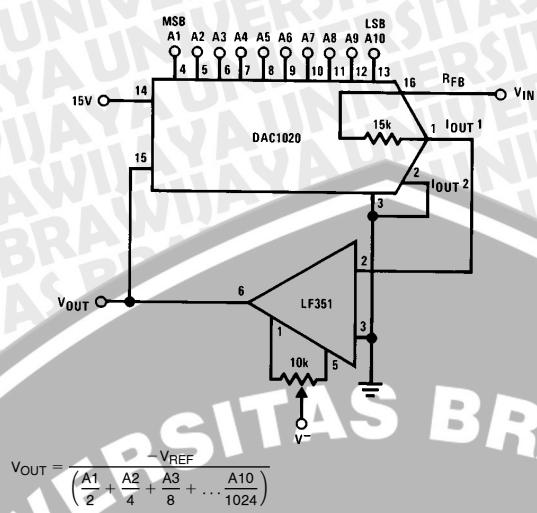
Assuming that the external 10k resistors are matched to better than 0.1%, the gain adjust of the circuit is the same with the one previously discussed.



- R₄ = $(2A_{V^-} - 1)R_1$, $R_2 = \frac{A_{V^-}}{A_{V^-} - 1}$
R₃ + R₁||R₂ = R; $A_{V^-} = \frac{V_{OUT(Peak)}}{V_{REF}}$, R = 20k
- Example: V_{REF} = 2V, V_{OUT} (swing) ≈ ±10V; A_{V^-} = 5V
Then R₄ = 9R, R₁ = 0.8 R₂. If R₁ = 0.2R then R₂ = 0.25R, R₃ = 0.64R

FIGURE 9. Bipolar Configuration with Increased Output Swing

Typical Applications (Continued)

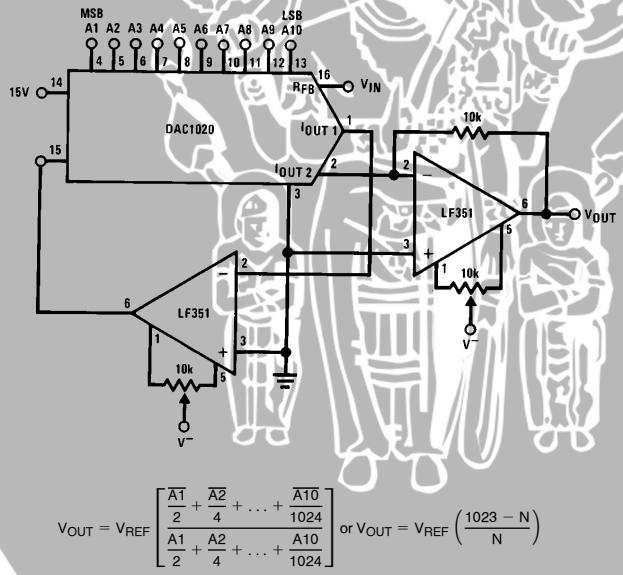


$$V_{OUT} = \frac{-V_{REF}}{\left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \dots + \frac{A_{10}}{1024} \right)}$$

where: V_{REF} can be an AC signal

- By connecting the DAC in the feedback loop of an operational amplifier a linear digitally control gain block can be realized
- Note that with all digital inputs low, the gain of the amplifier is infinity, that is, the op amp will saturate. In other words, we cannot divide the V_{REF} by zero!

FIGURE 10. Analog-to-Digital Divider (or Digitally Gain Controlled Amplifier)



$$V_{OUT} = V_{REF} \left[\frac{\frac{A_1}{2} + \frac{A_2}{4} + \dots + \frac{A_{10}}{1024}}{\frac{A_1}{2} + \frac{A_2}{4} + \dots + \frac{A_{10}}{1024}} \right] \text{ or } V_{OUT} = V_{REF} \left(\frac{1023 - N}{N} \right)$$

where: $0 \leq N \leq 1023$

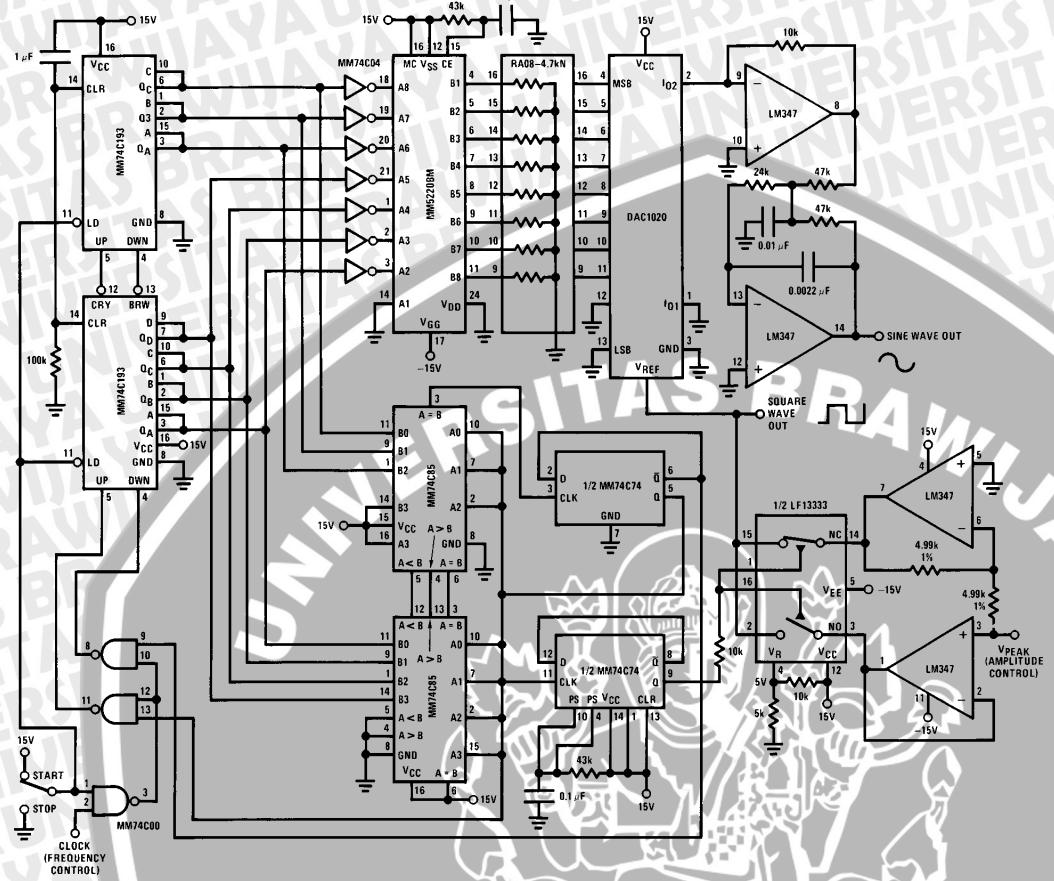
$N = 0$ for $A_N = \text{all zeros}$

$N = 1$ for $A_{10} = 1, A_1-A_9 = 0$

$N = 1023$ for $A_N = \text{all 1's}$

FIGURE 11. Digitally controlled Amplifier-Attenuator

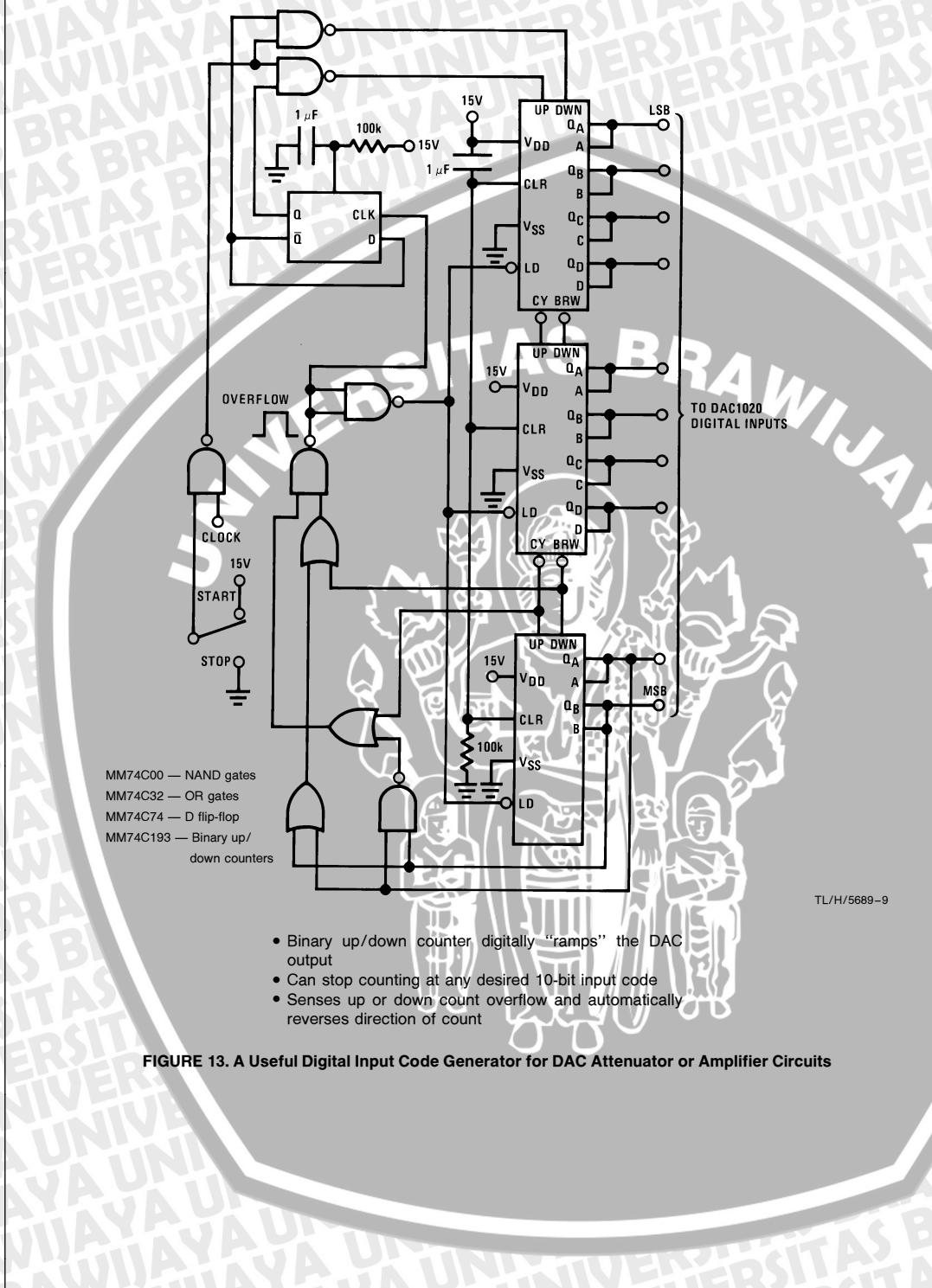
Typical Applications (Continued)



TL/H/5689-8

- Output frequency = $\frac{f_{CLK}}{512}$; $f_{MAX} \approx 2$ kHz
- Output voltage range = 0V – 10V peak
- THD < 0.2%
- Excellent amplitude and frequency stability with temperature
- Low pass filter shown has a 1 kHz corner (for output frequencies below 10 Hz, filter corner should be reduced)
- Any periodic function can be implemented by modifying the contents of the look up table ROM
- No start up problems

FIGURE 12. Precision Low Frequency Sine Wave Oscillator Using Sine Look-Up ROM

Typical Applications (Continued)

Definition of Terms

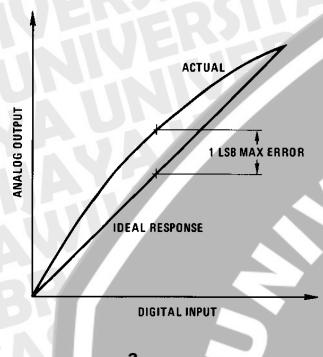
Resolution: Resolution is defined as the reciprocal of the number of discrete steps in the D/A output. It is directly related to the number of switches or bits within the D/A. For example, the DAC1020 has 2^{10} or 1024 steps while the DAC1220 has 2^{12} or 4096 steps. Therefore, the DAC1020 has 10-bit resolution, while the DAC1220 has 12-bit resolution.

Linearity Error: Linearity error is the maximum deviation from a straight line passing through the endpoints of the D/A transfer characteristic. It is measured after calibrating for zero (see V_{OS} adjust in typical applications) and full-scale. Linearity error is a design parameter intrinsic to the device and cannot be externally adjusted.

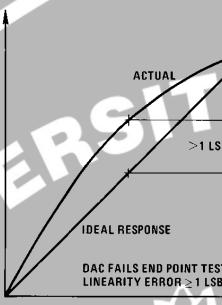
Power Supply Sensitivity: Power supply sensitivity is a measure of the effect of power supply changes on the D/A full-scale output.

Settling Time: Full-scale settling time requires a zero to full-scale or full-scale to zero output change. Settling time is the time required from a code transition until the D/A output reaches within $\pm 1/2$ LSB of final output value.

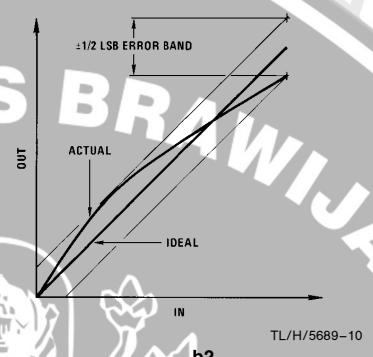
Full-Scale Error: Full-scale error is a measure of the output error between an ideal D/A and the actual device output. Ideally, for the DAC1020 full-scale is $V_{REF} = 1$ LSB. For $V_{REF} = 10V$ and unipolar operation, $V_{FULL-SCALE} = 10.0000V - 9.8 mV = 9.9902V$. Full-scale error is adjustable to zero as shown in Figure 5.



(a) End point test after zero and full-scale adjust.
The DAC has 1 LSB linearity error.



(b1) DAC FAILS END POINT TEST
LINEARITY ERROR > 1 LSB

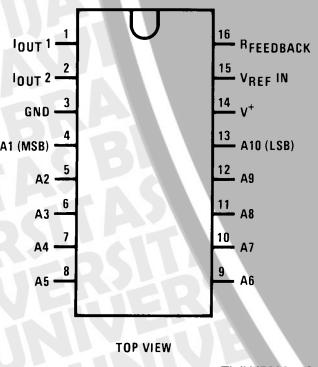


(b2) By shifting the full-scale calibration on of the DAC of Figure (b1) we could pass the "best straight line" (b2) test and meet the $\pm 1/2$ linearity error specification.

Note, (a), (b1) and (b2) above illustrate the difference between "end point" National's linearity test (a) and "best straight line" test. Note that both devices in (a) and (b2) meet the $\pm 1/2$ LSB linearity error specification but the end point test is a more "real-life" way of characterizing the DAC.

Connection Diagrams

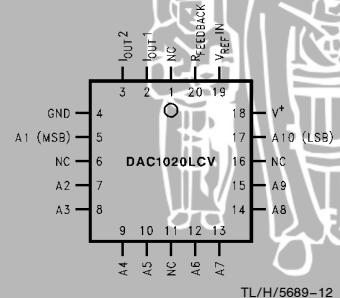
DAC102X
Dual-In-Line Package



TOP VIEW

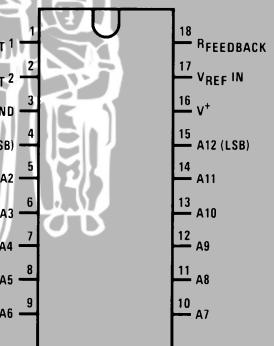
TL/H/5689-13

DAC1020
PLCC Package



TL/H/5689-12

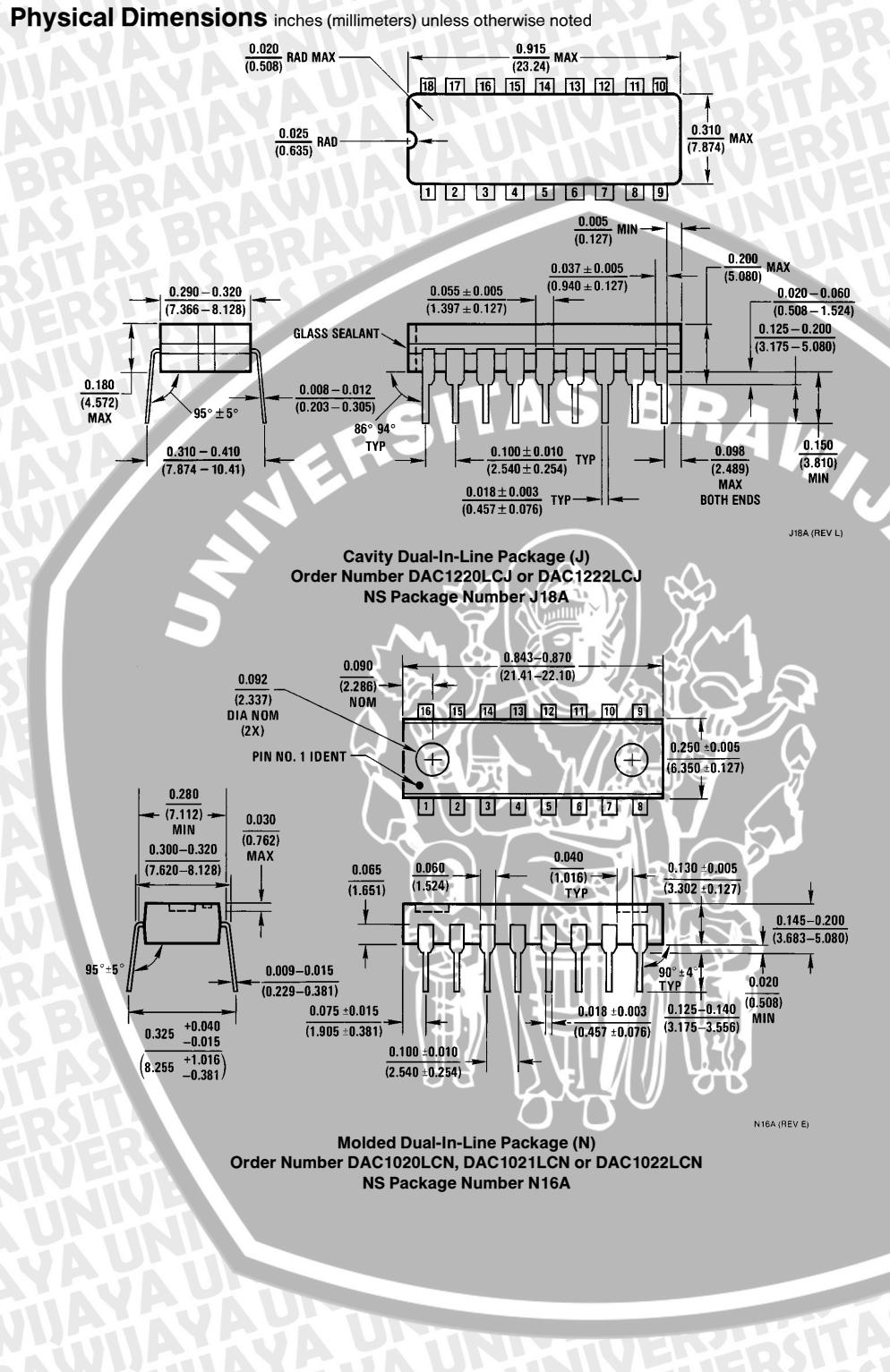
DAC122X
Dual-In-Line Package

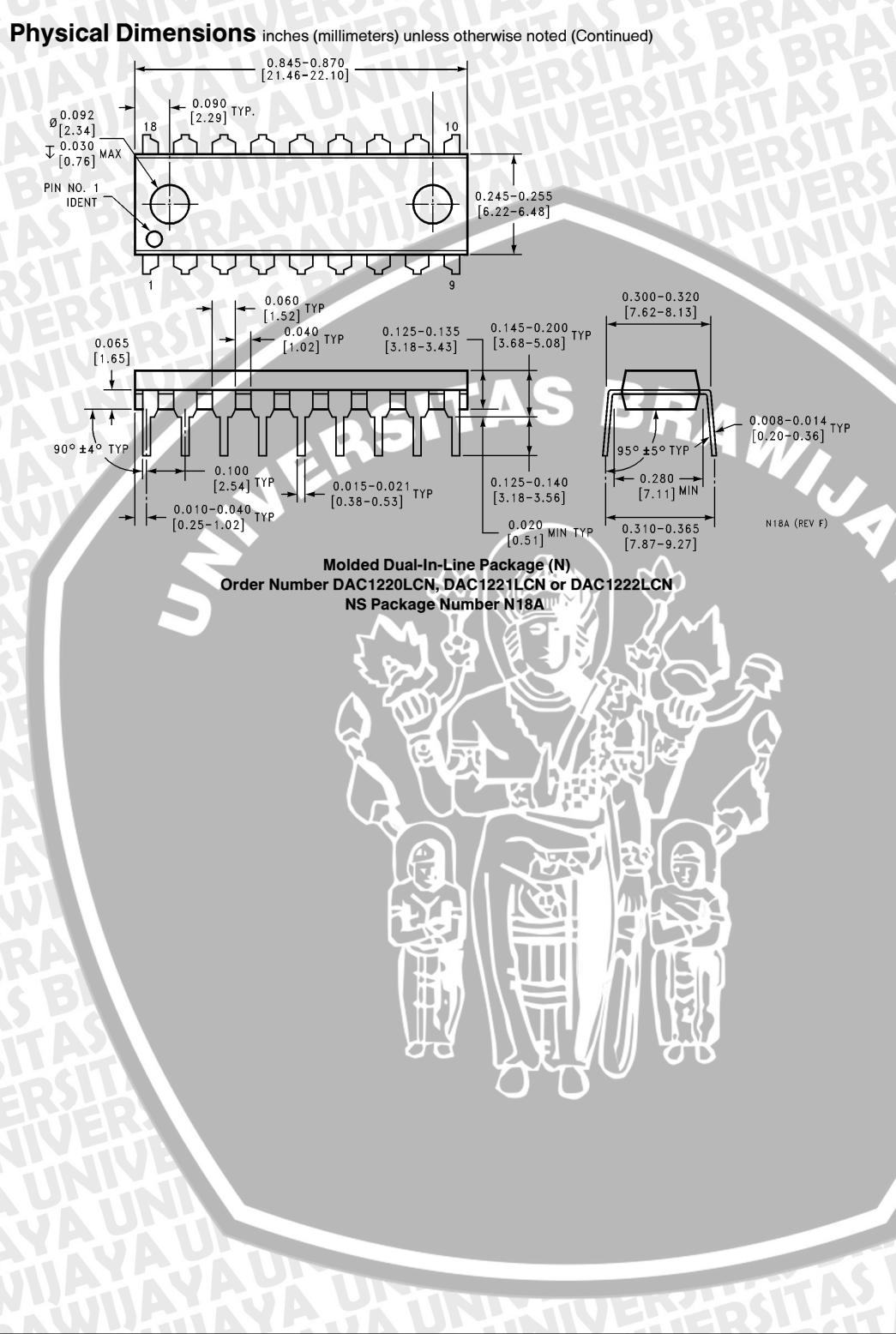


TOP VIEW

TL/H/5689-11

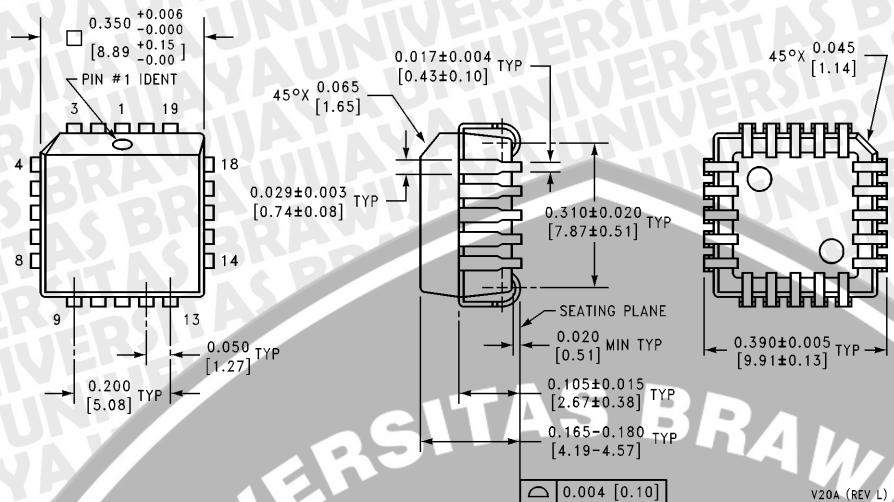






**DAC1020/DAC1021/DAC1022 10-Bit Binary Multiplying D/A Converter
DAC1220/DAC1222 12-Bit Binary Multiplying D/A Converter**

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



**Molded Plastic Leaded Chip Carrier (V)
Order Number DAC1020LCV or DAC1020LIV
NS Package Number V20A**

LIFE SUPPORT POLICY

NATIONAL'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF NATIONAL SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and whose failure to perform, when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
 2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

National Semiconductor Corporation 1111 West Bardin Road Arlington, TX 76017 Tel: (800) 272-9959 Fax: (1800) 737-7018	National Semiconductor Europe Fax: + 49 (0) 180-530 85 86 Email: europe.support@nsc.com	National Semiconductor Hong Kong Ltd. 13th Floor, Straight Block, Ocean Centre, 5 Canton Rd. Tsimshatsui, Kowloon Hong Kong Tel: (852) 2737-1600 Fax: (852) 2736-9960	National Semiconductor Japan Ltd. Tel: 81-043-299-2308 Fax: 81-043-299-2408
http://www.national.com	Deutsch Tel: +49 (0) 180-530 85 85 English Tel: +49 (0) 180-532 78 32 Français Tel: +49 (0) 180-532 93 58 Italiano Tel: +49 (0) 180-534 16 80		

National does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and National reserves the right at any time without notice to change said circuitry and specifications.

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.





Complete 12-Bit A/D Converter

AD574A*

FEATURES

Complete 12-Bit A/D Converter with Reference

and Clock

8- and 16-Bit Microprocessor Bus Interface

Guaranteed Linearity Over Temperature

0°C to +70°C – AD574AJ, K, L

-55°C to +125°C – AD574AS, T, U

No Missing Codes Over Temperature

35 µs Maximum Conversion Time

Buried Zener Reference for Long-Term Stability
and Low Gain T.C. 10 ppm/°C max AD574AL

12.5 ppm/°C max AD574AU

Ceramic DIP, Plastic DIP or PLCC Package

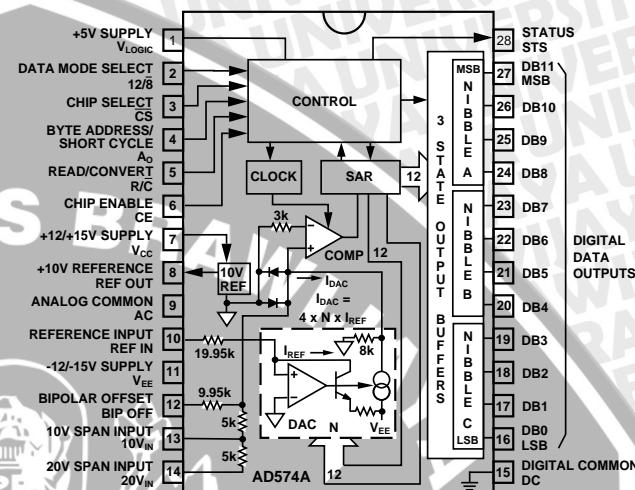
Available in Higher Speed, Pinout-Compatible Versions

(15 µs AD674B, 80 µs AD774B; 10 µs (with SHA) AD1674)

Available in Versions Compliant with MIL-STD-883 and

JAN QPL

BLOCK DIAGRAM AND PIN CONFIGURATION



PRODUCT DESCRIPTION

The AD574A is a complete 12-bit successive-approximation analog-to-digital converter with 3-state output buffer circuitry for direct interface to an 8- or 16-bit microprocessor bus. A high precision voltage reference and clock are included on-chip, and the circuit guarantees full-rated performance without external circuitry or clock signals.

The AD574A design is implemented using Analog Devices' Bipolar/I²L process, and integrates all analog and digital functions on one chip. Offset, linearity and scaling errors are minimized by active laser-trimming of thin-film resistors at the wafer stage. The voltage reference uses an implanted buried Zener for low noise and low drift. On the digital side, I²L logic is used for the successive-approximation register, control circuitry and 3-state output buffers.

The AD574A is available in six different grades. The AD574AJ, K, and L grades are specified for operation over the 0°C to +70°C temperature range. The AD574AS, T, and U are specified for the -55°C to +125°C range. All grades are available in a 28-pin hermetically-sealed ceramic DIP. Also, the J, K, and L grades are available in a 28-pin plastic DIP and PLCC, and the J and K grades are available in ceramic LCC.

The S, T, and U grades in ceramic DIP or LCC are available with optional processing to MIL-STD-883C Class B; the T and U grades are available as JAN QPL. The Analog Devices' Military Products Databook should be consulted for details on /883B testing of the AD574A.

*Protected by U.S. Patent Nos. 3,803,590; 4,213,806; 4,511,413; RE 28,633.

REV. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices.

PRODUCT HIGHLIGHTS

1. The AD574A interfaces to most 8- or 16-bit microprocessors. Multiple-mode three-state output buffers connect directly to the data bus while the read and convert commands are taken from the control bus. The 12 bits of output data can be read either as one 12-bit word or as two 8-bit bytes (one with 8 data bits, the other with 4 data bits and 4 trailing zeros).
2. The precision, laser-trimmed scaling and bipolar offset resistors provide four calibrated ranges: 0 volts to +10 volts and 0 volts to +20 volts unipolar, -5 volts to +5 volts and -10 volts to +10 volts bipolar. Typical bipolar offset and full-scale calibration errors of $\pm 0.1\%$ can be trimmed to zero with one external component each.
3. The internal buried Zener reference is trimmed to 10.00 volts with 0.2% maximum error and 15 ppm/°C typical T.C. The reference is available externally and can drive up to 1.5 mA beyond the requirements of the reference and bipolar offset resistors.
4. AD674B (15 µs) and AD774B (8 µs) provide higher speed, pin compatibility; AD1674 (10 µs) includes on-chip Sample-Hold Amplifier (SHA).

AD574A—SPECIFICATIONS (@ +25°C with $V_{CC} = +15$ V or +12 V, $V_{LOGIC} = +5$ V, $V_{EE} = -15$ V or -12 V unless otherwise noted)

Model	AD574AJ			AD574AK			AD574AL			Units
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION			12			12			12	Bits
LINEARITY ERROR @ +25°C T_{MIN} to T_{MAX}		± 1	± 1		$\pm 1/2$	$\pm 1/2$		$\pm 1/2$	$\pm 1/2$	LSB
DIFFERENTIAL LINEARITY ERROR (Minimum Resolution for Which No Missing Codes are Guaranteed) T_{MIN} to T_{MAX}	11			12			12			Bits
UNIPOLAR OFFSET (Adjustable to Zero)		± 2			± 1			± 1		LSB
BIPOLAR OFFSET (Adjustable to Zero)		± 4			± 4			± 2		LSB
FULL-SCALE CALIBRATION ERROR (With Fixed 50 Ω Resistor from REF OUT to REF IN) (Adjustable to Zero)		0.25			0.25			0.125		% of FS
TEMPERATURE RANGE	0	+70		0	+70		0	+70		°C
TEMPERATURE COEFFICIENTS (Using Internal Reference)										
T_{MIN} to T_{MAX}										
Unipolar Offset		± 2 (10)			± 1 (5)			± 1 (5)		LSB (ppm/°C)
Bipolar Offset		± 2 (10)			± 1 (5)			± 1 (5)		LSB (ppm/°C)
Full-Scale Calibration		± 9 (50)			± 5 (27)			± 2 (10)		LSB (ppm/°C)
POWER SUPPLY REJECTION										
Max Change in Full-Scale Calibration										
$V_{CC} = 15$ V ± 1.5 V or 12 V ± 0.6 V		± 2			± 1			± 1		LSB
$V_{LOGIC} = 5$ V ± 0.5 V		$\pm 1/2$			$\pm 1/2$			$\pm 1/2$		LSB
$V_{EE} = -15$ V ± 1.5 V or -12 V ± 0.6 V		± 2			± 1			± 1		LSB
ANALOG INPUT										
Input Ranges										
Bipolar	-5	+5	-5	+5	-5	+5	-5	+5		Volts
Unipolar	-10	+10	-10	+10	-10	+10	-10	+10		Volts
Input Impedance	0	+10	0	+10	0	+10	0	+10		Volts
10 Volt Span	0	+20	0	+20	0	+20	0	+20		Volts
20 Volt Span	3	5	7	3	5	7	3	5	7	kΩ
6	10	14	6	10	14	6	10	14		kΩ
DIGITAL CHARACTERISTICS ¹ (T_{MIN} – T_{MAX})										
Inputs ² (CE, CS, R/C, A ₀)										
Logic "1" Voltage	+2.0	+5.5	+2.0	+5.5	+2.0	+5.5	+2.0	+5.5		Volts
Logic "0" Voltage	-0.5	+0.8	-0.5	+0.8	-0.5	+0.8	-0.5	+0.8		Volts
Current	-20	+20	-20	+20	-20	+20	-20	+20		μA
Capacitance										pF
Output (DB11–DB0, STS)										
Logic "1" Voltage ($I_{SOURCE} \leq 500$ μA)	+2.4	+0.4	+2.4	+0.4	+2.4	+0.4	+2.4	+0.4		Volts
Logic "0" Voltage ($I_{SINK} \leq 1.6$ mA)	-20	+20	-20	+20	-20	+20	-20	+20		Volts
Leakage (DB11–DB0, High-Z State)										μA
Capacitance										pF
POWER SUPPLIES										
Operating Range										
V_{LOGIC}	+4.5	+5.5	+4.5	+5.5	+4.5	+5.5	+4.5	+5.5		Volts
V_{CC}	+11.4	+16.5	+11.4	+16.5	+11.4	+16.5	+11.4	+16.5		Volts
V_{EE}	-11.4	-16.5	-11.4	-16.5	-11.4	-16.5	-11.4	-16.5		Volts
Operating Current										
I_{LOGIC}	30	40	30	40	30	40	30	40		mA
I_{CC}	2	5	2	5	2	5	2	5		mA
I_{EE}	18	30	18	30	18	30	18	30		mA
POWER DISSIPATION	390	725	390	725	390	725	390	725		mW
INTERNAL REFERENCE VOLTAGE	9.98	10.0	10.02	9.98	10.0	10.02	9.99	10.0	10.01	Volts
Output Current (Available for External Loads) ³ (External Load Should not Change During Conversion)			1.5			1.5			1.5	mA
PACKAGE OPTIONS ⁴										
Ceramic (D-28)		AD574ASD				AD574AKD				
Plastic (N-28)		AD574AJN				AD574AKN				
PLCC (P-28A)		AD574AJP				AD574AKP				
LCC (E-28A)		AD574AJE				AD574AKE				
AD574ALD										
AD574ALN										

NOTES

¹Detailed Timing Specifications appear in the Timing Section.

²12/8 Input is not TTL-compatible and must be hard wired to V_{LOGIC} or Digital Common.

³The reference should be buffered for operation on ± 12 V supplies.

⁴D = Ceramic DIP; N = Plastic DIP; P = Plastic Leaded Chip Carrier.

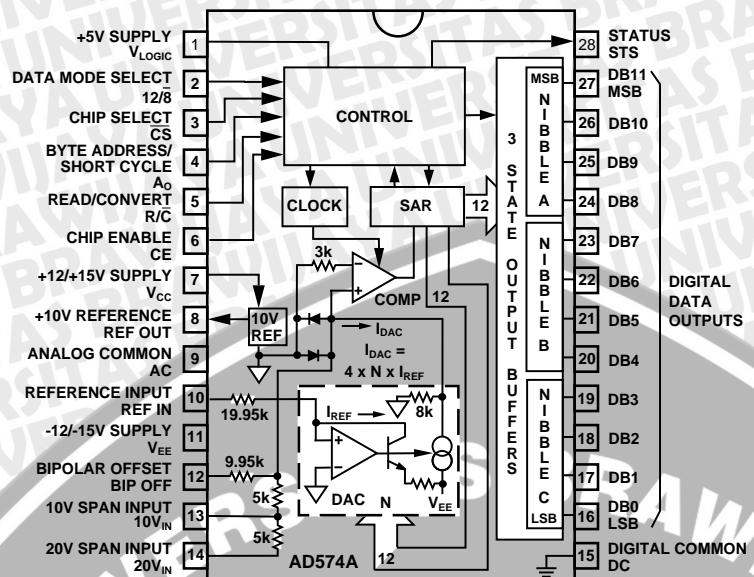
Specifications subject to change without notice.

Model	AD574AS			AD574AT			AD574AU			Units
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
RESOLUTION			12			12			12	Bits
LINEARITY ERROR @ +25°C T _{MIN} to T _{MAX}			±1			±1/2			±1/2	LSB
DIFFERENTIAL LINEARITY ERROR (Minimum Resolution for Which No Missing Codes are Guaranteed) T _{MIN} to T _{MAX}			11			12			12	Bits
UNIPOLAR OFFSET (Adjustable to Zero)			±2			±1			±1	LSB
BIPOLAR OFFSET (Adjustable to Zero)			±4			±4			±2	LSB
FULL-SCALE CALIBRATION ERROR (With Fixed 50 Ω Resistor from REF OUT to REF IN) (Adjustable to Zero)			0.25			0.25			0.125	% of FS
TEMPERATURE RANGE	-55		+125	-55		+125	-55		+125	°C
TEMPERATURE COEFFICIENTS (Using Internal Reference) (T _{MIN} to T _{MAX})										
Unipolar Offset		±2 (5)			±1 (2.5)			±1 (2.5)		LSB (ppm/°C)
Bipolar Offset		±4 (10)			±2 (5)			±1 (2.5)		LSB (ppm/°C)
Full-Scale Calibration		±20 (50)			±10 (25)			±5 (12.5)		LSB (ppm/°C)
POWER SUPPLY REJECTION										
Max Change in Full-Scale Calibration										
V _{CC} = 15 V ± 1.5 V or 12 V ± 0.6 V		±2			±1			±1		LSB
V _{LOGIC} = 5 V ± 0.5 V		±1/2			±1/2			±1/2		LSB
V _{EE} = -15 V ± 1.5 V or -12 V ± 0.6 V		±2			±1			±1		LSB
ANALOG INPUT										
Input Ranges										
Bipolar	-5		+5	-5		+5	-5		+5	Volts
Unipolar	-10		+10	-10		+10	-10		+10	Volts
Input Impedance	0		+10	0		+10	0		+10	Volts
10 Volt Span	0		+20	0		+20	0		+20	Volts
20 Volt Span	3	5	7	3	5	7	3	5	7	kΩ
6	10	14	6	10	14	6	10	14	6	kΩ
DIGITAL CHARACTERISTICS ¹ (T _{MIN} –T _{MAX})										
Inputs ² (CE, CS, R/C, A ₀)										
Logic “1” Voltage	+2.0		+5.5	+2.0		+5.5	+2.0		+5.5	Volts
Logic “0” Voltage	-0.5		+0.8	-0.5		+0.8	-0.5		+0.8	Volts
Current	-20		+20	-20		+20	-20		+20	µA
Capacitance		5			5			5		pF
Output (DB11–DB0, STS)										
Logic “1” Voltage (I _{SOURCE} ≤ 500 µA)	+2.4		+0.4	+2.4		+0.4	+2.4		+0.4	Volts
Logic “0” Voltage (I _{SINK} ≤ 1.6 mA)	-20		+20	-20		+20	-20		+20	Volts
Leakage (DB11–DB0, High-Z State)		5			5			5		µA
Capacitance										pF
POWER SUPPLIES										
Operating Range										
V _{LOGIC}	+4.5		+5.5	+4.5		+5.5	+4.5		+5.5	Volts
V _{CC}	+11.4		+16.5	+11.4		+16.5	+11.4		+16.5	Volts
V _{EE}	-11.4		-16.5	-11.4		-16.5	-11.4		-16.5	Volts
Operating Current										
I _{LOGIC}		30	40		30	40		30	40	mA
I _{CC}		2	5		2	5		2	5	mA
I _{EE}		18	30		18	30		18	30	mA
POWER DISSIPATION		390	725		390	725		390	725	mW
INTERNAL REFERENCE VOLTAGE	9.98	10.0	10.02	9.98	10.0	10.02	9.99	10.0	10.01	Volts
Output Current (Available for External Loads) ³ (External Load Should not Change During Conversion)			1.5			1.5			1.5	mA
PACKAGE OPTION ⁴				AD574ASD			AD574ATD			AD574AUD

NOTES

¹Detailed Timing Specifications appear in the Timing Section.²12/8 Input is not TTL-compatible and must be hard wired to V_{LOGIC} or Digital Common.³The reference should be buffered for operation on ±12 V supplies.⁴D = Ceramic DIP.

Specifications subject to change without notice.



AD574A Block Diagram and Pin Configuration

ABSOLUTE MAXIMUM RATINGS*

(Specifications apply to all grades, except where noted)

V _{CC} to Digital Common	0 V to +16.5 V	
V _{EE} to Digital Common	0 V to -16.5 V	
V _{LOGIC} to Digital Common	0 V to +7 V	
Analog Common to Digital Common	±1 V	
Control Inputs (CE, CS, Ao 12/8, R/C) to Digital Common	-0.5 V to V _{LOGIC} + 0.5 V	
Analog Inputs (REF IN, BIP OFF, 10 V _{IN}) to Analog Common	20 V _{IN} to Analog Common	±24 V
REF OUT	Indefinite Short to Common	
	Momentary Short to V _{CC}	

Chip Temperature	175°C
Power Dissipation	825 mW
Lead Temperature (Soldering, 10 sec.)	+300°C
Storage Temperature (Ceramic)	-65°C to +150°C
(Plastic)	-25°C to +100°C

*Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ORDERING GUIDE

Model ¹	Temperature Range	Linearity Error Max (T _{MIN} to T _{MAX})	Resolution No Missing Codes (T _{MIN} to T _{MAX})	Max Full Scale T.C. (ppm/°C)
AD574AJ(X)	0°C to +70°C	±1 LSB	11 Bits	50.0
AD574AK(X)	0°C to +70°C	±1/2 LSB	12 Bits	27.0
AD574AL(X)	0°C to +70°C	±1/2 LSB	12 Bits	10.0
AD574AS(X) ²	-55°C to +125°C	±1 LSB	11 Bits	50.0
AD574AT(X) ²	-55°C to +125°C	±1 LSB	12 Bits	25.0
AD574AU(X) ²	-55°C to +125°C	±1 LSB	12 Bits	12.5

NOTES

¹X = Package designator. Available packages are: D (D-28) for all grades, E (E-28A) for J and K grades and /883B processed S, T and U grades. N (N-28) for J, K, and L grades. P (P-28A) for PLCC in J, K grades. Example: AD574AKN is K grade in plastic DIP.

²For details on grade and package offerings screened in accordance with MIL-STD-883, refer to Analog Devices Military Products Databook.

THE AD574A OFFERS GUARANTEED MAXIMUM LINEARITY ERROR OVER THE FULL OPERATING TEMPERATURE RANGE

DEFINITIONS OF SPECIFICATIONS

LINEARITY ERROR

Linearity error refers to the deviation of each individual code from a line drawn from "zero" through "full scale". The point used as "zero" occurs 1/2 LSB (1.22 mV for 10 volt span) before the first code transition (all zeros to only the LSB "on"). "Full scale" is defined as a level 1 1/2 LSB beyond the last code transition (to all ones). The deviation of a code from the true straight line is measured from the middle of each particular code.

The AD574AK, L, T, and U grades are guaranteed for maximum nonlinearity of $\pm 1/2$ LSB. For these grades, this means that an analog value which falls exactly in the center of a given code width will result in the correct digital output code. Values nearer the upper or lower transition of the code width may produce the next upper or lower digital output code. The AD574AJ and S grades are guaranteed to ± 1 LSB max error. For these grades, an analog value which falls within a given code width will result in either the correct code for that region or either adjacent one.

Note that the linearity error is not user-adjustable.

DIFFERENTIAL LINEARITY ERROR (NO MISSING CODES)

A specification which guarantees no missing codes requires that every code combination appear in a monotonic increasing sequence as the analog input level is increased. Thus every code must have a finite width. For the AD574AK, L, T, and U grades, which guarantee no missing codes to 12-bit resolution, all 4096 codes must be present over the entire operating temperature ranges. The AD574AJ and S grades guarantee no missing codes to 11-bit resolution over temperature; this means that all code combinations of the upper 11 bits must be present; in practice very few of the 12-bit codes are missing.

UNIPOLAR OFFSET

The first transition should occur at a level 1/2 LSB above analog common. Unipolar offset is defined as the deviation of the actual transition from that point. This offset can be adjusted as discussed on the following two pages. The unipolar offset temperature coefficient specifies the maximum change of the transition point over temperature, with or without external adjustment.

BIPOLAR OFFSET

In the bipolar mode the major carry transition (0111 1111 1111 to 1000 0000 0000) should occur for an analog value 1/2 LSB below analog common. The bipolar offset error and temperature coefficient specify the initial deviation and maximum change in the error over temperature.

QUANTIZATION UNCERTAINTY

Analog-to-digital converters exhibit an inherent quantization uncertainty of $\pm 1/2$ LSB. This uncertainty is a fundamental characteristic of the quantization process and cannot be reduced for a converter of given resolution.

LEFT-JUSTIFIED DATA

The data format used in the AD574A is left-justified. This means that the data represents the analog input as a fraction of full-scale, ranging from 0 to $\frac{4095}{4096}$. This implies a binary point to the left of the MSB.

FULL-SCALE CALIBRATION ERROR

The last transition (from 1111 1111 1110 to 1111 1111 1111) should occur for an analog value 1 1/2 LSB below the nominal full scale (9.9963 volts for 10.000 volts full scale). The full-scale calibration error is the deviation of the actual level at the last transition from the ideal level. This error, which is typically 0.05% to 0.1% of full scale, can be trimmed out as shown in Figures 3 and 4.

TEMPERATURE COEFFICIENTS

The temperature coefficients for full-scale calibration, unipolar offset, and bipolar offset specify the maximum change from the initial (25°C) value to the value at T_{MIN} or T_{MAX} .

POWER SUPPLY REJECTION

The standard specifications for the AD574A assume use of $+5.00$ V and ± 15.00 V or ± 12.00 V supplies. The only effect of power supply error on the performance of the device will be a small change in the full-scale calibration. This will result in a linear change in all lower order codes. The specifications show the maximum full-scale change from the initial value with the supplies at the various limits.

CODE WIDTH

A fundamental quantity for A/D converter specifications is the code width. This is defined as the range of analog input values for which a given digital output code will occur. The nominal value of a code width is equivalent to 1 least significant bit (LSB) of the full-scale range or 2.44 mV out of 10 volts for a 12-bit ADC.

AD574A

CIRCUIT OPERATION

The AD574A is a complete 12-bit A/D converter which requires no external components to provide the complete successive-approximation analog-to-digital conversion function. A block diagram of the AD574A is shown in Figure 1.

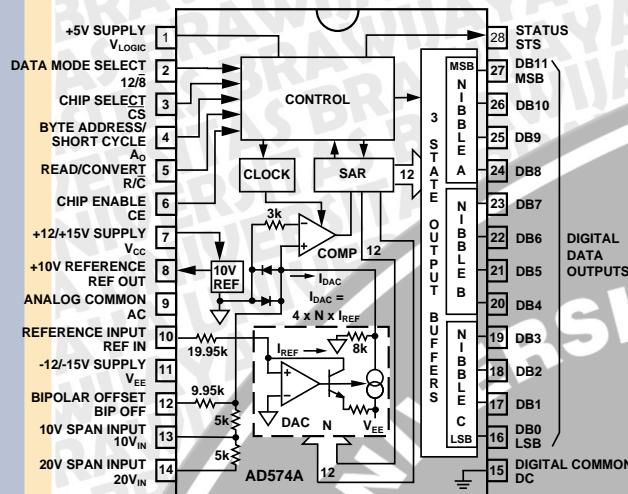


Figure 1. Block Diagram of AD574A 12-Bit A-to-D Converter

When the control section is commanded to initiate a conversion (as described later), it enables the clock and resets the successive-approximation register (SAR) to all zeros. Once a conversion cycle has begun, it cannot be stopped or restarted and data is not available from the output buffers. The SAR, timed by the clock, will sequence through the conversion cycle and return an end-of-convert flag to the control section. The control section will then disable the clock, bring the output status flag low, and enable control functions to allow data read functions by external command.

During the conversion cycle, the internal 12-bit current output DAC is sequenced by the SAR from the most significant bit (MSB) to least significant bit (LSB) to provide an output current which accurately balances the input signal current through the $5\text{ k}\Omega$ (or $10\text{ k}\Omega$) input resistor. The comparator determines whether the addition of each successively-weighted bit current causes the DAC current sum to be greater or less than the input current; if the sum is less, the bit is left on; if more, the bit is turned off. After testing all the bits, the SAR contains a 12-bit binary code which accurately represents the input signal to within $\pm 1/2$ LSB.

The temperature-compensated buried Zener reference provides the primary voltage reference to the DAC and guarantees excellent stability with both time and temperature. The reference is trimmed to 10.00 volts $\pm 0.2\%$; it can supply up to 1.5 mA to an external load in addition to the requirements of the reference input resistor (0.5 mA) and bipolar offset resistor (1 mA) when the AD574A is powered from ± 15 V supplies. If the AD574A is used with ± 12 V supplies, or if external current must be supplied over the full temperature range, an external buffer amplifier is recommended. Any external load on the AD574A reference must remain constant during conversion. The thin-film application resistors are trimmed to match the full-scale output current of the DAC. There are two $5\text{ k}\Omega$ input scaling resistors to allow either a 10 volt or 20 volt span. The $10\text{ k}\Omega$ bipolar offset resistor is grounded for unipolar operation and connected to the 10 volt reference for bipolar operation.

DRIVING THE AD574 ANALOG INPUT

The internal circuitry of the AD574 dictates that its analog input be driven by a low source impedance. Voltage changes at the current summing node of the internal comparator result in abrupt modulations of the current at the analog input. For accurate 12-bit conversions the driving source must be capable of holding a constant output voltage under these dynamically changing load conditions.

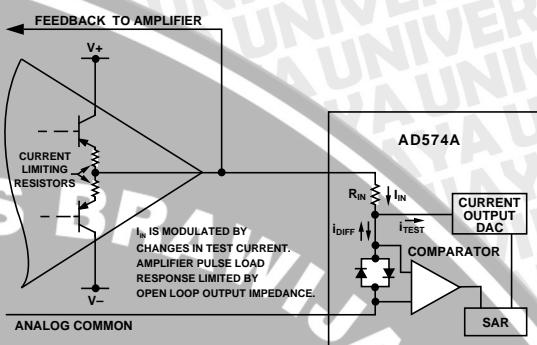


Figure 2. Op Amp – AD574A Interface

The output impedance of an op amp has an open-loop value which, in a closed loop, is divided by the loop gain available at the frequency of interest. The amplifier should have acceptable loop gain at 500 kHz for use with the AD574A. To check whether the output properties of a signal source are suitable, monitor the AD574's input with an oscilloscope while a conversion is in progress. Each of the 12 disturbances should subside in 1 μ s or less.

For applications involving the use of a sample-and-hold amplifier, the AD585 is recommended. The AD711 or AD544 op amps are recommended for dc applications.

SAMPLE-AND-HOLD AMPLIFIERS

Although the conversion time of the AD574A is a maximum of 35 μ s, to achieve accurate 12-bit conversions of frequencies greater than a few Hz requires the use of a sample-and-hold amplifier (SHA). If the voltage of the analog input signal driving the AD574A changes by more than 1/2 LSB over the time interval needed to make a conversion, then the input requires a SHA.

The AD585 is a high linearity SHA capable of directly driving the analog input of the AD574A. The AD585's fast acquisition time, low aperture and low aperture jitter are ideally suited for high-speed data acquisition systems. Consider the AD574A converter with a 35 μ s conversion time and an input signal of 10 V p-p: the maximum frequency which may be applied to achieve rated accuracy is 1.5 Hz. However, with the addition of an AD585, as shown in Figure 3, the maximum frequency increases to 26 kHz.

The AD585's low output impedance, fast-loop response, and low droop maintain 12-bits of accuracy under the changing load conditions that occur during a conversion, making it suitable for use in high accuracy conversion systems. Many other SHAs cannot achieve 12-bits of accuracy and can thus compromise a system. The AD585 is recommended for AD574A applications requiring a sample and hold.

An alternate approach is to use the AD1674, which combines the ADC and SHA on one chip, with a total throughput time of 10 μ s.

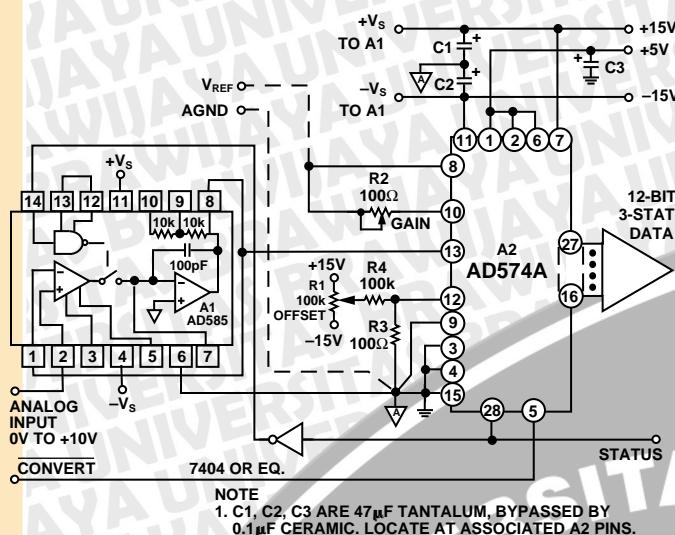


Figure 3. AD574A with AD585 Sample and Hold

SUPPLY DECOUPLING AND LAYOUT CONSIDERATIONS

It is critically important that the AD574A power supplies be filtered, well regulated, and free from high frequency noise. Use of noisy supplies will cause unstable output codes. Switching power supplies are not recommended for circuits attempting to achieve 12-bit accuracy unless great care is used in filtering any switching spikes present in the output. Remember that a few millivolts of noise represents several counts of error in a 12-bit ADC.

Decoupling capacitors should be used on all power supply pins; the +5 V supply decoupling capacitor should be connected directly from Pin 1 to Pin 15 (digital common) and the +V_{CC} and -V_{EE} pins should be decoupled directly to analog common (Pin 9). A suitable decoupling capacitor is a 4.7 μ F tantalum type in parallel with a 0.1 μ F disc ceramic type.

Circuit layout should attempt to locate the AD574A, associated analog input circuitry, and interconnections as far as possible from logic circuitry. For this reason, the use of wire-wrap circuit construction is not recommended. Careful printed circuit construction is preferred.

GROUNDING CONSIDERATIONS

The analog common at Pin 9 is the ground reference point for the internal reference and is thus the "high quality" ground for the AD574A; it should be connected directly to the analog reference point of the system. In order to achieve all of the high accuracy performance available from the AD574A in an environment of high digital noise content, the analog and digital commons should be connected together at the package. In some situations, the digital common at Pin 15 can be connected to the most convenient ground reference point; analog power return is preferred.

UNIPOLAR RANGE CONNECTIONS FOR THE AD574A

The AD574A contains all the active components required to perform a complete 12-bit A/D conversion. Thus, for most situations, all that is necessary is connection of the power supplies (+5 V, +12 V/+15 V and -12 V/-15 V), the analog input, and the conversion initiation command, as discussed on the next

page. Analog input connections and calibration are easily accomplished; the unipolar operating mode is shown in Figure 4.

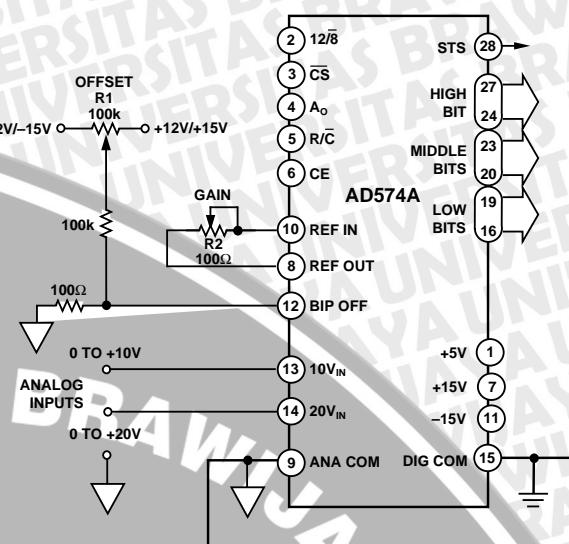


Figure 4. Unipolar Input Connections

All of the thin-film application resistors of the AD574A are trimmed for absolute calibration. Therefore, in many applications, no calibration trimming will be required. The absolute accuracy for each grade is given in the specification tables. For example, if no trims are used, the AD574AK guarantees ± 1 LSB max zero offset error and $\pm 0.25\%$ (10 LSB) max full-scale error. (Typical full-scale error is ± 2 LSB.) If the offset trim is not required, Pin 12 can be connected directly to Pin 9; the two resistors and trimmer for Pin 12 are then not needed. If the full-scale trim is not needed, a $50 \Omega \pm 1\%$ metal film resistor should be connected between Pin 8 and Pin 10.

The analog input is connected between Pin 13 and Pin 9 for a 0 V to +10 V input range, between 14 and Pin 9 for a 0 V to +20 V input range. The AD574A easily accommodates an input signal beyond the supplies. For the 10 volt span input, the LSB has a nominal value of 2.44 mV; for the 20 volt span, 4.88 mV. If a 10.24 V range is desired (nominal 2.5 mV/bit), the gain trimmer (R2) should be replaced by a 50Ω resistor, and a 200Ω trimmer inserted in series with the analog input to Pin 13 for a full-scale range of 20.48 V (5 mV/bit), use a 500Ω trimmer into Pin 14. The gain trim described below is now done with these trimmers. The nominal input impedance into Pin 13 is $5 k\Omega$, and $10 k\Omega$ into Pin 14.

UNIPOLAR CALIBRATION

The AD574A is intended to have a nominal 1/2 LSB offset so that the exact analog input for a given code will be in the middle of that code (halfway between the transitions to the codes above and below it). Thus, the first transition (from 0000 0000 0000 to 0000 0000 0001) will occur for an input level of +1/2 LSB (1.22 mV for 10 V range).

If Pin 12 is connected to Pin 9, the unit will behave in this manner, within specifications. If the offset trim (R1) is used, it should be trimmed as above, although a different offset can be set for a particular system requirement. This circuit will give approximately ± 15 mV of offset trim range.

AD574A

The full-scale trim is done by applying a signal 1 1/2 LSB below the nominal full scale (9.9963 for a 10 V range). Trim R2 to give the last transition (1111 1111 1110 to 1111 1111 1111).

BIPOLAR OPERATION

The connections for bipolar ranges are shown in Figure 5.

Again, as for the unipolar ranges, if the offset and gain specifications are sufficient, one or both of the trimmers shown can be replaced by a $50\ \Omega \pm 1\%$ fixed resistor. Bipolar calibration is similar to unipolar calibration. First, a signal 1/2 LSB above negative full scale (-4.9988 V for the $\pm 5\text{ V}$ range) is applied and R1 is trimmed to give the first transition (0000 0000 0000 to 0000 0000 0001). Then a signal 1 1/2 LSB below positive full scale ($+4.9963\text{ V}$ the $\pm 5\text{ V}$ range) is applied and R2 trimmed to give the last transition (1111 1111 1110 to 1111 1111 1111).

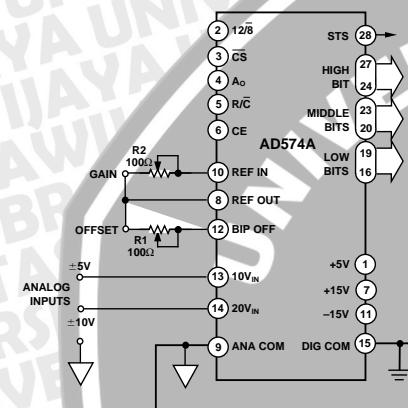


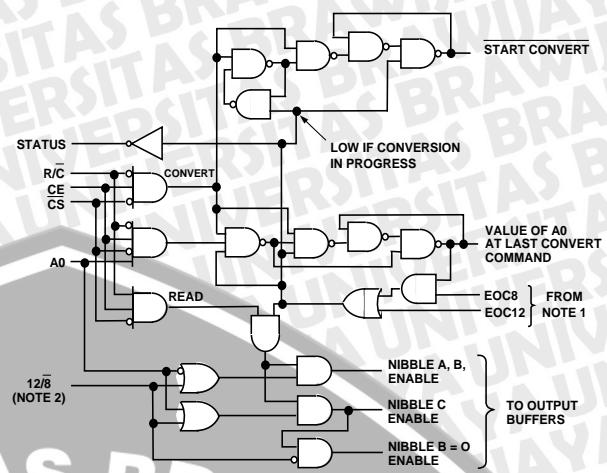
Figure 5. Bipolar Input Connections

CONTROL LOGIC

The AD574A contains on-chip logic to provide conversion initiation and data read operations from signals commonly available in microprocessor systems. Figure 6 shows the internal logic circuitry of the AD574A.

The control signals CE, \overline{CS} , and R/\overline{C} control the operation of the converter. The state of R/\overline{C} when CE and \overline{CS} are both asserted determines whether a data read ($R/\overline{C} = 1$) or a convert ($R/\overline{C} = 0$) is in progress. The register control inputs A_0 and $12/8$ control conversion length and data format. The A_0 line is usually tied to the least significant bit of the address bus. If a conversion is started with A_0 low, a full 12-bit conversion cycle is initiated. If A_0 is high during a convert start, a shorter 8-bit conversion cycle results. During data read operations, A_0 determines whether the three-state buffers containing the 8 MSBs of the conversion result ($A_0 = 0$) or the 4 LSBs ($A_0 = 1$) are enabled. The $12/8$ pin determines whether the output data is to be organized as two 8-bit words ($12/8$ tied to DIGITAL COMMON) or a single 12-bit word ($12/8$ tied to V_{LOGIC}). The $12/8$ pin is not TTL-compatible and must be hard-wired to either V_{LOGIC} or DIGITAL COMMON. In the 8-bit mode, the byte addressed when A_0 is high contains the 4 LSBs from the conversion followed by four trailing zeroes. This organization allows the data lines to be overlapped for direct interface to 8-bit buses without the need for external three-state buffers.

It is not recommended that A_0 change state during a data read operation. Asymmetrical enable and disable times of the three-state buffers could cause internal bus contention resulting in potential damage to the AD574A.



NOTE 1: WHEN START CONVERT GOES LOW, THE EOC (END OF CONVERSION) SIGNALS GO LOW. EOC8 RETURNS HIGH AFTER AN 8-BIT CONVERSION CYCLE IS COMPLETE, AND EOC12 RETURNS HIGH WHEN ALL 12-BITS HAVE BEEN CONVERTED. THE EOC SIGNALS PREVENT DATA FROM BEING READ DURING CONVERSIONS.

NOTE 2: $12/8$ IS NOT A TTL-COMPATABLE INPUT AND SHOULD ALWAYS BE WIRED DIRECTLY TO V_{LOGIC} OR DIGITAL COMMON.

Figure 6. AD574A Control Logic

An output signal, STS, indicates the status of the converter. STS goes high at the beginning of a conversion and returns low when the conversion cycle is complete.

Table I. AD574A Truth Table

CE	CS	R/\overline{C}	$12/8$	A_0	Operation
0	X	X	X	X	None
X	1	X	X	X	None
1	0	0	X	0	Initiate 12-Bit Conversion
1	0	0	X	1	Initiate 8-Bit Conversion
1	0	1	Pin 1	X	Enable 12-Bit Parallel Output
1	0	1	Pin 15	0	Enable 8 Most Significant Bits
1	0	1	Pin 15	1	Enable 4 LSBs + 4 Trailing Zeros

TIMING

The AD574A is easily interfaced to a wide variety of microprocessors and other digital systems. The following discussion of the timing requirements of the AD574A control signals should provide the system designer with useful insight into the operation of the device.

Table II. Convert Start Timing—Full Control Mode

Symbol	Parameter	Min	Typ	Max	Units
t_{DSC}	STS Delay from CE			400	ns
t_{HEC}	CE Pulse Width	300			ns
t_{SSC}	CS to CE Setup	300			ns
t_{HSC}	\overline{CS} Low During CE High	200			ns
t_{SRC}	R/\overline{C} to CE Setup	250			ns
t_{HRC}	R/\overline{C} Low During CE High	200			ns
t_{SAC}	A_0 to CE Setup	0			ns
t_{HAC}	A_0 Valid During CE High	300			ns
t_C	Conversion Time				
	8-Bit Cycle	10	24		μ s
	12-Bit Cycle	15	35		μ s

Figure 7 shows a complete timing diagram for the AD574A convert start operation. $\overline{R/C}$ should be low before both CE and CS are asserted; if $\overline{R/C}$ is high, a read operation will momentarily occur, possibly resulting in system bus contention. Either CE or CS may be used to initiate a conversion; however, use of CE is recommended since it includes one less propagation delay than CS and is the faster input. In Figure 7, CE is used to initiate the conversion.

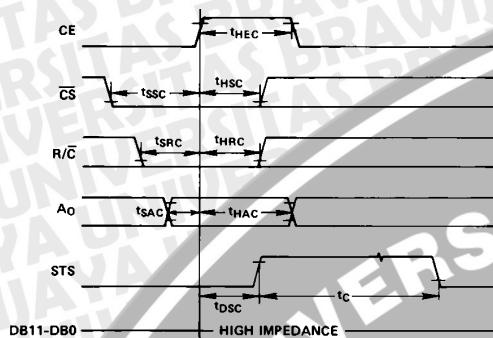


Figure 7. Convert Start Timing

Once a conversion is started and the STS line goes high, convert start commands will be ignored until the conversion cycle is complete. The output data buffers cannot be enabled during conversion.

Figure 8 shows the timing for data read operations. During data read operations, access time is measured from the point where CE and $\overline{R/C}$ both are high (assuming CS is already low). If CS is used to enable the device, access time is extended by 100 ns.

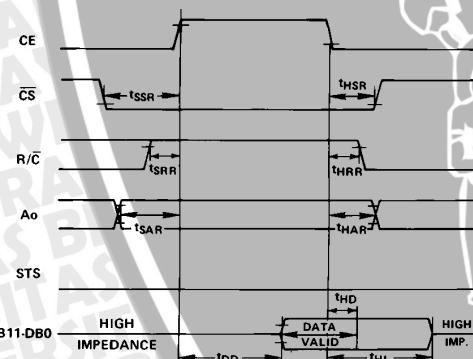


Figure 8. Read Cycle Timing

In the 8-bit bus interface mode (12/8 input wired to DIGITAL COMMON), the address bit, A_o , must be stable at least 150 ns prior to \overline{CE} going high and must remain stable during the entire read cycle. If A_o is allowed to change, damage to the AD574A output buffers may result.

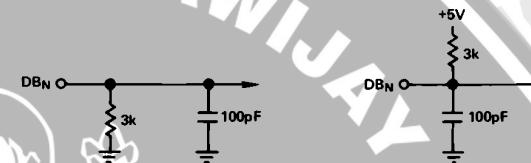
Table III. Read Timing—Full Control Mode

Symbol	Parameter	Min	Typ	Max	Units
t_{DD}^1	Access Time (from CE)			200	ns
t_{HD}	Data Valid After CE Low	25			ns
t_{HL}^2	Output Float Delay			100	ns
t_{SSR}	CS to CE Setup	150			ns
t_{SRR}	R/C to CE Setup	0			ns
t_{SAR}	A_o to CE Setup	150			ns
t_{HSR}	CS Valid After CE Low	50			ns
t_{HRR}	R/C High After CE Low	0			ns
t_{HAR}	A_o Valid After CE Low	50			ns

NOTES

¹ t_{DD} is measured with the load circuit of Figure 9 and defined as the time required for an output to cross 0.4 V or 2.4 V.

² t_{HL} is defined as the time required for the data lines to change 0.5 V when loaded with the circuit of Figure 10.



a. High-Z to Logic 1

b. High-Z to Logic 0

Figure 9. Load Circuit for Access Time Test



a. Logic 1 to High-Z b. Logic 0 to High-Z

Figure 10. Load Circuit for Output Float Delay Test

“STAND-ALONE” OPERATION

The AD574A can be used in a “stand-alone” mode, which is useful in systems with dedicated input ports available and thus not requiring full bus interface capability.

In this mode, CE and 12/8 are wired high, CS and A_o are wired low, and conversion is controlled by R/C . The three-state buffers are enabled when R/C is high and a conversion starts when R/C goes low. This allows two possible control signals—a high pulse or a low pulse. Operation with a low pulse is shown in Figure 11. In this case, the outputs are forced into the high impedance state in response to the falling edge of R/C and return

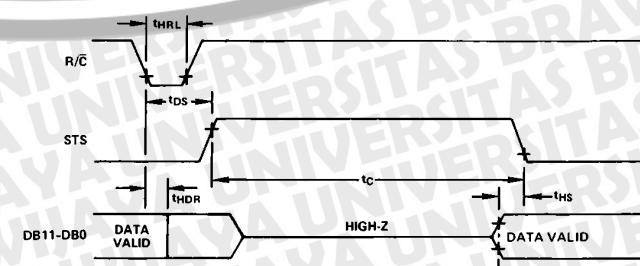


Figure 11. Low Pulse for R/C —Outputs Enabled After Conversion

AD574A

to valid logic levels after the conversion cycle is completed. The STS line goes high 600 ns after R/C goes low and returns low 300 ns after data is valid.

If conversion is initiated by a high pulse as shown in Figure 12, the data lines are enabled during the time when R/C is high. The falling edge of R/C starts the next conversion, and the data lines return to three-state (and remain three-state) until the next high pulse of R/C.

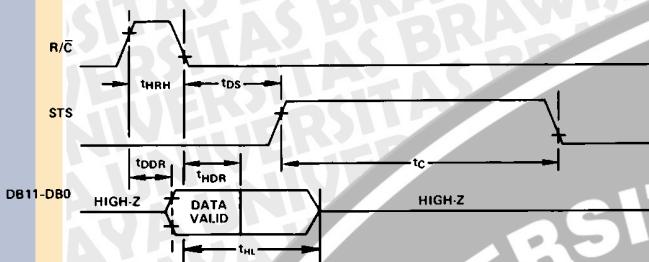


Figure 12. High Pulse for R/C—Outputs Enabled While R/C High, Otherwise High-Z

Table IV. Stand-Alone Mode Timing

Symbol	Parameter	Min	Typ	Max	Units
t _{HRL}	Low R/C Pulse Width	250			ns
t _{DS}	STS Delay from R/C		600		ns
t _{HDR}	Data Valid After R/C Low	25			ns
t _{HL}	Output Float Delay		150		ns
t _{HS}	STS Delay After Data Valid	300	1000		ns
t _{HRH}	High R/C Pulse Width	300			ns
t _{DDR}	Data Access Time		250		ns

Usually the low pulse for R/C stand-alone mode will be used. Figure 13 illustrates a typical stand-alone configuration for 8086 type processors. The addition of the 74F/S374 latches improves bus access/release times and helps minimize digital feedthrough to the analog portion of the converter.

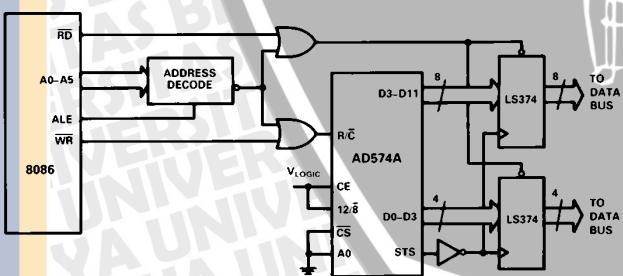


Figure 13. 8086 Stand-Alone Configuration

INTERFACING THE AD574A TO MICROPROCESSORS

The control logic of the AD574A makes direct connection to most microprocessor system buses possible. While it is impossible to describe the details of the interface connections for every microprocessor type, several representative examples will be described here.

GENERAL A/D CONVERTER INTERFACE CONSIDERATIONS

A typical A/D converter interface routine involves several operations. First, a write to the ADC address initiates a conversion. The processor must then wait for the conversion cycle to complete, since most ADCs take longer than one instruction cycle to complete a conversion. Valid data can, of course, only be read after the conversion is complete. The AD574A provides an output signal (STS) which indicates when a conversion is in progress. This signal can be polled by the processor by reading it through an external three-state buffer (or other input port). The STS signal can also be used to generate an interrupt upon completion of conversion, if the system timing requirements are critical (bear in mind that the maximum conversion time of the AD574A is only 35 microseconds) and the processor has other tasks to perform during the ADC conversion cycle. Another possible time-out method is to assume that the ADC will take 35 microseconds to convert, and insert a sufficient number of "do-nothing" instructions to ensure that 35 microseconds of processor time is consumed.

Once it is established that the conversion is finished, the data can be read. In the case of an ADC of 8-bit resolution (or less), a single data read operation is sufficient. In the case of converters with more data bits than are available on the bus, a choice of data formats is required, and multiple read operations are needed. The AD574A includes internal logic to permit direct interface to 8-bit or 16-bit data buses, selected by connection of the 12/8 input. In 16-bit bus applications (12/8 high) the data lines (DB11 through DB0) may be connected to either the 12 most significant or 12 least significant bits of the data bus. The remaining four bits should be masked in software. The interface to an 8-bit data bus (12/8 low) is done in a left-justified format. The even address (A0 low) contains the 8 MSBs (DB11 through DB4). The odd address (A0 high) contains the 4 LSBs (DB3 through DB0) in the upper half of the byte, followed by four trailing zeroes, thus eliminating bit masking instructions.

It is not possible to rearrange the AD574A data lines for right justified 8-bit bus interface.

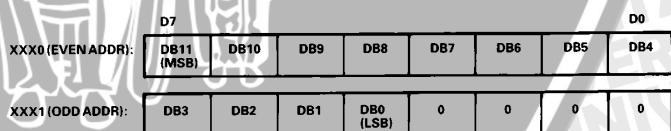


Figure 14. AD574A Data Format for 8-Bit Bus

SPECIFIC PROCESSOR INTERFACE EXAMPLES

Z-80 System Interface

The AD574A may be interfaced to the Z-80 processor in an I/O or memory mapped configuration. Figure 15 illustrates an I/O or mapped configuration. The Z-80 uses address lines A0–A7 to decode the I/O port address.

An interesting feature of the Z-80 is that during I/O operations a single wait state is automatically inserted, allowing the AD574A to be used with Z-80 processors having clock speeds up to 4 MHz. For applications faster than 4 MHz use the wait state generator in Figure 16. In a memory mapped configuration the AD574A may be interfaced to Z-80 processors with clock speeds of up to 2.5 MHz.

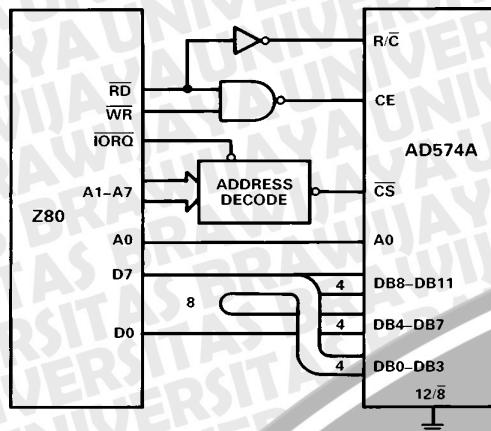
AD574A

Figure 15. Z80—AD574A Interface

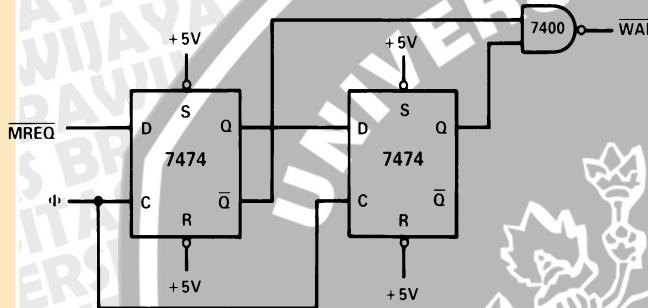


Figure 16. Wait State Generator

IBM PC Interface

The AD574A appears in Figure 17 interfaced to the 4 MHz 8088 processor of an IBM PC. Since the device resides in I/O space, its address is decoded from only the lower ten address lines and must be gated with AEN (active low) to mask out internal DMA cycles which use the same I/O address space. This active low signal is applied to CS. IOR and IOW are used to initiate the conversion and read, and are gated together to drive the chip enable, CE. Because the data bus width is limited to 8 bits, the AD574A data resides in two adjacent addresses selected by A0.

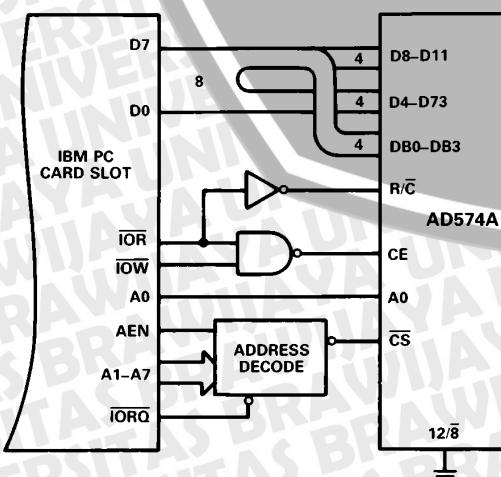


Figure 17. IBM PC—AD574A Interface

Note: Due to the large number of options that may be installed in the PC, the I/O bus loading should be limited to one Schottky TTL load. Therefore, a buffer/driver should be used when interfacing more than two AD574As to the I/O bus.

8086 Interface

The data mode select pin (12/8) of the AD574A should be connected to V_{LOGIC} to provide a 12-bit data output. To prevent possible bus contention, a demultiplexed and buffered address/data bus is recommended. In the cases where the 8-bit short conversion cycle is not used, A0 should be tied to digital common. Figure 18 shows a typical 8086 configuration.

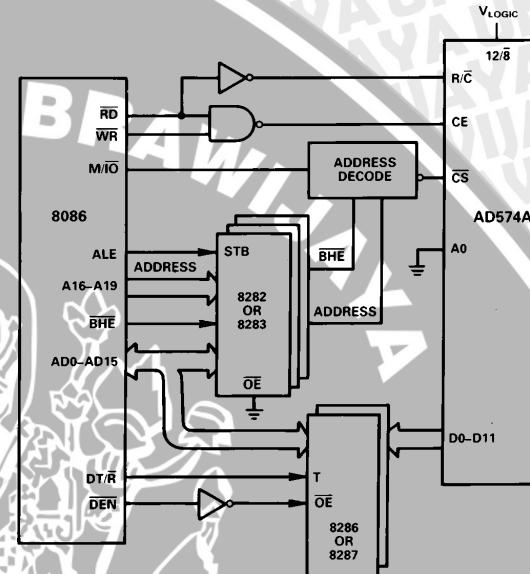


Figure 18. 8086—AD574A with Buffered Bus Interface

For clock speeds greater than 4 MHz wait state insertion similar to Figure 16 is recommended to ensure sufficient CE and R/C pulse duration.

The AD574A can also be interfaced in a stand-alone mode (see Figure 13). A low going pulse derived from the 8086's WR signal logically ORed with a low address decode starts the conversion. At the end of the conversion, STS clocks the data into the three-state latches.

68000 Interface

The AD574, when configured in the stand-alone mode, will easily interface to the 4 MHz version of the 68000 microprocessor. The 68000 R/W signal combined with a low address decode initiates conversion. The UDS or LDS signal, with the decoded address, generates the DTACK input to the processor, latching in the AD574A's data. Figure 19 illustrates this configuration.

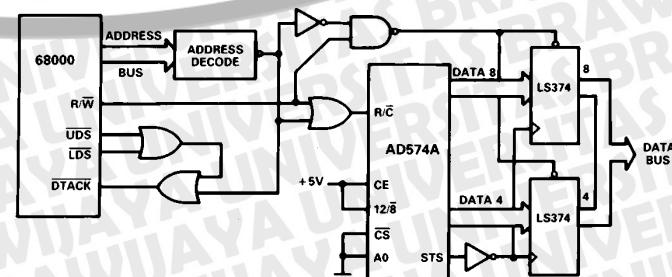
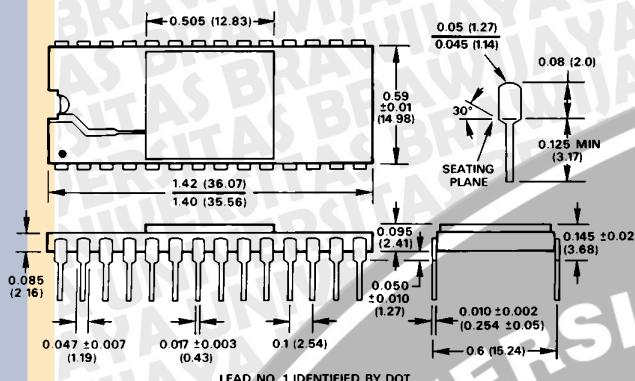


Figure 19. 68000—AD574A Interface

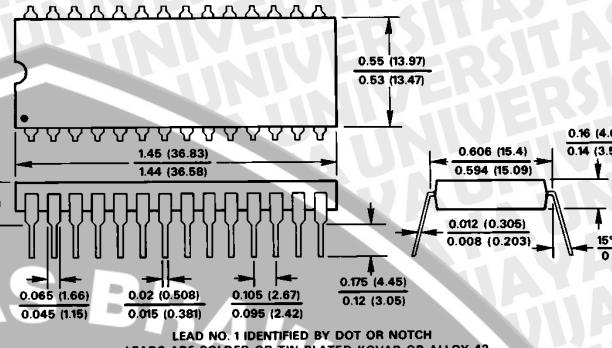
OUTLINE DIMENSIONS

Dimensions shown in inches and (mm).

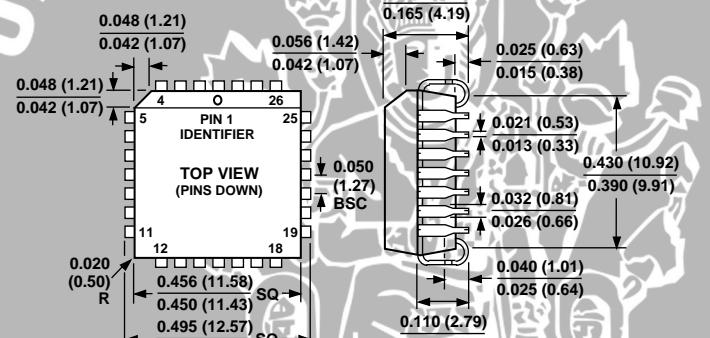
28-Pin Ceramic DIP Package (D-28)



28-Lead Plastic DIP Package (N-28A)



28-Terminal PLCC Package (P-28A)



28-Terminal LCC Package (E-28A)

