

**PERANCANGAN IC 3-TO-8 LINE DECODER  
DENGAN MENGGUNAKAN TEKNOLOGI HCMOS  
(HIGH SPEED COMPLEMENTARY METAL OXIDE SEMICONDUCTOR)**

**SKRIPSI**

**Diajukan untuk memenuhi persyaratan  
memperoleh gelar Sarjana Teknik**

**UNIVERSITAS BRAWIJAYA**



**Disusun Oleh:  
ARNISA STEFANIE  
NIM. 07106320-12**

**DEPARTEMEN PENDIDIKAN NASIONAL  
UNIVERSITAS BRAWIJAYA  
FAKULTAS TEKNIK JURUSAN TEKNIK ELEKTRO  
MALANG  
2009**

**PERANCANGAN IC 3-TO-8 LINE DECODER  
DENGAN MENGGUNAKAN TEKNOLOGI HCMOS  
(HIGH SPEED COMPLEMENTARY METAL OXIDE SEMICONDUCTOR)**

**SKRIPSI**

**Diajukan untuk memenuhi persyaratan  
memperoleh gelar Sarjana Teknik**

**UNIVERSITAS BRAWIJAYA**



**Disusun Oleh:  
ARNISA STEFANIE  
NIM. 07106320-12**

Telah Diperiksa dan Disetujui  
Dosen Pembimbing

**Ir. M. Julius St., Ms**  
**NIP. 19540720 198203 1 002**

**Dr. Agung Darmawansyah, ST., MT**  
**NIP. 19721218 199903 1 002**

**PERANCANGAN IC 3-TO-8 LINE DECODER  
DENGAN MENGGUNAKAN TEKNOLOGI HCMOS  
(HIGH SPEED COMPLEMENTARY METAL OXIDE SEMICONDUCTOR)**

**Disusun Oleh:  
ARNISA STEFANIE  
NIM. 07106320-12**

**Skripsi ini telah diuji dan dinyatakan lulus pada  
Tanggal 31 Juli 2009**

**Dosen Penguji:**

**Waru Djuriatno, ST., MT  
NIP. 19690725 199702 1 001**

**Mochammad Rif'an, ST., MT  
NIP. 19710301 200012 1 001**

**Panca Mudjirahardjo, ST., MT  
NIP. 19700329 200012 1 001**

**Mengetahui,  
Ketua Jurusan Teknik Elektro**

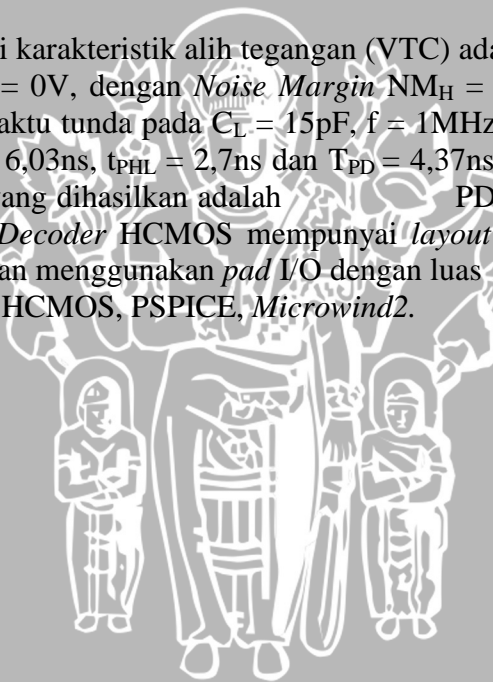
**Ir. Heru Nurwarsito, M.Kom.  
NIP.19650402 199002 1 001**

## ABSTRAK

Arnisa Stefanie, Jurusan Teknik Elektro, Fakultas Teknik Universitas Brawijaya, 2009, Perancangan IC 3-to-8 Line Decoder dengan menggunakan teknologi HCMOS (*High Speed Complementary Metal Oxide Semiconductor*), Dosen Pembimbing : Ir. M. Julius St., MS dan Dr. Agung Darmawansyah, ST., MT.

Perancangan ini bertujuan untuk menganalisis dan merancang IC *3-To-8 Line Decoder* dengan *high speed* teknologi dan disipasi daya rendah dengan teknologi HCMOS (*High Speed Complementary Metal Oxide Semiconductor*). Pembuatan gambar rangkaian HCMOS menggunakan *software* DSCH dan penggambaran *layout* rangkaian menggunakan *software* Microwind2. Pengujian spesifikasi rangkaian menggunakan *software* PSPICE. Spesifikasi catu tegangan yang digunakan 5V dengan nilai kapasitor kopling = 5p, frekuensi maksimal 25MHz dengan nilai  $K_N = 55\mu\text{A}/\text{V}^2$  dan  $K_P = 22\mu\text{A}/\text{V}^2$  sehingga diperoleh nilai *average propagation delay* = 10ns dan simetris.

Spesifikasi hasil simulasi karakteristik alih tegangan (VTC) adalah  $V_{IH} = 2,89\text{V}$ ,  $V_{IL} = 2,85\text{V}$ ,  $V_{OH} = 5\text{V}$ ,  $V_{OL} = 0\text{V}$ , dengan *Noise Margin*  $NM_H = 2,11\text{V}$ ,  $NM_L = 2,85\text{V}$ . Hasil simulasi waktu tunda pada  $C_L = 15\text{pF}$ ,  $f = 1\text{MHz}$  menurut perbandingan dengan *datasheet*  $t_{PLH} = 6,03\text{ns}$ ,  $t_{PHL} = 2,7\text{ns}$  dan  $T_{PD} = 4,37\text{ns}$ . *Power Disipation* dan *Power Delay Product* yang dihasilkan adalah  $PD = 0,34\text{mW}$  dan  $PDP = 1,48\text{pJ}$ . IC *3-to-8 Line Decoder* HCMOS mempunyai *layout* tanpa *pad* I/O dengan luas  $3500\mu\text{m} \times 300\mu\text{m}$  dan menggunakan *pad* I/O dengan luas  $17500\mu\text{m} \times 17500\mu\text{m}$ .  
Kata kunci: *Decoder*, HCMOS, PSPICE, Microwind2.



## DAFTAR GAMBAR

No.	Judul	Halaman
Gambar 2.1	Simbol <i>decoder 3 to 8</i>	4
Gambar 2.2	Rangkaian dasar <i>decoder 3 to 8</i>	5
Gambar 2.3	Transistor n-MOS	6
Gambar 2.4	Simbol Transistor MOSFET Mode <i>Depletion</i> (a). <i>N-Channel Depletion</i> (b). <i>P-Channel Depletion</i>	7
Gambar 2.5	n-MOSFET <i>Depletion Mode</i>	7
Gambar 2.6	Penampang n-MOSFET <i>Depletion Mode</i>	8
Gambar 2.7	Simbol Transistor MOSFET Mode <i>Enhancement</i> (a). <i>N-Channel Enhancement</i> (b). <i>P-Channel Enhancement</i>	8
Gambar 2.8	MOSFET <i>Enhancement Mode</i>	9
Gambar 2.9	Penampang MOSFET <i>Enhancement Mode</i>	9
Gambar 2.10	Operasi kerja Transistor MOS dan Karakteristik Arus-Tegangan. (a) Daerah Kerja Linier (b) Permulaan Saturasi (c) Daerah Kerja Saturasi	10
Gambar 2.11	Karakteristik Arus-Tegangan ( <i>Output</i> ) MOSFET Saluran-n <i>Enhancement Mode</i>	11
Gambar 2.12	Kurva Karakteristik <i>Drain</i> MOSFET <i>Depletion Mode</i>	14
Gambar 2.13	Kapasitansi Parasitik MOSFET	15
Gambar 2.14	Persambungan pn antara Difusi $n^+$ dengan Substrat Tipe p	18
Gambar 2.15	<i>Layout</i> Transistor MOS	19
Gambar 2.16	Pengaruh Nilai $k_R$ Pada Grafik $V_{in}$ Terhadap $V_{out}$	20
Gambar 2.17	Rangkaian Inverte CMOS	20
Gambar 2.18	Karakteristik Alih Tegangan Inverter	21
Gambar 2.19	Struktur Persambungan MOSFET	25
Gambar 2.20	Karakteristik Alih Tegangan	28
Gambar 2.21	<i>Noise Margin</i>	30
Gambar 2.22	Definisi <i>Delay</i> dalam Gerbang Digital	31

Gambar 2.23	Grafik Hubungan $n$ dengan $C_L/C_G$	34
Gambar 2.24	<i>Driver</i> Kaskada	35
Gambar 2.25	Grafik Hubungan $\alpha$ dengan $\alpha / \ln \alpha$	35
Gambar 4.1	Konfigurasi <i>3-to-8 Line Decoder</i> HCMOS	40
Gambar 4.2	Rangkaian Gerbang Logika <i>3-to-8 Line Decoder</i> HCMOS	43
Gambar 4.3	Rangkaian Transistor <i>Inverter</i>	44
Gambar 4.4	Rangkaian Transistor <i>Nand 2 Input</i>	44
Gambar 4.5	Rangkaian Transistor <i>Nand 4 Input</i>	44
Gambar 4.6	Rangkaian Transistor <i>3-to-8 Line Decoder</i>	45
Gambar 4.7	Perbandingan Nilai $W$ dan $L$	48
Gambar 4.8	<i>Noise Margin</i>	53
Gambar 5.1	Grafik Alih Tegangan (VTC) <i>3-to-8 Line Decoder</i>	78
Gambar 5.2	<i>Noise Margin</i> Hasil Simulasi	79
Gambar 5.3	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 0,5pF$ Frekuensi 1MHz	80
Gambar 5.4	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 0,5pF$ Frekuensi 5MHz	81
Gambar 5.5	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 0,5pF$ Frekuensi 10MHz	82
Gambar 5.6	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 0,5pF$ Frekuensi 20MHz	83
Gambar 5.7	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 0,5pF$ Frekuensi 25MHz	84
Gambar 5.8	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 5pF$ Frekuensi 1MHz	85
Gambar 5.9	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 5pF$ Frekuensi 5MHz	87
Gambar 5.10	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 5pF$ Frekuensi 10MHz	88
Gambar 5.11	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 5pF$ Frekuensi 20MHz	89
Gambar 5.12	Grafik Unit Step IC <i>3-to-8 Line Decoder</i> $C_L = 5pF$	

	Frekuensi 25MHz	90
Gambar 5.13	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 10\text{pF}$	
	Frekuensi 1MHz	91
Gambar 5.14	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 10\text{pF}$	
	Frekuensi 5MHz	92
Gambar 5.15	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 10\text{pF}$	
	Frekuensi 10MHz	93
Gambar 5.16	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 10\text{pF}$	
	Frekuensi 20MHz	95
Gambar 5.17	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 10\text{pF}$	
	Frekuensi 25MHz	96
Gambar 5.18	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 15\text{pF}$	
	Frekuensi 1MHz	97
Gambar 5.19	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 15\text{pF}$	
	Frekuensi 5MHz	98
Gambar 5.20	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 15\text{pF}$	
	Frekuensi 10MHz	99
Gambar 5.21	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 15\text{pF}$	
	Frekuensi 20MHz	100
Gambar 5.22	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 15\text{pF}$	
	Frekuensi 25MHz	101
Gambar 5.23	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 50\text{pF}$	
	Frekuensi 1MHz	102
Gambar 5.24	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 50\text{pF}$	
	Frekuensi 5MHz	103
Gambar 5.25	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 50\text{pF}$	
	Frekuensi 10MHz	104
Gambar 5.26	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 50\text{pF}$	
	Frekuensi 20MHz	105
Gambar 5.27	Grafik Unit Step IC 3-to-8 Line Decoder $C_L = 50\text{pF}$	
	Frekuensi 25MHz	106
Gambar 5.28	Flowchart Proses Pembuatan Layout	110

## DAFTAR TABEL

No.	Judul	Halaman
Tabel 2.1	Tabel Kebenaran <i>Decoder 3 To 8</i>	4
Tabel 2.2	Nilai Kapasitansi Saluran dalam Daerah Kerja yang Berbeda	16
Tabel 4.1	Parameter Desain Transistor CMOS	46
Tabel 4.2	Tabel <i>Propagation Delay</i> IC CMOS 74HC138 dan IC TTL DM74LS138	54
Tabel 4.3	Variasi Parameter Transkonduktansi	54
Tabel 4.4	Data Hasil Perhitungan Parameter Transkonduktansi	70
Tabel 4.5	Parameter Disipasi Daya	71
Tabel 4.6	Data Hasil Perhitungan Disipasi Daya	76
Tabel 5.1	Data Hasil Simulasi IC <i>Decoder 3-to-8 Line HCMOS</i>	107
Tabel 5.2	Perbandingan Data Hasil Perhitungan dan Simulasi VTC dengan <i>Datasheet</i> IC <i>Decoder 74HC138</i> dan IC <i>DM74LS138</i>	108
Tabel 5.3	Data Hasil Perbandingan Nilai <i>Propagation Delay</i> , <i>Rise Time</i> dan <i>Fall time</i> , dan $T_{PD}$ dengan <i>Datasheet</i> IC <i>Decoder 74HC138</i> dan IC <i>DM74LS138</i> pada $f = 1\text{MHz}$	109
Tabel 5.4	Data Hasil Perbandingan <i>Power Disipation</i> dan <i>Power Delay Product</i> dengan <i>Datasheet</i> IC <i>Decoder 74HC138</i> dan IC <i>DM74LS138</i> pada $C_L = 15\text{pF}$ $f = 1\text{MHz}$	109



## BAB I PENDAHULUAN

Bab ini membahas tentang latar belakang, rumusan masalah, batasan masalah, tujuan, dan sistematika penulisan.

### 1.1 Latar Belakang

Kemajuan teknologi dan pengetahuan mengalami peningkatan yang semakin pesat. Peningkatan teknologi ini digunakan untuk meringankan dan meningkatkan kualitas kerja manusia pada umumnya. Salah satu kemajuan teknologi yang sangat pesat dalam hitungan waktu yang singkat adalah bidang elektronik. Persaingan bisnis dalam bidang ini pun begitu pesat, sehingga perangkat elektronik yang canggih dengan teknologi *high speed* dan kemasan *portable* diciptakan untuk memenuhi kebutuhan konsumen.

Teknologi penunjang yang dikembangkan dalam bidang elektronik tersebut adalah teknologi mikroelektronik. Teknologi mikroelektronik adalah teknologi elektronik dengan dimensi kecil tetapi memiliki kemampuan yang besar, dengan fungsi elektronik yang sesuai dengan perancangan, beban daya yang relative kecil, kemampuan lebih dan ramah lingkungan.

Implementasi teknologi mikroelektronik adalah teknologi rangkaian terpadu atau IC (*Integrated Circuit*). Pada awal perkembangan sistem digital, IC TTL sangat populer digunakan. IC TTL disusun dari beberapa transistor bipolar yang memiliki disipasi daya tinggi sehingga teknologi ini mulai ditinggalkan dan diciptakanlah teknologi CMOS (*Complementary Metal Oxide Semiconductor*).

Transistor CMOS merupakan transistor MOS yang terdiri atas tipe NMOS (*n-Channel MOS*) dan tipe PMOS (*p-Channel MOS*). Dalam penggunaannya, transistor CMOS dipilih karena konsumsi disipasi daya rendah daripada teknologi TTL, namun memiliki kehandalan yang tinggi. Keunggulan lain IC CMOS adalah IC CMOS mempunyai *noise margin* yang lebih besar daripada *noise margin* pada IC TTL dan secara fisik teknologi CMOS memiliki ukuran yang sangat kecil. CMOS membutuhkan *space* 1 mil<sup>2</sup> sedangkan transistor bipolar membutuhkan 50 mil<sup>2</sup>. Yang lebih penting IC digital MOS umumnya tidak menggunakan *IC resistor element* yang banyak dibutuhkan pada chip IC bipolar. Semua ini berarti bahwa IC MOS dapat

banyak digunakan sebagai element rangkaian dalam *single chip* dari pada IC bipolar. Keunggulan ini dibuktikan oleh kenyataan yang menyatakan bahwa IC MOS telah mendominasi IC bipolar pada teknologi LSI (*Large Scale Integration*) dan VLSI (*Very Large Scale Integration*). Kemasan (*packing*) yang padat pada IC MOS membuat IC menjadi lebih kompleks seperti mikroprosesor dan chip memori.

Teknologi HCMOS adalah teknologi yang dikembangkan dari teknologi CMOS, pada HCMOS dilakukan penambahan driver caskada sehingga menghasilkan nilai *propagation delay* yang relative lebih kecil dari teknologi TTL dan CMOS. Semakin kecil nilai *propagation delay* maka kecepatan proses kerja dari IC atau komponen yang digunakan akan semakin cepat. Pada *datasheet* nilai *propagation delay* IC 17HC138 adalah 13ns dan SN74LS138 adalah 21ns, hal ini membuktikan bahwa proses kerja IC HCMOS jauh lebih cepat. Penggunaan driver caskada pada teknologi ini merupakan pengganti dari penggunaan buffer atau penguat arus yang dapat menyebabkan proses pengisian muatan pada kapasitor yang diletakkan pada output semakin cepat. Kapasitor yang digunakan berfungsi untuk mengetahui respon waktu yang terjadi khususnya pada proses simulasi.

Penerapan teknologi HCMOS dalam perancangan ini adalah dalam perencanaan IC *3-To-8 Line Decoder*. Dalam perancangan dikehendaki hasil yang ideal. Kondisi ideal yang diharapkan antara lain nilai VTC (*Voltage Transfer Characteristic*), *propagation delay* yang kecil, dan disipasi daya yang kecil. Parameter – parameter tertentu dibutuhkan untuk mendapatkan hasil yang ideal. Semua parameter akan dieliminasi pada suatu parameter paling utama yaitu nilai rasio L/W dari CMOS sebagai *driver*. Perbandingan nilai L (*Length*) dan W (*Width*) inilah yang akan menentukan suatu kondisi ideal pada nilai VTC *3-To-8 Line Decoder* HCMOS.

## 1.2 Rumusan Masalah

Rumusan masalah yang dibahas dalam perancangan ini adal sebagai berikut:

- 1) Bagaimana merencanakan dan merancang rangkaian IC *3-To-8 Line Decoder*.
- 2) Bagaimana perencanaan perhitungan dalam perancangan tersebut.
- 3) Berapakah besar perbedaan perhitungan manual dari hasil perancangan terhadap simulasi yang dihasilkan.

- 4) Bagaimana pembuatan tata-letak hasil rancangan dengan menggunakan *Microwind*.
- 5) Bagaimana perbandingan tampilan hasil rancangan pada simulasi *PSPICE* dengan IC TTL pada data sheet.

### 1.3 Batasan Masalah

Batasan masalah yang digunakan dalam pembahasan perancangan ini adalah sebagai berikut:

- 1) Menyajikan penurunan rumus secara umum sebagai pembanding dan tidak membahas penurunan rumus dasar MOSFET.
- 2) Pembahasan yang dilakukan berupa perhitungan manual dengan parameter-parameter yang telah ditetapkan, untuk menghasilkan rancangan sesuai dengan spesifikasi yang diinginkan.
- 3) Tidak dilakukan proses fabrikasi dan hasil rancangan berupa *layout IC 3-To-8 Line Decoder*.

### 1.4 Tujuan

Tujuan yang ingin dicapai dalam skripsi ini adalah merancang IC *3-To-8 Line Decoder* dengan *high speed* teknologi dan disipasi daya rendah dengan teknologi HCMOS (*High Speed Complementary Metal Oxide Semiconductor*).

### 1.5 Sistematika Penulisan

Sistematika penulisan dalam laporan skripsi ini adalah Bab I berisi latar belakang, rumusan masalah, batasan masalah, tujuan dan sistematika penulisan. Bab II berisi dasar teori yang dibutuhkan. Bab III berisi metodologi penulisan dan perencanaan. Bab IV berisi perancangan sistem yang dibuat. Bab V berisi hasil pengujian sistem.

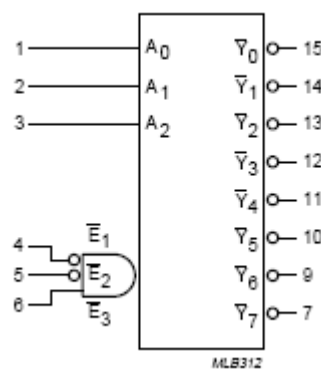
## BAB II

### DASAR TEORI

Bab ini membahas dasar teori yang merupakan hasil dari studi literatur tentang teori untuk merencanakan dan menganalisa IC *3-To-8 Line Decoder* HCMOS.

## 2.1 Decoder

Decoder merupakan rangkaian logika yang berfungsi mengkode ulang atau menafsirkan kode-kode biner yang ada pada inputnya menjadi data asli pada outputnya, dan fungsinya merupakan kebalikan dari fungsi *encoder* (Muchlas, 2005: 206). *Decoder 3 to 8* merupakan *decoder* yang memiliki delapan output kombinasi. Kombinasi input dihasilkan dari  $A_0$ ,  $A_1$  dan  $A_2$  yang merupakan input aktif *high* simbol *decoder* dapat dilihat dalam Gambar 2.1. Tabel 2.1 menunjukkan daftar kebenaran *decoder 3 to 8*.

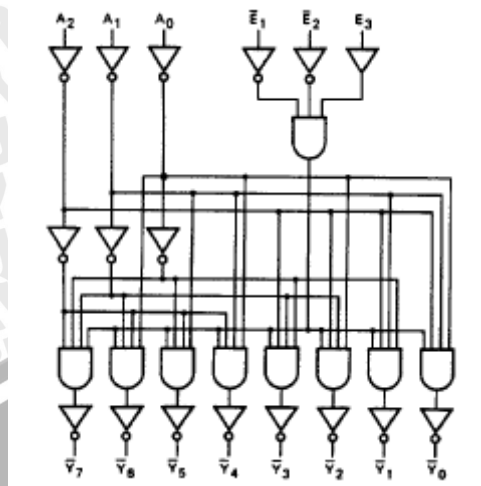


Gambar 2.1 Simbol *decoder 3 to 8*

Tabel 2.1 Tabel Kebenaran *Decoder 3 To 8*

INPUTS						OUTPUTS							
$\bar{E}_1$	$\bar{E}_2$	$E_3$	$A_0$	$A_1$	$A_2$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	L	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	H	H	H	H	H	H	H	H	H	H	L

Tabel 2.1 menunjukkan output yang berupa aktif *low*. Sinyal input yang dibutuhkan selain pin input adalah sinyal *enable*, dengan kombinasi  $E_1$  dan  $E_2$  merupakan aktif *low* dan  $E_3$  merupakan aktif *high*. *Enable* berfungsi sebagai pengaktif fungsi *decoder*, agar sinyal output pada *decoder* dapat dihasilkan maka *decoder* harus diaktifkan dengan menggunakan sinyal *enable*.



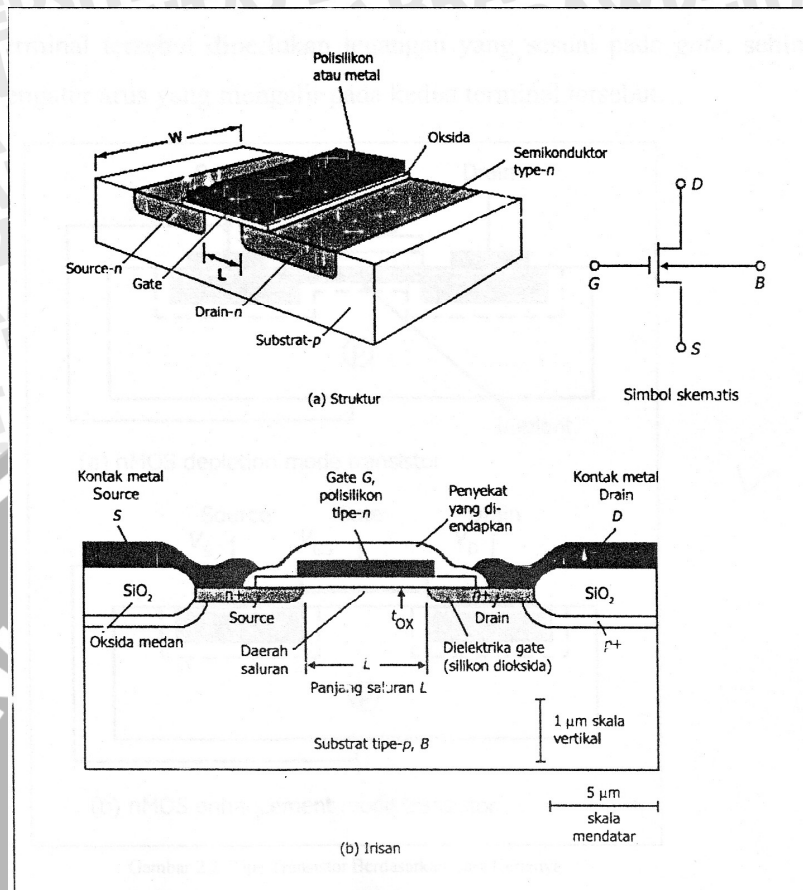
Gambar 2.2 Rangkaian dasar decoder 3 to 8

Sumber: Philip Semikonductor

Gambar 22. merupakan gambar rangkaian dasar decoder 3 to 8, dimana tersusun dari beberapa gerbang AND dan inverter yang disusun sedemikian rupa untuk menghasilkan kombinasi sinyal decoder.

## 2.2 Transistor MOS

Transistor MOS (*Metal oxide semiconductor*) termasuk salah satu jenis transistor efek medan (*FET = Field Effect Transistor*). Asal kata MOS (*Metal oxide semiconductor*) diperoleh dari struktur dasar MOS yaitu *metal elektrode* diatas *oxide insulator* dan terletak diatas substrat semikonduktor. Teknologi transistor MOS dengan *field-effect* transistor disebut dengan MOSFET (*Digital System, Ronald J. Tocci, 1995: 427*). Istilah *field-effect* (efek medan listrik) berasal dari prinsip kerja transistor yang berkenaan dengan lapisan deplesi. Lapisan ini terbentuk antara semikonduktor tipe n dan tipe p, karena bergabungnya elektron dan hole disekitar daerah perbatasan. Sama seperti medan listrik, lapisan deplesi ini bisa membesar atau mengecil tergantung dari tegangan antara *Gate* dan *Source* ([www.stttelkom.ac.id](http://www.stttelkom.ac.id)). Transistor MOS terdiri atas empat terminal, yaitu *gate* (gerbang), *drain* (penguras), *source* (sumber) dan *substrate* (substrat) atau *bulk/body* (badan). Untuk memudahkan dalam menganalisis, pengaruh substrat dapat diabaikan dengan menghubungkan substrat tersebut pada *source*. Gambar 2.3 menunjukkan struktur dan irisan transistor n-MOS.



Gambar 2.3 Transistor n-MOS

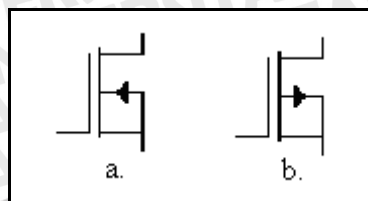
Sumber: Hodges, David A. And Horace G. Jackson, 1987: 37

Pada transistor MOS, substrat dan *gate* dipisahkan dengan menggunakan suatu oksida logam tipis (biasanya menggunakan  $\text{SiO}_2$ ), sehingga tidak terdapat arus yang mengalir melalui oksida tersebut. Karena alasan ini, transistor MOS juga disebut sebagai IGFET (*Insulated-Gate Field Effect Transistor*). Berdasarkan cara kerjanya transistor MOSFET terdiri dari dua tipe, yaitu *depletion* dan *enhancement*, IC digital MOS yang biasa digunakan adalah MOSFET tipe *enhancement*.

#### 1) MOSFET Mode Pengosongan (*Depletion Mode Transistor*)

Pada transistor mode ini, antara *drain* dan *source* terdapat saluran yang menghubungkan fungsi sebagai saluran tempat mengalirnya elektron bebas. Lebar saluran dapat dikendalikan oleh tegangan gerbang. Transistor MOSFET

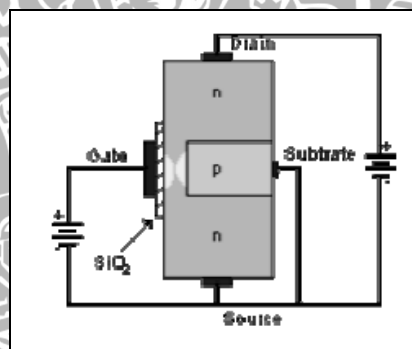
mode pengosongan terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.4.



Gambar 2.4 Simbol Transistor MOSFET Mode *Depletion*

(a). N-Channel *Depletion* (b). P-Channel *Depletion*

Struktur transistor NMOS terdiri atas substrat tipe-p dengan daerah *source* dan *drain* diberi difusi- $n^+$ . Di antara daerah *source* dan *drain* terdapat suatu daerah sempit dari substrat- $p^+$  disebut *channel* (daerah saluran) yang ditutupi oleh lapisan tak menghantar (*insulating*) yang terbuat dari  $SiO_2$ . Panjang *channel* disebut *Length* (L) dan lebarnya disebut *Width* (W). Gerbang (*gate*) terbuat dari polisilikon dan ditutup oleh penyekat yang diendapkan. Gambar MOSFET mode deplesi ditunjukkan dalam Gambar 2.5.

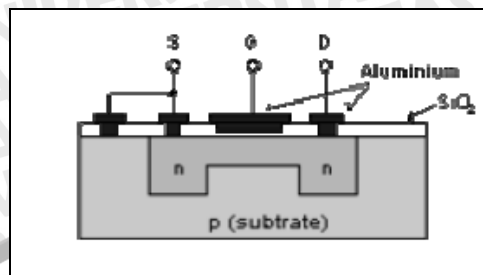


Gambar 2.5 n-MOSFET *Depletion Mode*

Lapisan deplesi mulai membuka jika  $V_{GS} = 0$  dengan menghubungkan singkat substrat p dengan source diharapkan ketebalan lapisan deplesi adalah maksimal. Sehingga ketebalan deplesi selanjutnya hanya akan ditentukan oleh tegangan *Gate* terhadap *Source*.

Semakin negatif tegangan *Gate* terhadap *Source*, semakin kecil arus *Drain* yang bisa lewat dan menjadi nol pada tegangan negatif tertentu. Selanjutnya jika tegangan *Gate* dinaikkan samadengan tegangan *Source* arus akan mengalir karena lapisan deplesi mulai membuka (prinsip kerja sama seperti FET). *Gate* yang terisolasi menyebabkan  $V_{GS}$  semakin positif, arus elektron yang mengalir semakin besar (MOSFET *depletion mode* bisa bekerja sampai tegangan

Gate positif). Penampang n-MOSFET mode deplesi ditunjukkan dalam Gambar 2.6.

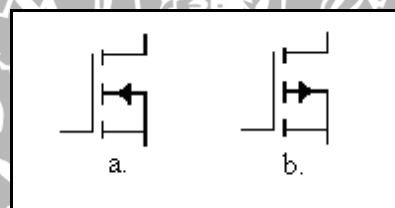


Gambar 2.6 Penampang n-MOSFET *Depletion Mode*

Sumber: [www.stttelkom.ac.id](http://www.stttelkom.ac.id)

## 2) MOSFET Mode Peningkatan (*Enhancement Mode Transistor*)

Transistor mode ini pada fisiknya tidak memiliki saluran antara *drain* dan *source*-nya karena lapisan *body* meluas dengan lapisan  $\text{SiO}_2$  pada terminal *gate*. Transistor MOSFET mode peningkatan terdiri dari tipe-N dan tipe-P, simbol transistor ditunjukkan dalam Gambar 2.7.

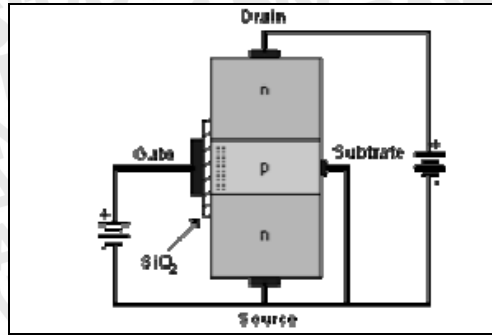


Gambar 2.7 Simbol Transistor MOSFET Mode *Enhancement*

(a). *N-Channel Enhancement* (b). *P-Channel Enhancement*

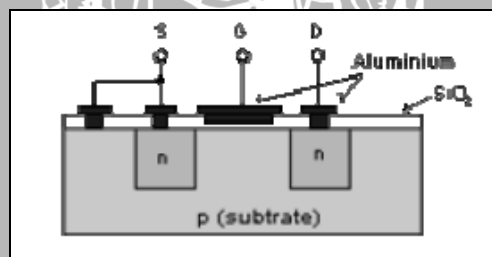
Jika tegangan  $V_{GS}$  dibuat negatif maka arus elektron tidak dapat mengalir. Ketika  $V_{GS} = 0$  arus belum mengalir karena tidak ada deplesi atau celah yang dapat dialiri elektron. Dengan memberikan tegangan  $V_{GS}$  positif, arus akan mengalir karena substrat terhubung dengan *Source*, sehingga tegangan *Gate* lebih positif terhadap tegangan substrat. Tegangan positif ini menyebabkan elektron tertarik ke substrat p. Elektron-elektron akan bergabung dengan hole yang ada pada substrat p. Karena potensial *Gate* lebih positif, maka elektron terlebih dahulu tertarik dan menumpuk disisi substrat yang berbatasan dengan *Gate*. Elektron akan terus menumpuk dan tidak dapat mengalir menuju *Gate* karena terisolasi  $\text{SiO}_2$ . Gambar MOSFET mode *enhancement* ditunjukkan dalam Gambar 2.8.



Gambar 2.8 MOSFET *Enhancement Mode*

Jika tegangan *Gate* cukup positif, maka tumpukan elektron akan menyebabkan terbentuknya semacam lapisan n negatif dan saat itulah arus *Drain* dan *Source* mengalir. Lapisan ini disebut *inversion layer* karena substrat p yang terbentuk adalah muatan negatif. Tegangan minimum dimana lapisan inversi mulai terbentuk disebut tegangan *threshold*.

Pada kebanyakan *chip* MOS, untuk mengubah tegangan ambang dilakukan dengan mengubah konsentrasi *doping* saluran yang diatur oleh banyaknya ion yang ditanamkan (*implant*) ke saluran. Penambahan *implant* tipe-p menyebabkan tegangan ambang lebih positif dan sebaliknya penambahan *implant* tipe-n menyebabkan tegangan ambang lebih negatif. Tegangan ambang disimbolkan dengan  $V_{TN}$  untuk *implant* tipe-n dan  $V_{TP}$  untuk *implant* tipe-p. Penampang MOSFET mode *enhancement* ditunjukkan dalam Gambar 2.9.

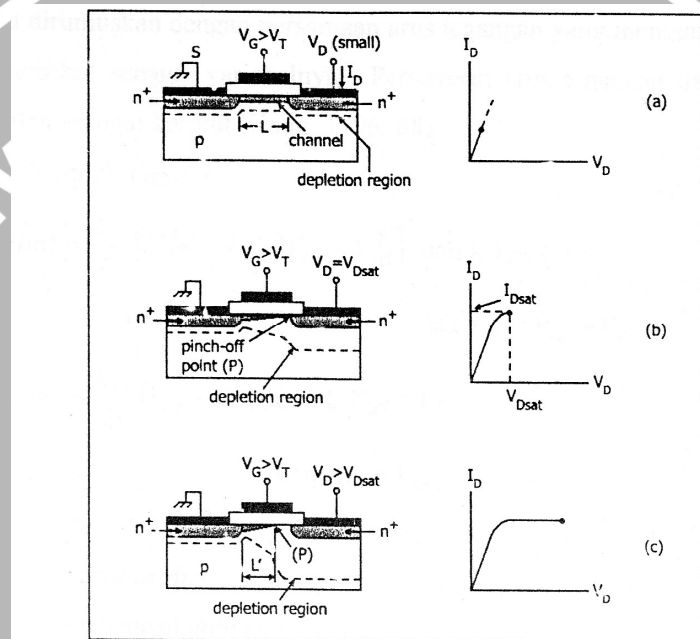
Gambar 2.9 Penampang MOSFET *Enhancement Mode*

### 2.3 Karakteristik Arus Tegangan Transistor MOS

Transistor MOS bekerja jika *gate* diberi tegangan maksimum, tanpa adanya tegangan pada *gate*, maka arus tidak dapat mengalir dari *drain* ke *source*. Pada mode peningkatan, saluran antara *drain* dan *source* belum terbentuk, sehingga apabila *gate* diberi tegangan masukan positif maka *gate* akan bekerja sebagai sebuah pelat kapasitor, oksida logam sebagai dielektrik dan substrat p sebagai pelat kapasitor yang lain. Muatan positif pada *gate* menginduksi semikonduktor dibawah oksida logam

menjadi muatan negatif. Muatan negatif tersebut membentuk suatu saluran yang menghubungkan antara *drain* dengan *source*. Semakin positif tegangan *gate* maka semakin besar pula konduksi dari *drain* ke *source*.

Operasi kerja dari transistor MOS ditunjukkan dalam Gambar 10, yang terbagi atas tiga kategori, yaitu daerah kerja *cut-off*, linier dan saturasi. Operasi kerja tersebut secara kualitatif akan dijelaskan sebagai berikut, untuk daerah kerja *cut-off*, tegangan *gate* lebih kecil dari tegangan ambang sehingga tidak terbentuk saluran dan arus tidak dapat mengalir. Transistor akan bekerja seperti rangkaian terbuka (*open circuit*).



Gambar 2.10 Operasi kerja Transistor MOS dan Karakteristik Arus-Tegangan. (a) Daerah Kerja Linier (b) Permulaan Saturasi (c) Daerah Kerja Saturasi

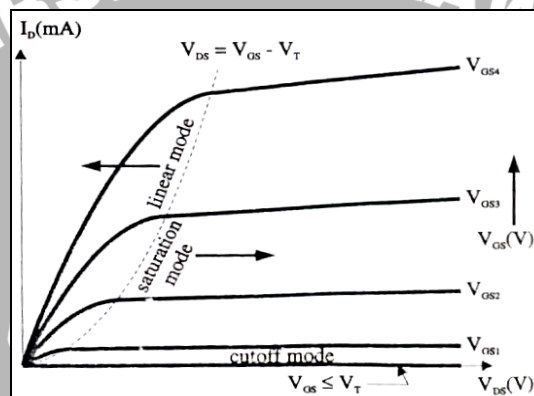
Sumber: Sze, S.M., 1985: 187

Daerah kerja linier, seperti yang ditunjukkan dalam Gambar 2.10, pada awalnya *gate* diberi tegangan hingga terbentuk saluran, apabila *drain* diberi tegangan yang kecil maka elektron akan mengalir dari *source* melalui saluran tersebut. Saluran tersebut akan bertindak sebagai tahanan (resistansi), sehingga arus *drain*  $I_D$  adak sebanding dengan tegangan *drain*  $V_D$ . Daerah kerja linier ini ditunjukkan dengan garis linier dalam grafik Gambar 2.10 (a).

Apabila tegangan *drain* terus ditingkatkan hingga tegangan pada *gate* menjadi netral, lapisan inversi saluran pada sisi *drain* akan hilang dan mencapai suatu titik yang disebut dengan titik *pinch-off*. Titik *pinch-off* (P) ini merupakan permulaan dari daerah kerja saturasi dari transistor MOS yang ditunjukkan dalam Gambar 2.10 (b).

Apabila melebihi titik ini, peningkatan tegangan *drain* tidak akan mengubah arus *drain*, sehingga arus *drain* akan tetap konstan. Daerah kerja ini disebut dengan daerah kerja saturasi yang ditunjukkan dalam Gambar 2.10 (c) (Kang, 1996: 68). Kurva karakteristik arus tegangan secara keseluruhan ditampilkan dalam Gambar 2.11.

Kurva karakteristik dibentuk oleh arus *drain*  $I_D$  (mA) dan tegangan *drain-source*  $V_{DS}$  (volt). Grafik karakteristik MOSFET (NMOS) arus  $I_D$  sebagai fungsi  $V_{DS}$  dengan parameter  $V_{GS}$  yang ditunjukkan dalam Gambar 2.11, terdapat tiga daerah operasi yaitu daerah *cut-off*, linear, dan saturasi. Pada daerah *cut-off*, tegangan gerbang lebih kecil dari tegangan ambang, sehingga tidak terbentuk saluran, dan arus tidak dapat mengalir ( $I_D = 0$ ).



Gambar 2.11 Karakteristik Arus-Tegangan (*Output*) MOSFET Saluran-n *Enhancement Mode*

Sumber: De Massa, 1996: 224

Arus *drain*  $I_D$  merupakan besaran matematis yang nilainya bergantung pada parameter-parameter yang dimiliki oleh transistor. Setiap daerah kerja dari transistor MOS dapat dirumuskan dengan persamaan arus tegangan yang menggunakan parameter transistor tersebut sebagai variabelnya.

Pada daerah linear, pada awalnya gerbang diberi tegangan hingga terbentuk saluran. Apabila *drain* diberi tegangan yang kecil, maka elektron akan mengalir dari *source* menuju *drain* atau arus akan mengalir dari *drain* ke *source*. Selanjutnya saluran tersebut akan bertindak sebagai suatu tahanan, sehingga arus *drain* ( $I_D$ ) akan

sebanding dengan tegangan *drain*, dimana nilai  $I_D$  ditunjukkan dalam Persamaan (2-1).

$$I_D(LIN) = k_n \left[ (V_{GS} - V_T) - \frac{V_{DS}}{2} \right]^2 \quad (2-1)$$

Apabila tegangan *drain* terus ditingkatkan hingga tegangan pada *gate* menjadi netral, lapisan inversi saluran pada sisi *drain* akan hilang, dan mencapai suatu titik yang disebut titik *pinch-off*. Pada titik *pinch-off* ini merupakan permulaan dari daerah kerja saturasi. Apabila melebihi titik ini, peningkatan tegangan *drain* tidak akan mengubah arus *drain*, sehingga arus *drain* tetap akan konstan dengan nilai  $I_D$  (SAT) ditunjukkan dalam Persamaan (2-2).

$$I_D(SAT) = \frac{k_n}{2} (V_{GS} - V_T)^2 \quad (2-2)$$

Bentuk operasi untuk MOSFET saluran-p adalah sama seperti pada transistor MOSFET saluran-n. Pernyataan arus *drain* identik dengan polaritas tegangan dan arah arus terbalik. Pada saat tegangan *cutoff* arus *drain* tidak mengalir = 0.

$$Cutoff = V_{SG,p} = -V_{Tp}, \quad I_D(OFF) = 0$$

Pada saat keadaan linier arus *drain* pada MOSFET saluran-p ditunjukkan dalam Persamaan (2-3).

$$Linear = V_{SG,p} = -V_{Tp}, \quad \text{dan} \quad V_{SD,p} = V_{SG,p} + V_{Tp}$$

$$I_{D,p}(LIN) = k_p \left[ (V_{SG,p} + V_{Tp}) - \frac{V_{SD,p}}{2} \right]^2 \quad (2-3)$$

Pada saat keadaan saturasi arus *drain* pada MOSFET saluran-p ditunjukkan dalam Persamaan (2-4).

$$Saturasi = V_{SG,p} = -V_{Tp} \quad \text{dan} \quad V_{SD,p} = V_{SG,p} + V_{Tp}$$

$$I_D(SAT) = \frac{k_p}{2} (V_{SG,p} + V_{Tp})^2 \quad (2-4)$$

dengan:

$I_D$  = arus *drain*

$V_{GS}$  = tegangan *gate* ke *source*

$V_{DS}$  = tegangan *drain* ke *source*

$V_T$  = tegangan ambang

$K_p$  = konstanta parameter transkonduksi

$$K_p = \mu_p \cdot C_{ox} \cdot \frac{W}{L} \quad (2-5)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2-6)$$

Dalam Persamaan (2-5) dan (2-6),  $\mu_p$  merupakan mobilitas *hole* dengan satuan  $\text{cm}^2/\text{Vs}$ ,  $C_{ox}$  merupakan kapasitansi oksida *gate* persatuan luas dengan satuan  $\text{F}/\text{cm}^2$ , dengan  $\epsilon_{ox}$  dan  $t_{ox}$  adalah permitivitas dan ketebalan dielektrik *gate*,  $W$  adalah lebar difusi  $p^+$  dan  $L$  adalah lebar polisilikon.

Bila  $V_{GS}$  lebih besar dari  $V_T$  terdapat sebuah saluran penghantar dan  $V_{DS}$  menyebabkan arus hanyut ( $I_D$ ) mengalir dari *drain* ke *source*. Tegangan  $V_{DS}$  menyebabkan prategangan balik (*reverse bias*) yang besar dari *drain* ke *body* daripada dari *source* ke *body*. Jadi terdapat lapisan pengosongan yang lebih lebar pada *drain* dengan nilai  $I_D$  ditunjukkan dalam Persamaan (2-7).

$$I_D = k' \frac{W}{L} \left[ (V_{GS} - V_T) \left( V_{DS} - \frac{V_{GS} - V_T}{2} \right) \right] = 0.7467 \cdot 0 \cdot 0 \cdot 1 \cdot 240.36 \cdot 458.4898 \cdot \mu \text{ ( )}$$

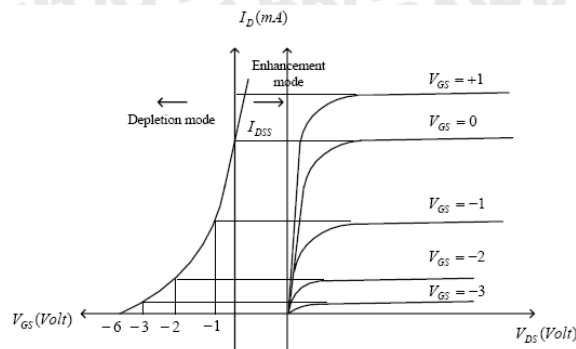
Parameter transkonduktansi adalah  $k = k' (W/L)$ . Substitusi Persamaan (2-7) dengan parameter transkonduksi menghasilkan Persamaan (2-8).

$$I_D = \frac{k}{2} \left[ 2(V_{GS} - V_T) \left( V_{DS} - \frac{V_{GS} - V_T}{2} \right) \right] = 0.7473 \cdot 0 \cdot 0 \cdot 1 \cdot 249.12 \cdot 369.9298 \cdot \mu \text{ ( )}$$

$$\text{Jika: } V_{GS} = V_T, \quad V_{DS} = (V_{GS} - V_T)$$

$$\text{maka: } I_D = \frac{k}{2} (V_{GS} - V_T) \left( V_{GS} - V_T \right) = 0.7474 \cdot 0 \cdot 0 \cdot 1 \cdot 275.288 \cdot 311.2498 \cdot \mu \text{ ( )}$$

Kurva karakteristik MOSFET mode depleksi, merupakan kurva arus  $I_D$  (mA) versus tegangan  $V_{GS}$  (volt). Gambar kurva karakteristik ditunjukkan dalam Gambar 2.12. Pada kurva terlihat bahwa transistor dapat bekerja (ON) mulai dari tegangan  $V_{GS}$  negatif sampai positif. Daerah kerja transistor tersebut adalah daerah *Ohmic* dimana nilai  $R_{DS}$  ditunjukkan dalam Persamaan (2-9).



Gambar 2.12 Kurva Karakteristik Drain MOSFET Depletion Mode

$$R_{DS} = \frac{V_{DS}}{I_{DS}} \quad (2-9)$$

#### 2.4 Tegangan Ambang (Threshold Voltage)

Tegangan treshold atau ambang dapat didefinisikan sebagai tegangan minimal yang diperlukan suatu sistem (dalam hal ini transistor MOS) untuk mulai mengalir atau dalam sebuah MOS adalah tegangan antara *gate* dan *source* yang menyebabkan arus antara *drain* dan *source* maksimal (saturasi). Tegangan ambang ini diatur dengan menggunakan perubahan konsentrasi *doping*. Tegangan ambang untuk MOSFET dapat dinyatakan dengan Persamaan (2-10).

$$V_T = V_{T0} + \gamma \cdot \left( \sqrt{|-2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|} \right) \quad (2-10)$$

dengan:

$V_T$  = tegangan ambang (V)

$V_{T0}$  = tegangan ambang untuk  $V_{SB} = 0$  (V)

$\gamma$  = efek bias badan ( $V^{1/2}$ )

$V_B$  = tegangan *body* (*bulk*)

Dengan *body* (*bulk*) dihubungkan *ground* ( $V_B = 0V$ ). Dalam analisis teknologi CMOS efek bias badan tidak perlu dimasukkan dalam perhitungan (Haznedar, 1990). Logika dasar CMOS dapat dibias dengan  $V_T = V_{T0}$ , sehingga untuk memudahkan penulisan,  $V_T$  akan digunakan untuk menyatakan tegangan ambang jika  $V_T = V_{T0}$ , dengan  $\gamma$  dinyatakan dalam Persamaan (2-11)  $q$  adalah besar muatan,  $N_a$  adalah jumlah pembawa muatan mayoritas akseptor,  $\epsilon_s$  adalah permitivitas silikon,  $C_{ox}$  adalah kapasitansi dalam farad.

$$\gamma = \frac{\sqrt{2q \cdot N_A \cdot \epsilon_s}}{C_{ox}} \quad (2-11)$$

$\phi_F$  potensial fermi atau potensial keseimbangan elektrostatik (*equilibrium electrostatic*). Besarnya dapat ditentukan dengan persamaan (2-12) dan (2-13).

$$\phi_F = \frac{kT}{q} \ln\left(\frac{n_i}{p}\right), \text{ (Semiconductor p-type)} \quad (2-12)$$

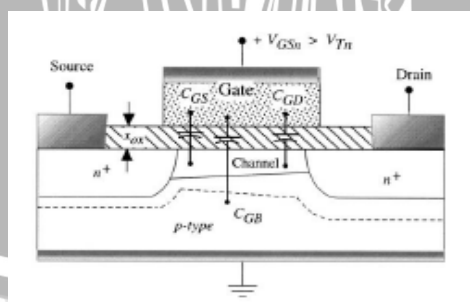
$$\phi_F = \frac{kT}{q} \ln\left(\frac{n}{n_i}\right), \text{ (Semiconductor n-type)} \quad (2-13)$$

Dimana  $k$  adalah konstanta boltzman,  $T$  adalah temperatur dalam kelvin,  $q$  besaran muatan dalam coulomb, dan  $p$  dan  $n$  adalah konsentrasi pembawa muatan mayoritas (dianggap sama dengan konsentrasi *doping*  $N_a$  dalam Persamaan (2-11),  $n_i$  adalah konsentrasi pembawa muatan dalam semikonduktor intrinsik.

Jika  $V_{SB}$  MOSFET adalah positif, maka akan meningkatkan tegangan ambang efektif untuk MOSFET kanal-n. Ini disebut *efek bias body*  $V_T$  yang terdapat dalam Persamaan (2-10). Dalam rangkaian terintegrasi NMOS, substrat selalu dihubungkan dengan tegangan paling negatif dalam sistem, sehingga analisis karakteristik fungsi alih akan mendekati keakuratannya.

## 2.5 Kapasitansi Transistor MOS

Kapasitansi parasitik antara elektroda-elektroda transistor MOS dapat dilihat dalam Gambar 2.13. Berdasarkan asalnya, kapasitansi transistor MOS dapat dibedakan menjadi tiga kelompok.



Gambar 2.13 Kapasitansi Parasitik MOSFET

Sumber: Uyemura, John P, 2001: 27

### 1) Kapasitansi Struktur Dasar MOS

Kapasitansi ini disebabkan oleh adanya *overlap* pada elektroda *gate* baik pada sisi *source* maupun pada sisi *drain*. Panjang saluran perpanjangan

(*overlap*) pada *gate-drain* dan *gate-source* adalah  $L_D$ , dan dengan menganggap lebar daerah difusi *drain* dan *source* memiliki lebar yang sama  $W$ , didapatkan kapasitansi *overlap* sebagai berikut:

$$C_{gs}(\text{overlap}) = C_{gd}(\text{overlap}) = C_{ox} \cdot W \cdot L_D \quad (2-14)$$

dengan  $C_{ox}$  sesuai dengan Persamaan (2-6). Kedua kapasitansi *overlap* tersebut tidak bergantung pada daerah kerja dari transistor MOS.

## 2) Kapasitansi Saluran

Kapasitansi saluran timbul sebagai akibat adanya interaksi antara tegangan *gate* dengan muatan pada saluran. Nilai dari kapasitansi saluran bergantung pada daerah kerja dari transistor MOS. Kapasitansi saluran bergantung pada daerah kerja dari transistor MOS. Kapasitansi saluran dapat dibedakan menjadi tiga, yaitu:  $C_{gs}$  (kapasitansi antara *gate* dengan *source*),  $C_{gd}$  (kapasitansi antara *gate* dengan *drain*), dan  $C_{gb}$  (kapasitansi antara *gate* dengan substrat). Nilai ketiga kapasitansi tersebut dalam daerah kerja yang berbeda dapat dilihat dalam Tabel 2.2.

Tabel 2.2 Nilai Kapasitansi Saluran dalam Daerah Kerja yang Berbeda

Daerah Kerja	$C_{gb}$	$C_{gs}$	$C_{gd}$
<i>Cut-off</i>	$C_{ox} \cdot W \cdot L$	0	0
<i>Linier</i>	0	$(\frac{1}{2})C_{ox} \cdot W \cdot L$	$(\frac{1}{2})C_{ox} \cdot W \cdot L$
Saturasi	0	$(\frac{2}{3})C_{ox} \cdot W \cdot L$	0

Sumber: Moreira, Paulo, 2002: 7

Panjang fisik gerbang dirumuskan dengan:

$$L' = L_s + L_d + L \quad (2-15)$$

Dengan  $L$  adalah panjang sebenarnya (panjang efektif) dari gerbang MOSFET (di antara daerah  $n^+$  saluran dan sumber).  $L_s$  dan  $L_d$  memberikan jarak *overlap* pada gerbang sumber dan gerbang saluran untuk membuat  $L_s > 0$  dan  $L_d > 0$  digunakan untuk operasional alat dan memastikan lapisan inversi dapat membuat hubungan dengan kedua daerah  $n^+$  saluran dan sumber. Kapasitansi *overlap* dapat dihitung dengan:

$$C_{ols} = C_{ox} W L_s \quad C_{old} = C_{ox} W L_d \quad (2-16)$$



$$C_{ox} = \frac{\epsilon_{ox}}{x_{ox}} \quad (2-17)$$

$C_{ox}$  adalah kapasitansi oksida persatuan luas gerbang. Dengan  $C_{ols}$  dan  $C_{ox}$  tetap sesuai dengan ukuran. Untuk kapasitansi yang lain adalah  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$  (kapasitansi parasit setiap terminal). Masing-masing kapasitor tersebut dipengaruhi oleh fungsi tegangan gerbang dan tegangan sumber,  $f(V_{GS}, V_{GD})$  dengan persamaan:

$$C_{gs} = C_{ox} W L f_1(V_{GS}, V_{GD}) \quad (2-18)$$

$$C_{gd} = C_{ox} W L f_2(V_{GS}, V_{GD}) \quad (2-19)$$

Nilai  $f_1$  dan  $f_2$  adalah fungsi yang menyatakan ketergantungan tidak-linear pada tegangan dan  $C_{gb}$  adalah kapasitansi gerbang-badan berisi kapasitansi yang seri dengan kapasitansi pengosongan dibentuk daerah ruang muatan tipe-p tergantung terhadap tegangan, dinyatakan sebagai:

$$C_{gb} = C_{ox} W L f_3(V_{GS}, V_{GD}, V_{SB}) \quad (2-20)$$

Dengan  $f_3$  termasuk efek bias badan melalui  $V_{SB}$ . Fungsi tegangan  $f_1$ ,  $f_2$ , dan  $f_3$  dapat dianalisis langsung, dengan asumsi langsung terhadap perubahan dalam kanal (lapisan inversi). Perhitungan nilai rangkaian perlu kombinasi kapasitansi terhadap kapasitansi *overlap*. Kapasitansi total diberikan:

$$C_G = C_{ox} W L \quad (2-21)$$

Apabila  $L$  adalah panjang gerbang. Total kapasitansi gerbang-sumber dinyatakan:

$$C_{GS} = C_{ols} + C_{gs} \quad (2-22)$$

Sedangkan total kapasitansi gerbang saluran:

$$C_{GD} = C_{ols} + C_{gd} \quad (2-23)$$

## 3) Kapasitansi Persambungan

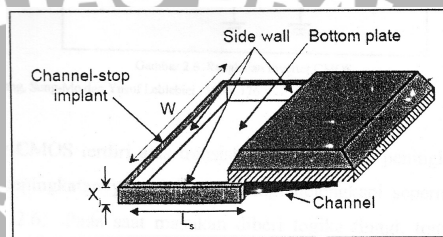
Kapasitansi persambungan ditunjukkan dalam Gambar 2.14 yang terdiri atas kapasitansi persambungan antara *source* dengan substrat ( $C_{ab}$ ) dan kapasitansi persambungan antara *drain* dan substrat ( $C_{db}$ ). Besarnya nilai kapasitansi persambungan terdiri atas:

a. Kapasitansi bagian bawah (*bottom-plate*)

$$C_{bottom} = C_j \cdot W \cdot L_s \quad (2-24)$$

b. Kapasitansi bagian samping (*side-wall*)

$$C_{sw} = C_{jsw} \cdot (2L_s + W) \quad (2-25)$$



Gambar 2.14 Persambungan pn antara Difusi  $n^+$  dengan Substrat Tipe p

Sumber: Moreira, Paulo, 2002:9

Besarnya kapasitansi persambungan  $C_j$  adalah sebagai berikut (Kang, 1996: 99):

$$C_j(V) = A \cdot \sqrt{\frac{\epsilon_{Si} \cdot q}{2} \left( \frac{N_A \cdot N_D}{N_A + N_D} \right)} \cdot \frac{1}{\sqrt{\phi_0 - V}} \quad (2-26)$$

dengan:

$C_j$  = kapasitansi persambungan,  $q$  = muatan electron

$A$  = luas daerah persambungan,  $N_A$  = pembawa muatan substrat

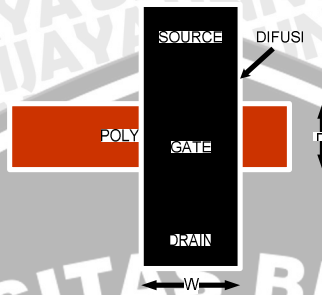
$\epsilon_{Si}$  = konstanta dielektrik silicon =  $11,7 \times \epsilon_0 F / cm$

$N_D$  = pembawa muatan difusi (*source* atau *drain*)

$\phi_0$  = potensial persambungan,  $V$  = tegangan bias

## 2.6 Panjang dan Lebar (W dan L)

Transistor MOS dibuat dengan menyilangkan polisilikon dengan difusi. Pertemuan 2 persilangan tersebut akan membentuk luasan. Setiap luasan mempunyai lebar (*wide*) dan panjang (*length*). Gambar 2.15 menunjukkan *layout* transistor.



Gambar 2.15 *Layout* Transistor MOS

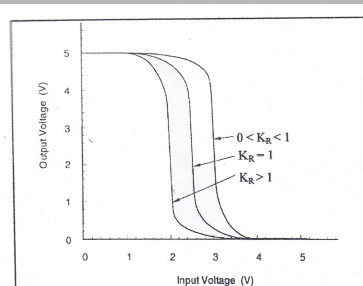
Sumber: Microwind 2

Ukuran W dan L menentukan kualitas transistor yang berbeda. Semakin kecil ukuran W dan L transistor, maka akan semakin kecil pula kecepatan transistor yang dirancang dan mempunyai performansi yang tinggi. Parameter lain yang dipergunakan oleh nilai W dan L adalah parameter  $k_R$ , yang dapat dilihat dalam Persamaan (2-27),

$$k_R = \frac{k_n}{k_p} \quad k_R = \frac{\left[ \mu_n C_{ox} \frac{W_n}{L_n} \right]}{\left[ \mu_p C_{ox} \frac{W_p}{L_p} \right]} \quad (2-27)$$

$W_n$  dan  $L_n$  merupakan lebar untuk difusi  $p^+$  dan polisilikon dari transistor PMOS sedangkan  $W_p$  dan  $L_p$  menunjukkan lebar untuk difusi  $n^+$  dan polisilikon dari transistor NMOS.

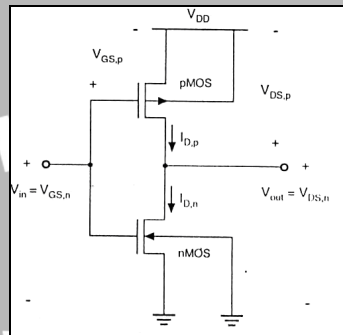
Nilai  $k_R$  memberikan pengaruh terhadap kesimetrisan grafik alih tegangan antara tegangan keluaran dan masukan pada gerbang logika MOS. Gambar 2.16 menunjukkan pengaruh  $k_R$  terhadap kesimetrisan suatu grafik karakteristik alih tegangan.



Gambar 2.16 Pengaruh Nilai  $k_R$  Pada Grafik  $V_{in}$  Terhadap  $V_{out}$ 

Suatu gerbang dikatakan memiliki grafik karakteristik alih tegangan yang simetris apabila nilai  $k_R = 1$ , dimana pada saat ini berlaku hubungan yang ditunjukkan dalam Persamaan (2-27).

## 2.7 Inverter CMOS



Gambar 2.17 Rangkaian Inverte CMOS

Sumber: Kang, Sung-Mo dan Yusuf Leblebici, 1996: 176

Inverter CMOS terdiri atas transistor NMOS mode peningkatan dan transistor PMOS mode peningkatan yang bekerja saling melengkapi seperti yang ditunjukkan dalam Gambar 2.17. Pada saat masukan diberi logika tinggi, transistor PMOS akan bertindak sebagai beban (*load*) dan transistor NMOS akan bertindak sebagai *drive* (*pull down*), sehingga tegangan keluaran akan berlogika rendah. Sedangkan pada saat masukan diberi logika rendah, transistor NMOS akan bertindak sebagai beban dan transistor PMOS akan bertindak sebagai *drive* (*pull up*), sehingga tegangan keluaran akan berlogika tinggi. Tegangan masukan inverter CMOS dihubungkan pada terminal *gate* kedua jenis transistor, baik PMOS maupun NMOS, seperti dalam Gambar 2.17. Substrat transistor NMOS dihubungkan dengan *ground*, sedangkan substrat transistor PMOS dihubungkan dengan catu daya ( $V_{DD}$ ), dengan tujuan untuk membias mundur persambungan antara *source* dengan *drain*. Karena tegangan antara *source* dan substrat sama dengan 0 ( $V_{SB} = 0$ ), maka tidak ada efek bias dari substrat. Oleh karena itu, sesuai dengan Gambar 18 dapat ditulis (Kang, 1996: 177),

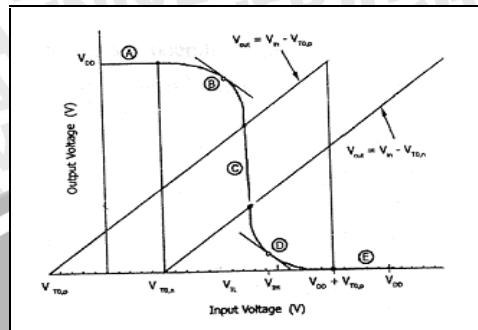
$$V_{GS,n} = V_{in} \quad (2-28)$$

$$V_{DS,n} = V_{out} \quad (2-29)$$

$$V_{GS,p} = -(V_{DD} - V_{in}) = V_{in} - V_{DD} \quad (2-30)$$

$$V_{DS,p} = -(V_{DD} - V_{out}) = V_{out} - V_{DD} \quad (2-31)$$

Dengan  $V_{in}$  dalam rentang antara  $0 \leq V_{in} \leq V_{DD}$ .



Gambar 2.18 Karakteristik Alih Tegangan Inverter

Sumber: Kang, Sung-Mo dan Yusuf Leblebici, 1996: 178

Gambar 2.18 yang merupakan karakteristik alih VTC (*Voltage Transfer Characteristic*). VTC merupakan grafik fungsi tegangan keluaran  $V_{out}$  terhadap tegangan masukan  $V_{in}$ .  $V_{OH}$  merupakan nilai maksimum logika 1 (tinggi) dari tegangan keluaran,  $V_{OL}$  merupakan nilai minimum logika 0 (rendah) dari tegangan keluaran,  $V_{IH}$  merupakan nilai maksimum logika 1 (tinggi) dari tegangan masukan,  $V_{IL}$  merupakan nilai minimum logika 0 (rendah) dari tegangan masukan,  $V_T$  merupakan tegangan ambang.

Karakteristik dari inverter CMOS adalah hanya satu dari transistornya yang aktif, menyebabkan transistor bersifat *ratioless* inverter yaitu sifat sebuah inverter saat keluaran dalam kondisi mantap, tidak dipengaruhi oleh rasio ukuran transistor *pull up* dan *pull down*. Efek dasar ini berakibat pada resistansi ekuivalen transistor saat menghantar. Sehingga pengambilan ukuran dapat diarahkan pada kemampuan devais untuk mensuplai arus yang sama saat keluaran berlogika 0 maupun 1, sifat ini disebut *symmetric output drive*. Bila

resistansi ekuivalen transistor tipe-n adalah  $R_N$  dan tipe-p adalah  $R_P$ , maka berlaku kesebandingan,  $R_N \propto \frac{L_N}{W_N K_N}$  dan  $R_P \propto \frac{L_P}{W_P K_P}$ . Dengan  $L_N$ ,  $L_P$  adalah panjang *channel*;  $W_N$ ,  $W_P$  adalah lebar *channel*;  $K_N$ ,  $K_P$  adalah parameter transkonduktansi. Keluaran akan bersifat *symmetric output drive* bila  $R_N = R_P$ .

Jika diambil nilai yang umum untuk parameter transkonduktansi ( $K_N = 2,5 K_P$ ),

$$\text{maka } \frac{L_N W_P}{W_N L_P} = \frac{K_N}{K_P} = 2,5$$

Dalam Gambar 2.18, grafik VTC terdapat lima daerah yang berbeda yaitu mulai dari daerah A hingga daerah E. Analisis dari kelima daerah itu adalah sebagai berikut:

1. Daerah A,  $0 \leq V_{in} \leq V_{T,n}$

Transistor NMOS dalam keadaan *cut-off* ( $I_{D,n} = 0$ ) dan transistor PMOS dalam daerah kerja linier. Karena  $I_{D,n} = I_{D,p}$ , maka arus untuk transistor PMOS juga sama dengan nol dan tegangan  $V_{DS,p} = 0$ . Dari Persamaan (2-29) didapatkan nilai,  $V_{DS,p} = -(V_{DD} - V_{out}) = V_{out} - V_{DD}$ ,  $V_{out} = V_{DD} \approx V_{OH}$

2. Daerah B,  $V_{T,n} \leq V_{in} \leq V_{DD}/2$

Pada daerah B ini, titik kemiringan dari VTC sama dengan -1, sehingga berlaku hubungan  $(dV_{out}/dV_{in}) = -1$ . Dalam Gambar 2.17 ditunjukkan bahwa hubungan tersebut terjadi pada saat  $V_{IN} = V_{IL}$ . Transistor NMOS dalam keadaan saturasi dan transistor PMOS dalam daerah kerja linier. Karena  $I_{D,n} = I_{D,p}$ , maka diperoleh Persamaan (2-32) dengan menggunakan Persamaan (2-28), (2-29), (2-30) dan (2-31) diperoleh Persamaan (3-33).

$$\frac{k_n}{2} \cdot (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} \cdot (V_{GS,p} - V_{T,p})^2 \quad (3-32) \quad 318.56$$

$$\frac{k_n}{2} \cdot (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} \cdot (V_{IN} - V_{DD} - V_{out} + V_{DD})^2 \quad (3-33) \quad 27.2.432$$

dengan menurunkan persamaan diatas dan mensubstitusikan nilai  $V_{in} = V_{IL}$  dan  $(dV_{out}/dV_{in}) = -1$ , maka akan didapatkan nilai  $V_{IL}$  sebagai fungsi tegangan keluaran  $V_{out}$  sebagai berikut,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2-34)$$

$$k_R = \frac{k_n}{k_p} \quad (2-35)$$

### 3. Daerah C

Pada daerah ini, kedua tipe transistor baik NMOS maupun PMOS dalam keadaan saturasi. Tegangan ambang sama dengan tegangan masukan dan tegangan kaluaran  $V_T = V_{in} = V_{out}$ , sehingga didapatkan persamaan,

$$\frac{k_n}{2} \cdot (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} \cdot (V_{GS,p} - V_{T,p})^2 \quad (2-28)$$

dengan mensubstitusi (2-28) dan (2-30) didapat,

$$\frac{k_n}{2} \cdot (V_{in} - V_{T,n})^2 = \frac{k_p}{2} \cdot (V_{DD} - V_{in} - V_{T,p})^2 \quad (2-29)$$

karena  $V_{in} = V_T$ , maka didapatkan persamaan untuk tegangan ambang inverter,  $V_T$  sebagai berikut:

$$V_T = \frac{V_{T,n} + (V_{DD} + V_{T,p}) \sqrt{\frac{1}{k_R}}}{\left(1 + \sqrt{\frac{1}{k_R}}\right)} \quad (2-38)$$

### 4. Daerah D, $V_{DD}/2 \leq V_{in} \leq V_{DD} - V_{T,p}$

Transistor PMOS dalam keadaan saturasi dan transistor NMOS dalam daerah kerja linier. Pada daerah ini,  $V_{in} = V_{IH}$  dan  $(dV_{out}/dV_{in}) = -1$ , maka akan didapatkan persamaan arus ditunjukkan dalam Persamaan (2-39),

$$\frac{k_n}{2} \cdot [2 \cdot (V_{GS,n} - V_{T,n}) \cdot V_{out} - V_{out}^2] = \frac{k_p}{2} \cdot (V_{GS,p} - V_{T,p})^2 \quad (2-39)$$

Dengan menggunakan Persamaan (2-28), (2-29) dan (2-30), diperoleh Persamaan (2-40),

$$\frac{k_n}{2} \times [2 \times (V_{in} - V_{T,n}) V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (2-40)$$

Dengan mendiferensialkan Persamaan (2-40) terhadap  $V_{in}$  diperoleh Persamaan (2-41),

$$\frac{k_n}{2} \left[ 2 \cdot (V_{in} - V_{T,n}) \left( \frac{dV_{out}}{dV_{in}} \right) + V_{out} - V_{out} \left( \frac{dV_{out}}{dV_{in}} \right) \right] = k_p (V_{in} - V_{DD} - V_{T,p}) \quad (2-41)$$

Dengan mensubstitusikan  $V_{in} = V_{IH}$  dan  $\left( \frac{dV_{out}}{dV_{in}} \right)$  ke dalam Persamaan (2-41), diperoleh Persamaan (2-42),

$$k_n (-V_{IH} + V_{T,n} + 2V_{out}) = k_p (V_{in} - V_{DD} - V_{T,p}) \quad (2-42)$$

Tegangan kritis  $V_{IH}$  dapat ditentukan sebagai fungsi dari tegangan  $V_{out}$  yang dinyatakan dalam Persamaan (2-43)

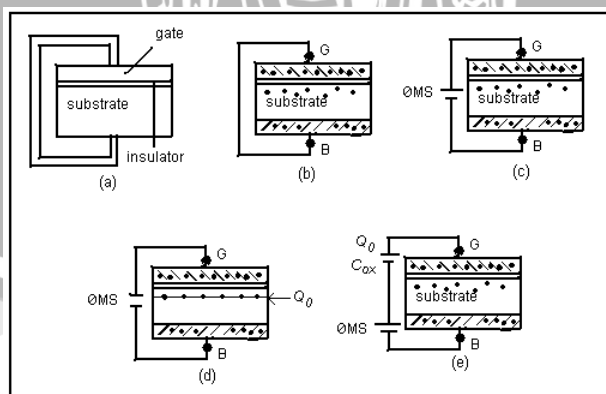
$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R \cdot (2V_{out} + V_{T,n})}{1 + k_R} \quad (2-43)$$

5. Daerah E,  $V_{in} \geq V_{DD} - V_{T,p}$

Transistor PMOS dalam keadaan *cut-off* ( $I_{D,p} = 0$ ) dan transistor NMOS dalam daerah kerja linier. Karena  $I_{D,n} = I_{D,p}$ , maka tegangan  $V_{DS,n} = 0$ , sesuai dengan Persamaan (2-29) didapat,  $V_{DS,n} = V_{out}$ ,  $V_{out} = 0 \approx V_{OL}$

## 2.8 Persambungan MOSFET

Dalam persambungan MOSFET, untuk membedakan dengan terminal sumber S, terminal gerbang diberi simbol G dan terminal substrat diberi simbol B (*bulk*) seperti dalam Gambar 2.19.



Gambar 2.19 Struktur Persambungan MOSFET

Massobrio, 1988:264



Besarnya potensial statik di antara gerbang dan substrat tergantung pada konsentrasi atom ketidakmurniannya dan tidak bergantung pada bahan diantaranya. Besar potensial statis secara matematis dapat ditulis dalam Persamaan (2-44).

$$\sum_{gerbang}^{bulk} (\text{potensial statik}) = \phi_{gerbang} - \phi_{bulk} \quad (2-44)$$

dengan:

$\phi_{gerbang}$  = potensial batang gerbang

$\phi_{bulk}$  = potensial bahan substrat

Keberadaan potensial statik ini menyebabkan muatan timbul pada kedua sisi isolator, dalam hal ini silikon dioksida. Polaritasnya ditunjukkan dalam Gambar 2.19(b). Muatan batas ini akan hilang jika potensial total dalam *loop* tertutup gerbang  $SiO_2$  substrat-gerbang sama dengan nol. Untuk mencapai kondisi demikian, maka nilai VGB adalah sesuai dengan Persamaan (2-45).

$$V_{GB} = \phi_{MS} \quad (2-45)$$

dengan  $\phi_{MS}$  adalah potensial statik antara gerbang dan *bulk*, didefinisikan dalam Persamaan (2-46).

$$\phi_{MS} = \phi_{gerbang} - \phi_{bulk} \quad (2-46)$$

Potensial statik persambungan MOS tidak hanya dipengaruhi  $\phi_{MS}$ . Pengaruh lainnya dihasilkan oleh muatan oksida silikon yang ditumbukkan selama proses pabrikasinya. Proses kontaminasi dan ionisasi menyebabkan muatan timbul dalam silikon dioksida.

Pemberian muatan ini adalah penambahan muatan tidak bergerak yang besarnya tidak tergantung tegangan. Pengaruh muatan terhadap persambungan MOS dimodelkan sebagai suatu lapisan tunggal  $SiO_2$  bermuatan  $Q_0$  yang ditunjukkan dalam Gambar 2.19(d). Muatan  $Q_0$  adalah muatan antara yang besarnya selalu positif baik terhadap substrat tipe-p maupun tipe-n. Karena  $Q_0$  positif maka dalam substrat terbentuk atom-atom *acceptor*. Sedangkan di permukaannya tertumpuk elektron, sehingga saluran terbentuk.

Untuk menghilangkan pengaruh ini perlu diberikan muatan sebesar  $-Q_0$  pada gerbang dengan jalan memberikan suatu sumber tegangan luar dengan terminal negatif pada gerbang yang ditunjukkan dalam Gambar 2.19(e).

Potensial oksida silikon ( $\phi_{ox}$ ) adalah potensial gerbang terhadap substrat melalui SiO<sub>2</sub>. Besarnya potensial ditunjukkan dalam Persamaan (2-47).

$$\phi_{ox} = \frac{-Q_0}{C_{ox}} \quad (2-47)$$

Dengan  $C_{ox}$  adalah kapasitansi persatuan luas dielektris gerbang seperti yang didefinisikan dalam Persamaan (2-48).

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2-48)$$

dengan:

$C_{ox}$  = kapasitansi persatuan luas

$t_{ox}$  = ketebalan silikon dioksida

$\epsilon_{ox}$  = permitivitas ruang hampa =  $8.86 \times 10^{-12}$  F/m

untuk muatan maupun kapasitasnya dinyatakan dalam  $\frac{Q_0}{A}$  dan  $\frac{C_{ox}}{A}$ . Konstanta A adalah luas melintang dioksida silikon. Potensial oksida silikon ( $\phi_{ox}$ ) dapat dinyatakan dalam Persamaan (2-49).

$$\phi_{ox} = \frac{-Q_0}{C_{ox}} \quad (2-49)$$

Tegangan yang digunakan untuk menetralkan persambungan MOS adalah tegangan pita datar (*Flat Band Voltage*) dan disimbolkan dengan  $V_{SB}$ . Besarnya tegangan pita datar ditunjukkan dalam Persamaan (2-50).

$$V_{FB} = \phi_{MS} - \frac{-Q_0}{C_{ox}} \quad (2-50)$$

Pada rangkaian tertutup persambungan MOS terdapat empat macam tegangan, yaitu:

- 1) Tegangan sumber luar ( $V_{GB}$ )
- 2) Tegangan oksida silikon ( $\phi_{ox}$ )
- 3) Tegangan permukaan ( $\phi_s$ )
- 4) Tegangan kontak ( $\phi_{MS}$ )

Tegangan sumber luar yang besarnya tidak sama menimbulkan tegangan permukaan di permukaan substrat. Hal ini terjadi untuk mencapai keadaan setimbang. Secara matematis dapat ditulis dalam Persamaan (2-51).

$$V_{GB} = \phi_{ox} + \phi_s + \phi_{MS} \quad (2-51)$$

Karena  $\phi_{MS}$  dan  $\phi_{ox}$  konstan, maka perubahan nilai  $V_{GB}$  akan menyebabkan perubahan pada  $\phi_s$ . Variasi nilai  $V_{GB}$  dan  $V_{FB}$  memberikan empat macam keadaan pada persambungan MOS, yaitu:

1. Kondisi pita datar (*Flat Band Condition*)

Pada kondisi ini muatan permukaan dan tegangan permukaan tidak timbul atau sama dengan nol.

$$V_{GB} = V_{FB}, Q_{sc} = 0, \phi_s = 0$$

2. Akumulasi (*Accumulation*)

Kondisi ini tercapai pada saat  $V_{GB} < V_{FB}$ . Pada saat ini muatan pada gerbang relatif lebih negatif terhadap muatan pada saat  $V_{GB} = V_{FB}$ . Oleh karena itu, lubang akan tertumpuk di permukaan sebagai akibatnya timbul muatan dan tegangan di permukaan:

$$V_{GB} < V_{FB}, Q_{sc} > 0, \phi_s < 0$$

3. Pengosongan (*Depletion*)

Untuk  $V_{GB} < V_{FB}$ , maka muatan positif ditimbulkan di gerbang. Akibatnya lubang-lubang di permukaan di tekan ke bawah dan meninggalkan ion-ion akseptor bermuatan negatif. Muatan yang ditimbulkan oleh ion-ion ini disebut sebagai muatan pengaturan. Besarnya muatan di dalam semikonduktor yang ditimbulkan saat ini ditunjukkan dalam Persamaan (2-52).

$$Q_{sc} = Q'G - Q'O = (V_G - V_{FB} - \phi_s) \cdot C'_{ox} \quad (2-52)$$

Sehingga besarnya pengaturan muatan ditunjukkan Persamaan (2-53).

$$X_B = \sqrt{\frac{2\epsilon_s}{qNA} \phi_s} \quad (2-53)$$

dimana  $\epsilon_s$  adalah konstanta dielektrik silikon.

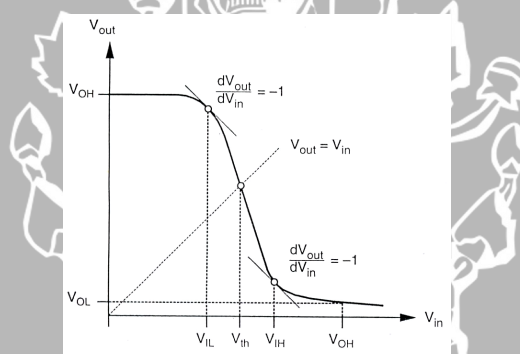
4. Kondisi pembalikan (*inversion*)

Untuk  $V_{GB} > V_{FB}$  maka elektron akan tertarik ke permukaan. Sehingga di permukaan substrat bertipe sebaliknya (*n*). Elektron di dalam substrat sebagai pembawa minoritas.

## 2.9 Definisi Level Logika dan Noise Margin

Sistem digital dalam skala besar selalu terdiri atas interkoneksi gerbang-gerbang dengan jenis *family* sama. Terdapat gerbang yang bertugas sebagai *input port* yang menerima informasi digital. Gerbang masukan ini mengirim sinyal keluarannya ke gerbang lain, yang tentunya dimungkinkan terdapat lagi gerbang setelahnya. Bila sebuah karakter digital ditransmisikan antargerbang maka level tegangan  $V(1)$ , merepresentasikan logika 1 dan level tegangan  $V(0)$  merepresentasikan logika 0. Setiap level tegangan harus secara konsisten diproduksi oleh setiap gerbang. Secara konversi, level tegangan  $V(1)$  dan  $V(0)$  dinamakan  $V_{OH}$  dan  $V_{OL}$ . Seperti ditunjukkan dalam Gambar 2.20.

Nilai  $V_{OH}$  dan  $V_{OL}$  harus didefinisikan secara konsisten sehingga sebuah *inverter* yang menerima nilai  $V_{OL}$  sebagai masukan akan mengeluarkan tegangan  $V_{OH}$ . Bila *inverter* tersebut menerima  $V_{OH}$  sebagai masukan maka akan mengeluarkan tegangan  $V_{OL}$ .



Gambar 2.20 Karakteristik Alih Tegangan

Sumber: Kang, 1996: 137

Hubungan antara  $V_{OH}$  dan  $V_{OL}$  adalah hal yang cukup penting pada grafik VTC. Grafik VTC yang ditunjukkan dalam Gambar 2.20, kemiringan grafik untuk nilai yang dapat diterima minimal adalah -1. Kemiringan -1 terletak pada titik-titik kritis pada grafik (titik belok). Nilai tegangan keluaran di antara dua titik kemiringan ini dinamakan daerah logika tak tentu.

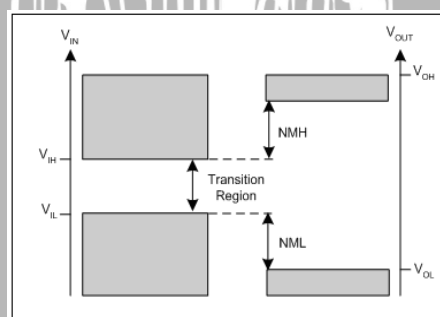
Pada kenyataannya nilai aktual tegangan yang diterima oleh sebuah gerbang dapat berada di bawah  $V_{OH}$  atau di atas  $V_{OL}$ . Fluktuasi tegangan dapat terjadi karena interferensi elektromagnetik pada jalur interkoneksi, resonansi dari komponen L dan C parasitik atau memang karena nilai tegangan yang dihasilkan berada dalam kondisi seperti ini. Sebagai konsekuensi, sebuah gerbang harus memproses nilai tegangan

yang tidak ideal. Bila sebuah sistem digital bekerja maka deviasi pada nilai  $V_{OH}$  dan  $V_{OL}$  pada setiap *gate* harus diredam dan bukan diperkuat. Penguatan fluktuasi tegangan atau *noise* akan menyebabkan nilai tegangan jatuh pada daerah logika tak tentu. Pada titik dimana kemiringan grafik VTC adalah -1 (titik kritis) didefinisikan nilai tegangan  $V_{IH}$  dan  $V_{IL}$ . Letak  $V_{IH}$  dan  $V_{IL}$  ditunjukkan dalam Gambar 2.20.

Nilai tegangan masukan ini menunjukkan nilai tertinggi tegangan masukan yang dapat diterima dengan nilai 0 dan masih bisa mengeluarkan nilai 1 yang dapat diterima oleh gerbang lain.  $V_{IH}$  didefinisikan sebagai nilai terkecil yang dapat diterima oleh sebuah gerbang dengan nilai 1 dan masih bisa mengeluarkan nilai 0 yang dapat diterima oleh gerbang lain.

Ketika keluaran dari sebuah gerbang logika digunakan sebagai masukan gerbang lain, hubungan antara  $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$  menjadi penting. Gambar 2.21 menunjukkan parameter lain yaitu *noise margin*. *Noise margin* menunjukkan kekebalan relatif sebuah famili logika terhadap *noise*. *Noise margin* sebuah famili logika diketahui dengan mengevaluasi karakteristik sebuah *single inverter*.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 1 maka secara ideal, masukan untuk gerbang berikutnya bernilai  $V_{OH}$ . Namun seandainya nilai tersebut jatuh sehingga bernilai  $V_{IH}$  maka masih akan dianggap berlogika 1. fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan jatuh di bawah nilai  $V_{IH}$ . Perbedaan nilai  $V_{OH}$  dan  $V_{IH}$  merepresentasikan daerah yang diterima berlogika 1, disebut  $NM_H$ ,



Gambar 2.21 *Noise Margin*

Sumber: Kang, 1996: 140

$$NM_H = V_{OH} - V_{IH} \quad (2-54)$$

dengan:

$V_{OH}$  = Nilai ideal logika 1

$V_{IH}$  = Nilai minimum logika 1 yang bisa diterima

Parameter  $NM_H$  berlaku untuk tegangan masukan tinggi. Semakin besar nilai  $NM_H$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 1.

Bila sebuah sinyal yang dikirimkan oleh sebuah gerbang berlogika 0 maka secara ideal, masukan untuk gerbang berikutnya bernilai  $V_{OL}$ . Namun seandainya nilai tersebut naik sehingga bernilai  $V_{IL}$  maka masih akan dianggap berlogika 0. fluktuasi *noise* akan menjadi permasalahan hanya jika tegangan naik di atas nilai  $V_{IL}$ . Perbedaan nilai  $V_{IL}$  dan  $V_{OL}$  merepresentasikan daerah yang diterima berlogika 0, disebut  $NM_L$ ,

$$NM_L = V_{IL} - V_{OL} \quad (2-55)$$

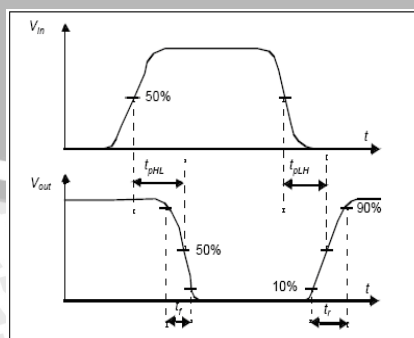
Dengan:  $V_{OL}$  = Nilai ideal logika 0

$V_{IL}$  = Nilai maksimum logika 0 yang bisa diterima

Parameter  $NM_L$  berlaku untuk tegangan masukan rendah. Semakin besar nilai  $NM_L$  maka akan semakin tahan suatu gerbang terhadap perubahan level logika pada daerah logika 0. Secara umum, suatu gerbang logika dikatakan memiliki *noise margin* tinggi bila memiliki  $NM_L$  dan  $NM_H$  yang besar.

## 2.10 Propagation Delay

Kecepatan operasi gerbang digital diukur melalui tiga parameter yaitu *rise time* (waktu naik), *fall time* (waktu turun) dan *propagation delay*. Parameter ini mempengaruhi keseluruhan waktu *delay* yang dihasilkan ketika gerbang melakukan transisi dari keadaan satu ke lainnya. *Delay* terjadi karena terdapat efek kapasitansi yang terdapat pada gerbang masukan dan keluaran. Selain itu, efek kapasitansi juga timbul pada jalur koneksi antar gerbang.



Gambar 2.22 Definisi *Delay* dalam Gerbang Digital

Sumber: Rabaey, 1999: 117

*Rise time* ( $t_r$ ) didefinisikan sebagai waktu yang diperlukan untuk berubah dari 10%  $V_{DD}$  ke 90%  $V_{DD}$  untuk gerbang dengan tegangan “LOW” 0V dan tegangan “HIGH”  $V_{DD}$  nilai  $t_r$  ditunjukkan dalam Persamaan (2-58). *Fall time* ( $t_f$ ) didefinisikan sebagai waktu yang dibutuhkan untuk berubah dari 90%  $V_{DD}$  ke 10%  $V_{DD}$ , nilai  $t_f$  ditunjukkan dalam Persamaan (2-59). *Propagation delay* diukur antara dua titik pada gelombang masukan dan keluaran seperti terlihat dalam Gambar 17. *Propagation delay* ketika transisi keluaran dari logika “LOW” ke “HIGH” dinamakan  $t_{PLH}$ , sedangkan transisi keluaran logika “HIGH” ke “LOW” dinamakan  $t_{PHL}$  nilai  $t_{PLH}$  dan  $t_{PHL}$  ditunjukkan dalam Persamaan (2-56) dan (2-57). Keduanya ditunjukkan dalam Gambar 2.22.

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_p \cdot V_{DD}} \quad (2-56)$$

$$t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \left( \frac{W}{L} \right)_n \cdot V_{DD}} \quad (2-57)$$

$$t_r, (t_{TLH}) = 2 \times t_{PLH} \quad (2-58)$$

$$t_f, (t_{THL}) = 2 \times t_{PHL} \quad (2-59)$$

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} \quad (2-60)$$

## 2.11 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya dalam sistem CMOS dapat diklasifikasikan ke dalam tiga kategori, yaitu: disipasi daya statis, daya pensaklaran (*switching*) DC yang terjadi pada saat kedua transistor menghantarkan secara bersamaan dalam waktu yang sangat singkat dan daya pensaklaran AC yang terjadi ketika kapasitansi total pada gerbang menyimpan dan melepaskan muatan (Geiger, 1990: 597). Kombinasi dari daya pensaklaran DC dengan daya pensaklaran AC disebut dengan disipasi daya dinamis.

Disipasi daya statis dapat diabaikan untuk gerbang logika CMOS. Jalur DC antara  $V_{DD}$  dan  $V_{SS}$  selalu terputus oleh transistor yang *cut off* dalam keadaan mantap

(*steady state*). Komponen yang kedua adalah disipasi daya yang disebabkan pensaklaran DC, terjadi karena masukan gerbang berada pada daerah transisi. Ketika kedua transistor menghantar membentuk jalur antara  $V_{DD}$  ke  $V_{SS}$ . Untuk gerbang logika disipasi daya rata-rata pensaklaran DC meningkat dengan meningkatnya waktu *switching* sinyal masukan. Disipasi daya yang disebabkan pensaklaran DC hanya berpengaruh sekitar 10% terhadap disipasi daya total sistem CMOS.

Komponen utama disipasi daya CMOS adalah daya pensaklaran AC. Bila kapasitansi total gerbang termasuk kapasitansi parasitik dan kapasitor beban adalah  $C$  dan nilai tegangan catu  $V_{DD}$  adalah  $V$ , maka energi yang diberikan pada kapasitor adalah

$$E = \int_0^{\infty} V_i(t) dt = CV^2 \quad (2-61)$$

Karena energi total yang dapat diserap dan disimpan kapasitor adalah  $\frac{1}{2}CV^2$  atau setengah dari jumlah energi yang diberikan, maka setengah bagian yang lain dari jumlah energi harus dilepaskan. Ketika kapasitor dalam siklus melepas muatan, maka jumlah energi yang disimpan sebelumnya akan dilepaskan pula. Sehingga energi keseluruhan yang dilepas kapasitor dalam satu siklus adalah  $CV^2$ . Bila frekuensi operasi  $f = 1/T$ , maka disipasi daya rata-rata adalah,

$$P = C_L V_{DD}^2 f \quad (2-62)$$

Analisis ini menunjukkan bahwa rata-rata disipasi daya AC pada CMOS sebanding dengan kapasitansi total, kuadrat dari tegangan catu dan frekuensi operasi. Dalam suatu rangkaian terintegrasi, frekuensi kerja akan naik karena ukuran transistor yang semakin kecil. Bila frekuensi kerja naik sementara tegangan catu dan kapasitansi gerbang diturunkan maka disipasi daya akan turun. Oleh karena itu, dalam rangkaian terintegrasi sistem logika CMOS banyak digunakan.

Dalam kondisi keluaran gerbang IC tanpa beban, jika  $I_{CCL}$  merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika rendah dan  $I_{CCH}$  merupakan arus yang ditarik dari catu daya pada saat keluaran gerbang IC berlogika tinggi, maka daya rata-rata yang dikonsumsi sebuah IC adalah



$$\begin{aligned} PD(\text{rata - rata}) &= \frac{I_{CCH} + I_{CCL}}{2} \times V_{DD} \\ &= I_{CC} (\text{rata - rata} \times V_{DD}) \end{aligned} \quad (2-63)$$

Suatu gerbang logika yang ideal haruslah cepat dan membutuhkan daya minimum. Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. PDP didefinisikan sebagai hasil kali antara *propagation delay* dengan disipasi daya rata-rata ditunjukkan dalam Persamaan (2-64).

$$PDP = t_{dy} \cdot P \quad (2-64)$$

## 2.12 Driver Kaskada

Salah satu konfigurasi yang dapat digunakan untuk mengurangi *propagation delay* adalah konfigurasi inverter yang dipasang secara kaskada (Geiger, 1990: 591). Asumsikan sebuah sinyal keluaran dari gerbang referensi yang menggerakkan load kapasitansi  $C_L$  maka *propagation delay* rata-rata dapat dinyatakan dengan Persamaan (2-65).

$$t_{dir} = \frac{t_{apd} C_L}{C_G} \quad (2-65)$$

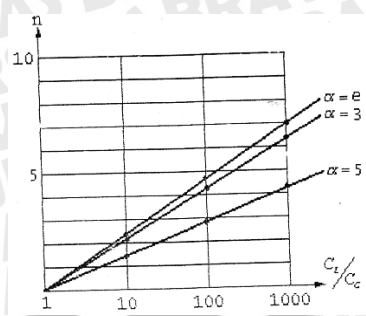
$t_{apd}$  adalah rata-rata delay gerbang dan  $C_G$  adalah kapasitansi masukan gerbang referensi. Untuk setiap bilangan integer  $n \geq 1$ , didefinisikan  $\alpha$  dalam Persamaan (2-66).

$$\alpha = \left( \frac{C_L}{C_G} \right)^{1/n} \quad (2-66)$$

$n$  dapat direpresentasikan sebagai fungsi  $\alpha$  seperti dalam Persamaan (2-67).

$$n = \frac{\ln(C_L/C_G)}{\ln \alpha} \quad (2-67)$$

Gambar 2.23 menunjukkan hubungan antara  $n$  dengan  $C_L/C_G$  sesuai dengan Persamaan (2-55). Hubungan untuk nilai  $\alpha = e$ ,  $\alpha = 3$  dan  $\alpha = 5$  ditunjukkan dalam Gambar 2.23.



Gambar 2.23 Grafik Hubungan n dengan  $C_L/C_G$

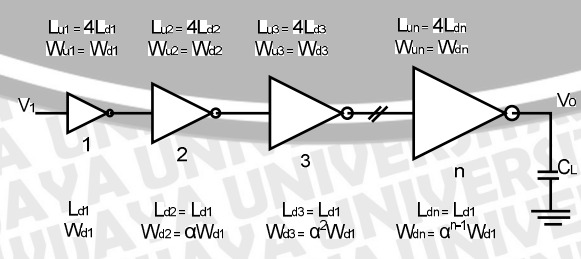
Sumber: Geiger, Allen, Strader, 1990. Hal: 592

Konfigurasi ini terdiri dari gabungan  $n$  inverter (termasuk gerbang referensi mula), bila masing-masing dirancang dengan rasio 4:1, maksudnya perbandingan antara ekivalen resistansi transistor *pullup* dan *pulldown*. Bila rasio perbandingan bukan 4:1 hal itu tidak menjadi soal, seperti pada logika CMOS yang dikenal bersifat *ratioless*. Setiap gerbang memiliki *drive capability*  $\alpha$ -kali lebih besar dari *stage* sebelumnya. Karakteristik  $W$  dan  $L$  *stage* ke- $k$  dijabarkan dengan persamaan berikut,

$$\begin{aligned} W_{dk} &= \alpha^{k-1} W_{d1} \\ L_{dk} &= L_{d1} \\ W_{uk} &= W_{dk} \\ L_{uk} &= 4L_{dk} \end{aligned} \tag{2-68}$$

Dimana  $W_{dk}$  dan  $L_{dk}$  adalah  $W$  dan  $L$  *pulldown* transistor, sedangkan  $W_{uk}$  dan  $L_{uk}$  adalah  $W$  dan  $L$  *pullup* transistor dalam struktur kaskada inverter ke- $k$ . *Load* kapasitansi *stage* ke- $k$   $C_{LK}$  relatif terhadap kapasitansi gerbang masukan  $C_G$  ditunjukkan dalam Persamaan (2-69).

$$C_{LK} = \alpha^k C_G \tag{2-69}$$



Gambar 2.24 *Driver* Kaskada

Sumber: Geiger, Allen, Strader, 1990. Hal: 591



Gambar 2.24 menunjukkan *driver* kaskada, inverter pertama memiliki *propagation delay* sebesar  $\alpha t_{apd}$ , sehingga total *propagation delay* struktur kaskada ditunjukkan dalam Persamaan (2-70).

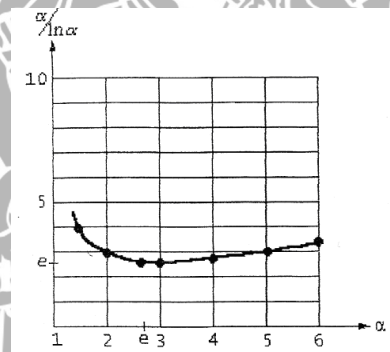
$$t_{cas} = n\alpha t_{apd} \quad (2-70)$$

Didefinisikan  $r$  adalah rasio antara *delay* struktur *driver* kaskada dengan *propagation delay* rata-rata gerbang, nilai  $r$  ditunjukkan dalam Persamaan (2-71).

$$r = \frac{t_{cas}}{t_{dir}} = \frac{n\alpha t_{apd}}{t_{apd} \frac{C_L}{C_G}} = \frac{n\alpha C_G}{C_L} \quad (2-71)$$

Yang menjadi permasalahan adalah bagaimana meminimalisasi  $r$  sehingga meminimalkan *delay* rangkaian secara total. Variabel  $n$  dapat dihilangkan sehingga nilai  $r$  ditunjukkan dalam Persamaan (2-72).

$$r = \frac{\ln\left(\frac{C_L}{C_G}\right)}{\frac{C_L}{C_G}} \cdot \frac{\alpha}{\ln\alpha} \quad (2-72)$$



Gambar 2.25 Grafik Hubungan  $\alpha$  dengan  $\alpha / \ln\alpha$

Sumber: Geiger, Allen, Strader, 1990, Hal: 592

Gambar 2.25 menunjukkan hubungan  $\alpha$  dengan  $\alpha / \ln\alpha$ , terlihat bahwa nilai minimum  $\alpha / \ln\alpha$  dicapai ketika  $\alpha = e$ . Sebagai catatan  $n$  adalah jumlah *stage* yang dikaskada,  $n$  adalah sebuah bilangan dengan nilai lebih besar atau sama dengan 1. Dalam praktek nilai  $\alpha$  diset pada nilai yang lebih besar dari  $e$  untuk menghasilkan pengurangan jumlah *stage* kaskada. Seperti terlihat dalam Gambar 2.25 selama  $\alpha$  berada diantara nilai 2 dan 4, deviasi terhadap minimum *delay* kurang dari 5%. Sebuah apresiasi diperlukan untuk mengetahui seberapa menguntungkankah penggunaan *driver* kaskada. Dari Persamaan (2-70) ditunjukkan bahwa untuk load rasio yang kecil, peningkatan kecepatan hanya kecil dan perluasan area gerbang nampak tidak

menguntungkan. Namun untuk beban kapasitif yang besar peningkatan kecepatan sangat signifikan. Sebagai contoh menurut Persamaan (2-71) kaskada tujuh tingkat dengan ukuran yang dioptimalkan yang digunakan untuk menggerakkan beban kapasitif dengan rasio  $1100 C_G$  menghasilkan *propagation delay* 1.7% dibandingkan *propagation delay* yang dibutuhkan gerbang dasar.

Hal yang perlu diperhatikan dalam perancangan adalah bila jumlah inverter ganjil maka keluaran sinyal akan diinversi. Selain itu meskipun peningkatan kecepatan cukup signifikan untuk menilai  $n$  yang besar luasan area total yang dihasilkan oleh *driver* kaskada terlalu besar. Sebagai contoh, rangkaian *stage* tujuh tingkat membutuhkan  $e^6 = 403$  kali luasan gerbang dasar. Dengan luasan yang seperti ini tentu tidak akan efisien untuk rangkaian yang terintegrasi dengan jumlah yang banyak, misalnya dalam jumlah ribuan. Kedua hal ini perlu menjadi pertimbangan perancangan dalam proses disain sebuah gerbang.



### BAB III METODOLOGI

Metodologi adalah struktur perancangan, dimana fungsi dari metode ini adalah untuk mempermudah perancangan dengan cara pengerjaan yang terstruktur. Metode yang digunakan adalah metode analisis dengan mengacu pada literatur. Selain dengan metode analisis, juga menggunakan metode simulasi yang dilakukan dengan menggunakan *software* PSPICE untuk menghasilkan nilai yang diinginkan sesuai dengan kemampuan IC *3-To-8 Line Decoder* HCMOS yang telah dirancang. Langkah-langkah yang dilakukan untuk penyusunan laporan perancangan tersebut adalah:

### 3.1 Studi literatur

Studi literatur adalah pengumpulan sumber-sumber teori yang digunakan sebagai dasar perancangan, studi literatur yang dilakukan adalah sebagai berikut:

- 1) Studi tentang prinsip kerja, struktur geometris dari MOSFET, karakteristik arus-tegangan dan persamaan-persamaan yang menjelaskan transistor bekerja dalam berbagai kondisi operasi, *propagation delay*, dan disipasi daya dalam CMOS.
- 2) Studi tentang karakteristik alih tegangan, persamaan-persamaan arus-tegangan yang diperoleh dalam berbagai kondisi operasi dan *noise margin*.
- 3) Studi tentang rangkaian logika *decoder 3 to 8*
- 4) Studi tentang parameter proses teknologi dalam desain rangkaian terpadu yang digunakan sebagai parameter dasar dari perancangan dan perhitungan yang mendukung perancangan IC.
- 5) Studi tentang perangkat lunak PSPICE untuk analisis karakteristik alih tegangan, dan *propagation delay*, serta *design rules* dalam pembuatan *layout* gerbang CMOS dengan perangkat lunak *Microwind2*.

### 3.2 Proses analisis

Proses analisis dalam peran <sup>37</sup> IC *3-To-8 Line Decoder* HCMOS merupakan proses perancangan perhitungan dengan menggunakan parameter perancangan dan persamaan yang telah ditentukan untuk mencapai hasil dengan

*propagation delay* yang lebih cepat dan disipasi daya yang relative kecil. Proses analisis dalam perancangan IC *3-To-8 Line Decoder* HCMOS ini meliputi:

- 1) Penentuan spesifikasi rangkaian logika penyusun IC *3-To-8 Line Decoder* HCMOS, yang tersusun dari 8 gerbang NAND 4 input, 2 gerbang NAND 2 input, 5 gerbang *Inverter* serta *Inverter* kaskada yang tersusun dari 16 gerbang *inverter*, rangkaian IC *3-To-8 Line Decoder* HCMOS ditunjukkan dalam Gambar 2.2.
- 2) Spesifikasi rangkaian transistor pengusun gerbang logika penyusun IC *3-To-8 Line Decoder* HCMOS dan menentukan penomoran pada tiap *node* dalam rangkaian logika dan transistor.
- 3) Analisis karakteristik alih tegangan untuk memperoleh nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$  dan  $V_{IH}$  dengan menggunakan persamaan yang telah ditentukan dalam literature. Analisis tersebut digunakan untuk memperoleh nilai *Noise Margin* rangkaian.
- 4) Analisis desain  $W$  dan  $L$  pada transistor PMOS dan NMOS pada gerbang logika penyusun IC *3-To-8 Line Decoder* HCMOS. Analisis tersebut dilakukan untuk menghasilkan parameter transkonduktansi yang menjadi acuan untuk analisis *propagation delay*.
- 5) Analisis *propagation delay* dengan menggunakan parameter transkonduktansi untuk menghasilkan  $t_{PLH}$  dan  $t_{PHL}$  yang sama untuk menghasilkan keluaran yang simetris dan menghasilkan nilai  $t_f$  dan  $t_r$  sebagai parameter dalam menganalisis nilai disipasi daya.

### 3.3 Proses simulasi

Proses simulasi adalah proses menyimulasikan hasil perhitungan dari perancangan dan parameter yang telah ditetapkan. Nilai yang didapatkan dari tampilan grafik simulasi kemudian akan dibandingkan dengan karakteristik dari CMOS, kemudian dari keduanya akan dapat diketahui teknologi yang lebih baik dalam perancangan *chips* berdasarkan pada kondisi-kondisi ideal.

Untuk mengetahui kebenaran hasil perancangan perlu diketahui terlebih dahulu bagaimana tampilan grafik VTC (*Voltage Transfer Characteristic*) pada hasil simulasi. Hasil simulasi VTC dengan menggunakan PSIPICE akan diketahui nilai-nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$  dan  $V_{IH}$  yang kemudian akan dibandingkan mana kondisi yang lebih baik antara *3-to-8 Line Decoder* HCMOS dan CMOS.

Kondisi ideal untuk tampilan VTC adalah nilai  $V_{OH}$  yang semakin mendekati nilai tegangan masukan dan untuk  $V_{OL}$  yang mendekati nilai tegangan *ground*, serta selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  yang semakin kecil.

Proses simulasi selanjutnya adalah simulasi *Unit Step* yaitu rangkaian diberi masukan satu gelombang (*step*) sinyal pulsa. Pada sinyal keluaran akan diamati nilai *rise time* ( $t_r$ ), *fll time* ( $t_f$ ), *propagation delay* ( $t_{PLH}$  dan  $t_{PHL}$ ) untuk kemudian diambil perbandingan antara *3-to-8 Line Decoder* HCMOS dan CMOS.

### 3.4 Proses Penggambaran *Layout*

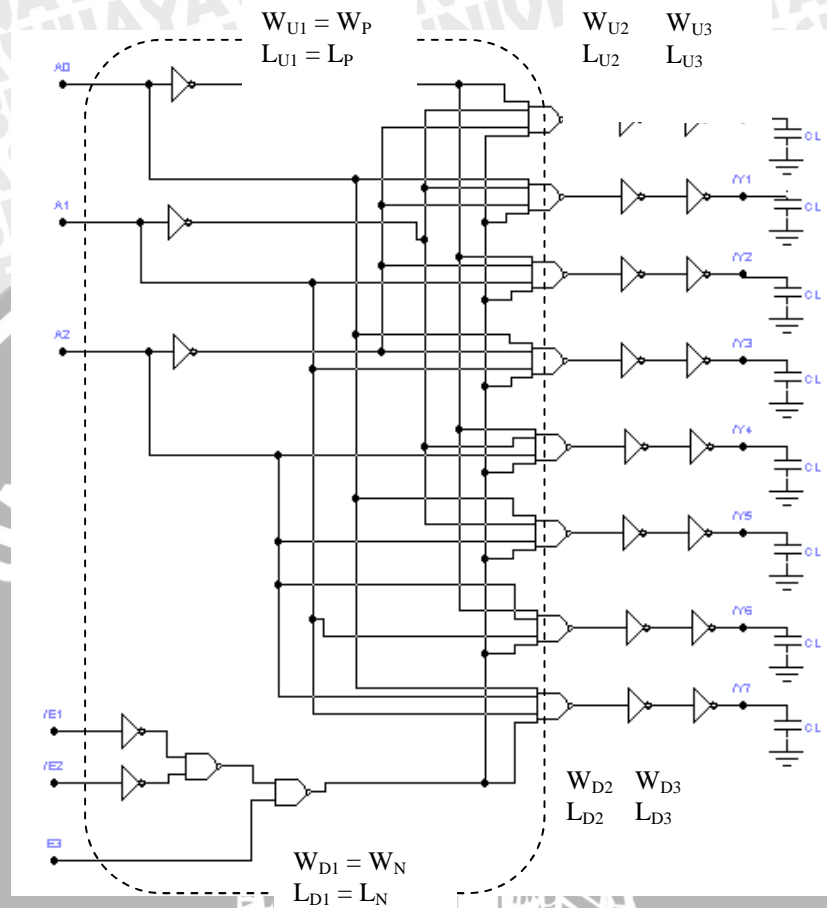
Proses penggambaran *layout* dilakukan sebagai proses akhir setelah dilakukan simulasi, proses ini dilakukan dengan menggunakan program *Microwind2*. Penggambaran *layout* dilakukan untuk menggambar *stick diagram* serta *layout IC*.

## BAB IV PERANCANGAN RANGKAIAN

Bab ini membahas tentang perancangan IC *3-to-8 Line Decoder* yang meliputi penentuan spesifikasi rangkaian dari IC yang akan dirancang, perencanaan rangkaian

logika penyusun *3-to-8 Line Decoder*, dan perancangan gerbang-gerbang CMOS penyusun IC sesuai dengan spesifikasi yang telah ditentukan.

#### 4.1 Spesifikasi Rangkaian IC *3-to-8 Line Decoder* HCMOS



Gambar 4.1 Rangkaian *3-to-8 Line Decoder* HCMOS

Gambar 4.1 menunjukkan konfigurasi rangkaian *3-to-8 Line Decoder* HCMOS. Inisial  $W_U$  menunjukkan transistor *pullup* MOSFET tipe-p dan  $W_D$  menunjukkan transistor *pulldown* MOSFET tipe-n keduanya tersusun dalam konfigurasi CMOS pada tiap gerbang.  $C_L$  adalah semua kapasitansi baik internal maupun eksternal yang digerakkan oleh gerbang yang meliputi kapasitansi jalur koneksi, *bonding pad*, jalur konduktor internal, pin IC, jalur konduktor eksternal dan kapasitansi masukan IC lain yang digerakkan oleh gerbang. Selain kapasitansi terdapat pula komponen pembebanan lain yaitu resistansi keluaran, tetapi digunakan  $C_L$  karena hanya komponen kapasitansi yang hanya mempengaruhi *propagation delay* rangkaian, dalam perancangan ini akan dilakukan pengurangan *propagation delay* gerbang. Perbedaan yang mendasar antara IC HCMOS dan CMOS adalah adanya



konfigurasi pasangan inverter dalam rangkaian *3-to-8 Line Decoder* HCMOS yang dikenal dengan teknik driver kaskada. Peningkatan kecepatan, pengurangan *propagation delay* dapat dilakukan dengan pengaturan nilai W dan L dari sistem.

Perancangan gerbang dilakukan dengan menentukan nilai k, yang berupa 1 rangkaian gerbang dasar dan 2 gerbang kaskada, ditunjukkan dalam Gambar 24, serta nilai a adalah 3 ditunjukkan dalam Gambar 23, sehingga diperoleh

- Persamaan gerbang dasar

$$W_{dk} = a^{k-1} W_{d1} \quad (2-63)$$

Dengan nilai  $a = 3$ ,  $k = n = 1$ , diperoleh

$$W_{dk} = 3^{1-1} W_{d1}, \text{ sehingga} \quad (4-1)$$

$$W_{U1} = W_P$$

$$L_{U1} = L_P$$

$$W_{D1} = W_N$$

$$L_{D1} = L_N$$

- Persamaan kaskada pertama

Dengan nilai  $a = 3$ ,  $k = n = 2$ , diperoleh

$$W_{dk} = 3^{2-1} W_{d1}, \text{ sehingga} \quad (4-2)$$

$$W_{dk} = 3W_{d1}$$

$$W_{U2} = W_{D2} = 3W_N$$

$$L_{U2} = L_{D2} = L_N$$

$$W_{D2} = 3W_{D1} = 3W_N$$

$$L_{D2} = L_{D1} = L_N$$

- Persamaan kaskada kedua

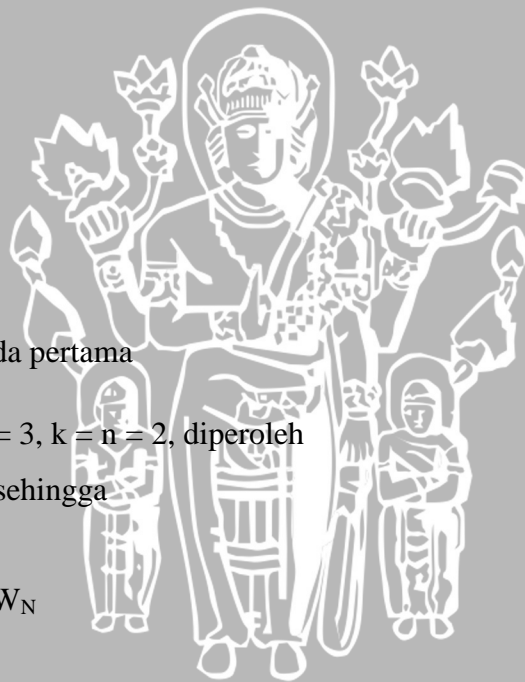
Dengan nilai  $a = 3$ ,  $k = n = 2$ , diperoleh

$$W_{dk} = 3^{3-1} W_{d1}, \text{ sehingga} \quad (4-3)$$

$$W_{dk} = 9W_{d1}$$

$$W_{U3} = W_{D3} = 9W_N$$

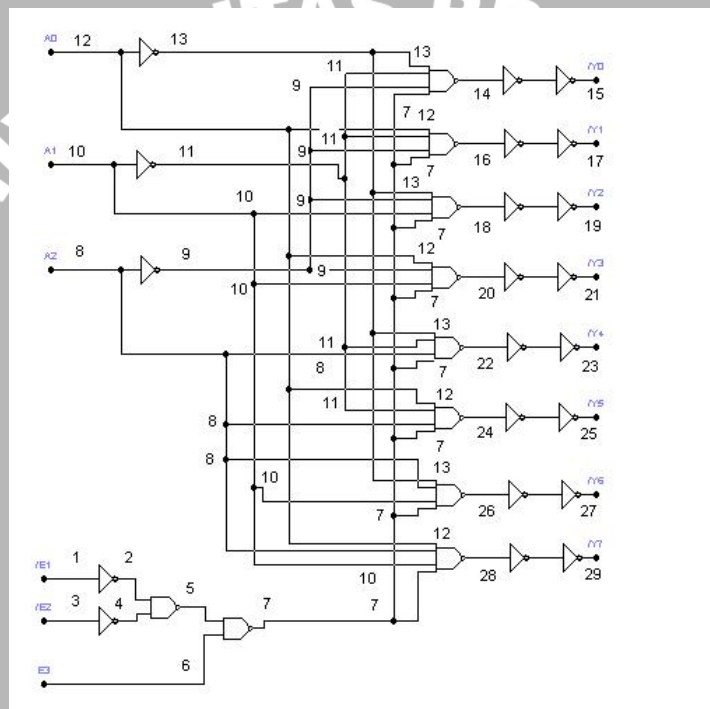
$$L_{U3} = L_{D3} = L_N$$



$$W_{D3} = 9W_{D1} = 9W_N$$

$$L_{D2} = L_{D1} = L_N$$

#### 4.2 Perancangan Rangkaian Logika 3-to-8 Line Decoder



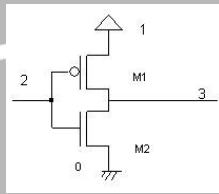
Gambar 4.2 Rangkaian Gerbang Logika 3-to-8 Line Decoder HCMOS

Dalam perancangan 3-to-8 Line Decoder HCMOS dibutuhkan konfigurasi rangkaian gerbang logika seperti yang ditunjukkan dalam Gambar 4.2. Gambar 4.2 menunjukkan konfigurasi 3-to-8 Line Decoder HCMOS yang tersusun atas 10 gerbang NAND, 5 gerbang inverter yang berfungsi sebagai input A0, A1, A2 serta Enable 1, Enable 2 dan 8 driver kaskada yang dipasang sebagai output rangkaian.

#### 4.3 Perancangan Transistor 3-to-8 Line Decoder

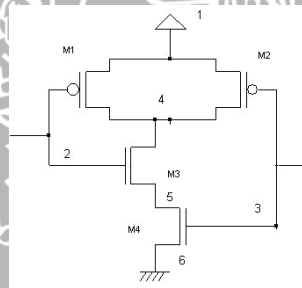
Perancangan transistor pada 3-to-8 Line Decoder dilakukan pada tiap gerbang penyusun IC, dimana tiap gerbang tersusun atas rangkaian transistor PMOS dan

NMOS yang disusun untuk menghasilkan logika pada tiap gerbang. *Inverter* tersusun atas satu pasang transistor PMOS dan NMOS dan dilakukan perancangan *node* dengan memberikan penomoran pada tiap *node* yang akan menjadi panduan dalam penyusunan *listing* program pada PSPICE, gambar *inverter* ditunjukkan dalam Gambar 4.3. Gambar 4.3 menunjukkan bahwa *gate* pada PMOS dan NMOS terhubung menjadi *node* 2, *source* pada PMOS terhubung pada VCC, *drain* pada NMOS terhubung pada *ground* sedangkan *drain* pada PMOS dan *source* pada NMOS terhubung menjadi satu pada *node* 3.

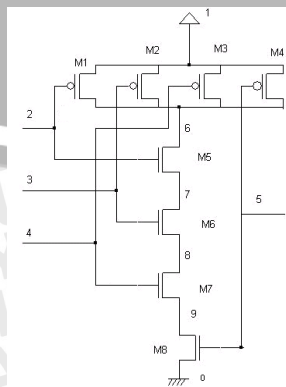


Gambar 4.3 Rangkaian Transistor *Inverter*

Gerbang logika NAND 2 input, tersusun dari 2 pasang transistor PMOS dan NMOS yang ditunjukkan dalam Gambar 4.4. *Source* transistor PMOS terhubung pada VCC yang diinisialisasikan sebagai *node* 1 sedangkan *drainnya* terhubung pada *node* 4. *Gate* M1 dan M3 terhubung menjadi *node* 2 sebagai logika input sedangkan *gate* M2 dan M3 terhubung menjadi *node* 3. Analisis yang sama juga digunakan pada rangkaian NAND 4 input yang ditunjukkan dalam Gambar 4.5.

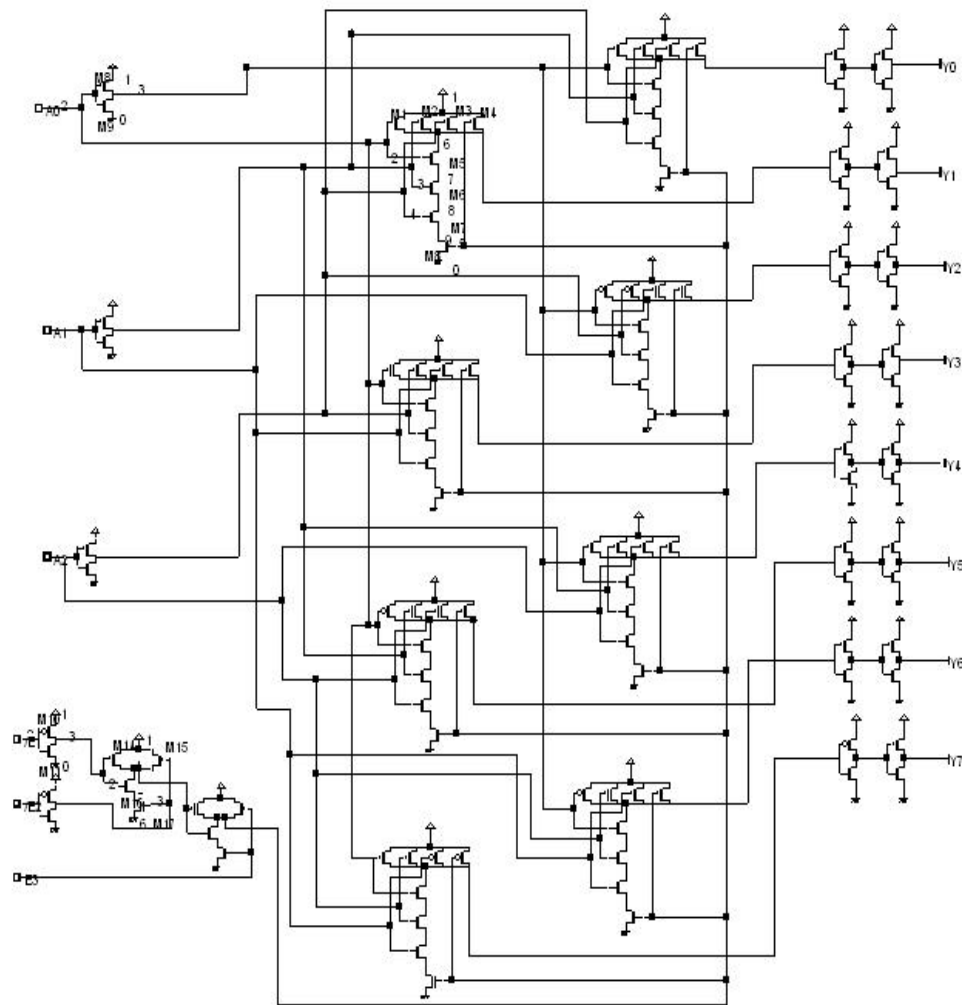


Gambar 4.4 Rangkaian Transistor *Nand 2 Input*



Gambar 4.5 Rangkaian Transistor *Nand 4 Input*

Konfigurasi gabungan rangkaian transistor NMOS dan PMOS dari setiap gerbang logika penyusun *3-to-8 Line Decoder* ditunjukkan dalam Gambar 4.6. Rangkaian tersebut banyak tersusun dari gerbang NAND karena rangkaian transistor yang dibutuhkan sangat sederhana sehingga nilai disipasi daya dan *propagation delay* relatif dapat diinimalisasi. Rangkaian *3-to-8 Line Decoder* tersusun dari 8 gerbang NAND 4 input yang terdiri dari 64 transistor PMOS dan NMOS, 2 gerbang NAND 2 input yang terdiri dari 8 transistor PMOS dan NMOS, 5 gerbang *inverter* yang tersusun dari 10 transistor PMOS dan NMOS dan 8 *inverter* kaskada yang tersusun dari 32 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC *3-to-8 Line Decoder* adalah 114 transistor.

Gambar 4.6 Rangkaian Transistor *3-to-8 Line Decoder*

#### 4.4 Parameter Perancangan *3-to-8 Line Decoder*

Dalam perancangan IC *3-to-8 Line Decoder* HCMOS terdapat karakteristik rangkaian yang ditentukan berdasarkan karakteristik yang terdapat dalam gerbang dasarnya yang bergantung pada keadaan bahan pembuat transistor. Adapun beberapa parameter dasar tersebut ditunjukkan dalam Tabel 4.1 yang sesuai pada *owner's manual* dan *rule file* dalam perangkat lunak *Microwind2* dengan teknologi  $0.12 \mu\text{m}$  CMOS proses ( $\lambda = 0.06 \mu\text{m}$ ).

Tabel 4.1 Parameter Desain Transistor CMOS

Parameter Dasar Transistor CMOS			
Simbol	NMOS	PMOS	KETERANGAN
$\epsilon_{\text{ox}}$	$2,3 \times 10^{-13} \text{ F/cm}$		Konstanta dielektrik polisilikon
$\mu_e / \mu_n$	$580 \text{ cm}^2/\text{V} \cdot \text{s}$	-	Mobilitas rata-rata electron dalam saluran antara <i>drain</i> dan <i>source</i>
$\mu_h / \mu_p$	-	$230 \text{ cm}^2/\text{V} \cdot \text{s}$	Mobilitas rata-rata <i>hole</i> dalam saluran antara <i>drain</i> dan <i>source</i>
$V_T$	1 V	-1V	Tegangan ambang pada PMOS dan NMOS
$\gamma$	$0,4 \text{ V}^{0.5}$		GAMMA, <i>Bulk threshold parameter</i>
$2\phi_F$	0,3 V		PHI, <i>surface potential at strong inversion</i>
$t_{\text{ox}}$	15 nm		Ketebalan oksidasi gerbang (Gate)
$V_{\text{DD}}$	5 V		Tegangan catu
$k_n$	$300 \mu\text{A}/\text{V}^2$	-	Parameter transkonduktansi transistor NMOS
$k_p$	-	$120 \mu\text{A}/\text{V}^2$	Parameter transkonduktansi transistor PMOS

#### 4.5 Desain Nilai W dan L Transistor

Nilai W dan L untuk MOS tipe-n dan tipe-p pada gerbang dasar ditentukan dengan mempertimbangkan interaksi antara tegangan masukan dan keluaran gerbang. Penentuan W dan L untuk inverter CMOS didasari oleh analisis yang dilakukan pada nilai  $k_R = 1$  seperti ditunjukkan dalam Gambar 16, untuk menghasilkan suatu grafik karakteristik alih tegangan masukan dan keluaran yang simetris. Untuk menentukan W dan L pada masing-masing transistor pada gerbang inverter harus dilakukan analisis silang seperti ditunjukkan dalam Persamaan (2-25).

$$k_R = \frac{\left[ \mu_n C_{\text{ox}} \frac{W_n}{L_n} \right]}{\left[ \mu_p C_{\text{ox}} \frac{W_p}{L_p} \right]} \Rightarrow 1 = \frac{\left[ \mu_n C_{\text{ox}} \frac{W_n}{L_n} \right]}{\left[ \mu_p C_{\text{ox}} \frac{W_p}{L_p} \right]}$$

$$1 = \frac{\left[ \mu_n \frac{W_n}{L_n} \right]}{\left[ \mu_p \frac{W_p}{L_p} \right]} \Rightarrow \left[ \mu_n \frac{W_n}{L_n} \right] = \left[ \mu_p \frac{W_p}{L_p} \right] \Rightarrow \frac{W_p}{L_p} = \left[ \frac{\mu_n}{\mu_p} \right] \times \left[ \frac{W_n}{L_n} \right]$$

Dengan memasukkan nilai  $\mu_p = 230 \text{ cm}^2/\text{V} \cdot \text{s}$  dan  $\mu_n = 580 \text{ cm}^2/\text{V} \cdot \text{s}$  didapatkan Persamaan (4-4),

$$\frac{W_p}{L_p} = \left[ \frac{580 \text{ cm}^2/\text{V} \cdot \text{s}}{230 \text{ cm}^2/\text{V} \cdot \text{s}} \right] \times \left[ \frac{W_n}{L_n} \right]$$

$$\frac{W_p}{L_p} = 2,52 \times \left[ \frac{W_n}{L_n} \right] \quad (4-4)$$

Dari Persamaan (4-4) diketahui bahwa untuk mendapatkan suatu grafik karakteristik alih yang simetris maka nilai perbandingan antara lebar difusi dan polisilikon transistor PMOS dengan NMOS adalah 1 : 2,5.

Perancangan selanjutnya adalah dengan menghitung  $W_n : L_n$  dengan memasukkan nilai  $\epsilon_{ox} = 2,3 \times 10^{-13} \text{ F/cm}$ ,  $k_n = 300 \mu\text{A}/\text{V}^2$ ,  $t_{ox} = 15 \text{ nm}$  dan  $\mu_n = 580 \text{ cm}^2/\text{V} \cdot \text{s}$ , dari Persamaan (2-5) dan (2-6) dimana nilai  $C_{ox}$  berubah sesuai dengan ketebalan  $t_{ox}$ , diperoleh Persamaan (4-5).

$$K_n = \mu_n \cdot C_{ox} \cdot \frac{W_n}{L_n} \quad (2-5)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2-6)$$

$$K_n = \left[ \mu_n \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W_n}{L_n} \right] \Rightarrow \frac{W_n}{L_n} = \frac{k_n \cdot t_{ox}}{\mu_n \cdot \epsilon_{ox}} \quad (4-5)$$

$$\frac{W_n}{L_n} = \frac{k_n \cdot t_{ox}}{\mu_n \cdot \epsilon_{ox}} = \frac{300 \times 10^{-6} \text{ A}/\text{V}^2 \times 15 \times 10^{-9} \text{ m}}{580 \text{ cm}^2/\text{V} \cdot \text{s} \times 2,3 \times 10^{-13} \text{ F/cm}}$$

$$\frac{W_n}{L_n} = \frac{300 \times 10^{-6} \text{ A}/\text{V}^2 \times 15 \times 10^{-9} \text{ m}}{580 \times 10^{-4} \text{ m}^2/\text{V} \cdot \text{s} \times 2,3 \times 10^{-11} \text{ F/m}} = \frac{4500 \times 10^{-15}}{1334 \times 10^{-15}} = 3.37 \approx 3$$

Dengan memasukkan  $W_n : L_n$  ke dalam Persamaan (4-4), diperoleh  $W_p : L_p$ ,

$$\frac{W_p}{L_p} = 2,52 \times \left[ \frac{W_n}{L_n} \right] = 2,52 \times 3 = 7.56 \approx 8$$

Dari hasil diatas dilakukan analisis silang, nilai W dan L pada CMOS diperoleh dengan memasukkan nilai ukuran minimal polisilikon yang digunakan yaitu 2 $\mu\text{m}$ , sehingga

$$\frac{W_p}{L_p} = \frac{8}{1} = \frac{16\lambda}{2\lambda} \quad \text{dan} \quad \frac{W_n}{L_n} = \frac{3}{1} = \frac{6\lambda}{2\lambda} \quad \text{seperti yang ditunjukkan dalam Gambar 4.7.}$$



Dengan menggunakan Microwind 0.12  $\mu\text{m}$  CMOS proses dengan  $\lambda = 0.06 \mu\text{m}$ , sehingga nilai W dan L transistor Inverter dasar adalah,

$$M_1 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_2 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

Nilai W dan L transistor untuk gerbang NAND 2 input,

$$M_1 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_2 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_3 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

$$M_4 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

Nilai W dan L transistor untuk gerbang NAND 4 input,

$$M_1 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_2 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_3 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_4 \quad W_p = 0,96 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_5 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

$$M_6 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

$$M_7 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

$$M_8 \quad W_n = 0,36 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

Nilai W dan L transistor untuk kaskada pertama seperti yang ditunjukkan dalam Persamaan (4-2).

$$M_1 \quad W_p = 1,08 \mu\text{m} \quad L_p = 0,12 \mu\text{m}$$

$$M_2 \quad W_n = 1,08 \mu\text{m} \quad L_n = 0,12 \mu\text{m}$$

Nilai W dan L transistor untuk kaskada kedua seperti yang ditunjukkan dalam Persamaan (4-3).

$$M_1 W_P = 3,24 \mu\text{m} \quad L_P = 0,12 \mu\text{m}$$

$$M_2 W_N = 3,24 \mu\text{m} \quad L_N = 0,12 \mu\text{m}$$

#### 4.6 Noise Margin (Batas Derau) Rangkaian

*Noise margin* menunjukkan kekebalan relatif sebuah famili logika terhadap *noise*. Untuk mengetahui *noise margin* rangkaian, maka harus diketahui terlebih dahulu nilai  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$  dan  $V_{OL}$  pada gerbang logika.

Nilai  $V_{IL}$  merupakan nilai tegangan tertentu dari tegangan masukan ( $V_{in}$ ) yang membuat tegangan keluaran menjadi  $V_{OH}$ , perhitungan  $V_{IL}$  dapat dihitung dengan Persamaan (2-33).

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} \quad (2-33)$$

Dalam perancangan nilai  $k_R$  merupakan perbandingan antara  $k_n$  dan  $k_p$ , dimana nilai ini menentukan kesimetrisan dari suatu grafik karakteristik alih tegangan dengan nilai  $k_R = 1$ . Dengan mensubstitusikan nilai  $V_{DD} = 5V$ ,  $V_{T,n} = 1V$  dan  $V_{T,p} = -1V$ , maka didapat fungsi  $V_{IL}$  sebagai fungsi  $V_{out}$  sebagai berikut,

$$V_{IL} = \frac{2V_{out} + V_{T,p} - V_{DD} + k_R V_{T,n}}{1 + k_R} = \frac{2V_{out} + (-1) - 5 + (1 \times 1)}{1 + 1} = \frac{2V_{out} - 5}{2}$$

$$V_{IL} = \frac{2V_{out} - 5}{2} = V_{out} - 2,5$$

Untuk memperoleh nilai  $V_{out}$ , maka digunakan Persamaan (2-32). Dimana  $V_{IN} = V_{IL}$  terjadi saat transistor NMOS dalam keadaan saturasi dan transistor PMOS dalam daerah kerja linier.

$$\frac{k_n}{2} \cdot (V_{GS,n} - V_{T,n})^2 = \frac{k_p}{2} \cdot (V_{GS,p} - V_{T,p})^2$$

$$\frac{k_n}{k_p} = k_R = 1, \text{ maka}$$

$$(V_{in} - V_{T,n})^2 = 2 \times (V_{IN} - V_{DD} - V_{T,p}) (V_{out} - V_{DD} - (V_{out} - V_{DD})^2)$$

$$(V_{out} - 2,5 - 1)^2 = 2 \times (V_{out} - 2,5 - 5 + 1) (V_{out} - 5 - (V_{out} - 5)^2)$$

$$(V_{out} - 3,5)^2 = 2 \times (V_{out} - 6,5) (V_{out} - 5 - (V_{out} - 5)^2)$$



$$(V_{out}^2 - 7V_{out} + 12,25 = [2 \times (V_{out}^2 - 11,5V_{out} + 32,5 - (V_{out}^2 - 10V_{out} + 25)]$$

$$(V_{out}^2 - 7V_{out} + 12,25 = [2V_{out}^2 - 23V_{out} + 65 - (V_{out}^2 - 10V_{out} + 25)]$$

$$(V_{out}^2 - 7V_{out} + 12,25 = (V_{out}^2 - 13V_{out} + 40)$$

$$6V_{out} = 27,75$$

$$V_{out} = 4,625V$$

Maka nilai  $V_{IL}$  adalah

$$V_{IL} = V_{out} - 2,5 = 4,625 - 2,5 = 2,125V$$

Nilai  $V_{IH}$  diperoleh dengan menggunakan Persamaan (2-42), dengan mensubstitusikan nilai  $k_R = 1$ ,  $V_{DD} = 5V$ ,  $V_{T,n} = 1V$  dan  $V_{T,p} = -1V$ , maka didapat fungsi  $V_{IL}$  sebagai fungsi  $V_{out}$  sebagai berikut

$$V_{IH} = \frac{V_{DD} + V_{T,p} + k_R \cdot (2V_{out} + V_{T,n})}{1 + k_R} \quad (2-42)$$

$$V_{IH} = \frac{5 - 1 + 1 \times (2V_{out} + 1)}{1 + 1}$$

$$V_{IH} = \frac{4 + (2V_{out} + 1)}{2} = \frac{5 + 2V_{out}}{2}$$

$$V_{IH} = 2,5 + V_{out} \quad (4-2)$$

Untuk memperoleh nilai  $V_{out}$ , maka digunakan Persamaan (2-39).

$$\frac{k_n}{2} \times [2 \times (V_{in} - V_{T,n})V_{out} - V_{out}^2] = \frac{k_p}{2} (V_{in} - V_{DD} - V_{T,p})^2 \quad (2-39)$$

Dengan  $V_{in} = V_{IH} \Rightarrow V_{IH} = 2,5 + V_{out}$ ,  $\frac{k_p}{k_n} = k_R = 1$ ,  $V_{DD} = 5V$ ,  $V_{T,n} = 1V$  dan  $V_{T,p} = -1V$  maka,

$$[2 \times (V_{IH} - V_{T,n})V_{out} - V_{out}^2] = (V_{IH} - V_{DD} - V_{T,p})^2$$

$$[2 \times (2,5 + V_{out} - 1)V_{out} - V_{out}^2] = (2,5 + V_{out} - 5 + 1)^2$$

$$[(3 + 2V_{out})V_{out} - V_{out}^2] = (V_{out} - 1,5)^2$$

$$3V_{out} + V_{out}^2 = V_{out}^2 - 3V_{out} + 2,25$$

$$6V_{out} = 2,25$$

$$V_{out} = 0,375V$$

Dengan mensubstitusikan kembali nilai  $V_{out}$  kedalam Persamaan (4-2), maka

$$V_{IH} = 2,5 + V_{out} \quad (4-2)$$

$$V_{IH} = 2,5 + 0,375 \Rightarrow V_{IH} = 2,875V$$

Dari analisis perhitungan, diperoleh nilai  $V_{IH}$ ,  $V_{IL}$ ,  $V_{OH}$  dan  $V_{OL}$  sebagai berikut,

$$V_{OH} = 4,625V, \text{ saat } V_{IL} = 2,125V$$

$$V_{OL} = 0,375V, \text{ saat } V_{IH} = 2,875V$$

Dari nilai-nilai tersebut dapat diketahui nilai *noise margin* sesuai dengan Persamaan (2-54) dan (2-55) dan ditunjukkan dalam Gambar 4.9.

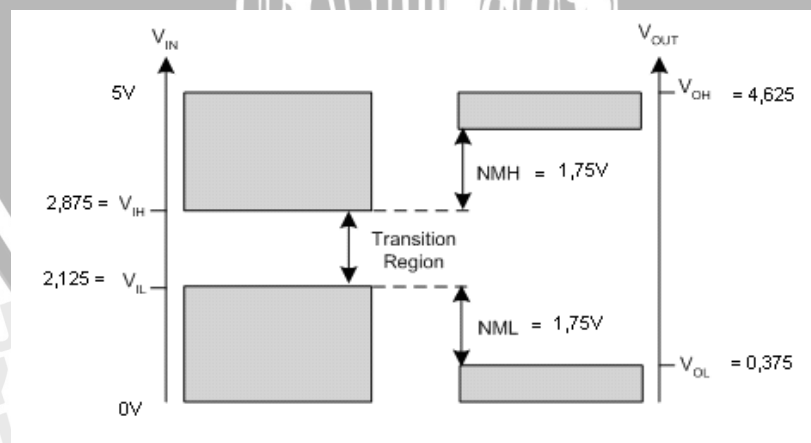
$$NM_H = V_{OH} - V_{IH} \quad (2-54)$$

$$NM_H = 4,625 - 2,875 = 1,75V$$

$$NM_L = V_{IL} - V_{OL} \quad (2-55)$$

$$NM_L = 2,125 - 0,375 = 1,75V$$

Gambar 4.9 menunjukkan *Noise Margin* hasil perhitungan, dimana *range* tegangan input yang dinyatakan sebagai logika *LOW* adalah  $0V - 2,125V$  dan *range* tegangan input yang dinyatakan sebagai logika *HIGH* adalah  $2,875V - 5V$ . Sedangkan *range* tegangan output yang dinyatakan sebagai logika *LOW* adalah  $0V - 0,375V$  dan *range* tegangan output yang dinyatakan sebagai logika *HIGH* adalah  $4,625V - 5V$ .



Gambar 4.8 Noise Margin

Sedangkan tegangan *Therhoald* yang terjadi karena  $V_{in} = V_{out} = V_T$  dapat dihitung dengan Persamaan (3-28) dan mensubstitusi nilai  $k_R = 1$ ,  $V_{DD} = 5V$ ,  $V_{T,n} = 1V$  dan  $V_{T,p} = -1V$  yaitu

$$V_T = \frac{V_{T,n} + (V_{DD} + V_{T,p}) \sqrt{\frac{1}{k_n}}}{\left(1 + \sqrt{\frac{1}{k_R}}\right)}$$

$$V_T = \frac{1 + (5 - 1) \sqrt{1}}{1 + 1} = \frac{5}{2} = 2,5V$$

#### 4.7 Analisis Propagation Delay

*Propagation Delay* atau waktu tunda rambatan dapat dilakukan dengan menentukan nilai kapasitor yang mungkin dapat digunakan. Parameter yang digunakan sebagai pembanding adalah nilai *Propagation Delay* pada *datasheet* IC CMOS 74HC138 dan IC TTL DM74LS138 dengan nilai  $C = 15 \text{ pF}$  seperti ditunjukkan dalam Tabel 4.2.

Tabel 4.2 Tabel *Propagation Delay* IC CMOS 74HC138 dan IC TTL DM74LS138

Jenis IC	Symbol	Parameter	Nilai	Average Propagation Delay
74HC138	$t_{PHL} / t_{PLH}$ $t_{PHL} / t_{PLH}$	$A_n$ to $/Y_n$ $E_3$ to $/Y_n$ $/E_n$ to $/Y_n$	12 ns 14 ns	13 ns
SN74LS138	$t_{PHL} / t_{PLH}$ $t_{PHL} / t_{PLH}$	$A_n$ to $/Y_n$ $E_3$ to $/Y_n$ $/E_n$ to $/Y_n$	18 / 27 ns 18 / 24 ns	21 ns

Nilai *propagation delay* yang dibutuhkan dalam perancangan ini adalah nilai yang lebih kecil dari parameter *datasheet* dalam Tabel 4.2, karena semakin kecil nilai *propagation delay* maka kecepatan proses IC akan semakin cepat. Keluaran yang dihasilkan akan bersifat *symmetric output drive* jika diambil nilai yang umum untuk

parameter transkonduktansi ( $K_N = 2,5 K_P$ ), maka  $\frac{L_N W_P}{W_N L_P} = \frac{K_N}{K_P} = 2,5$  sehingga dapat

menghasilkan *propagation delay* yang lebih kecil. Parameter transkonduktansi ditunjukkan dalam Tabel 4.3. Penentuan nilai transkonduktansi dilakukan dengan menentukan *Average Propagation Delay* dan membandingkannya dengan parameter *datasheet* yaitu 10ns.

Tabel 4.3 Variasi Parameter Transkonduktansi

C (pf)	$K_N = \mu_N \cdot C_{ox}$ dan $K_P = \mu_P \cdot C_{ox}$				
	0,5	$K_{N1} = 5 \mu A/V^2$	$K_{N2} = 15 \mu A/V^2$	$K_{N3} = 35 \mu A/V^2$	$K_{N4} = 40 \mu A/V^2$
	$K_{P1} = 2 \mu A/V^2$	$K_{P2} = 6 \mu A/V^2$	$K_{P3} = 14 \mu A/V^2$	$K_{P4} = 16 \mu A/V^2$	$K_{P5} = 22 \mu A/V^2$
5	$K_{N1} = 5 \mu A/V^2$	$K_{N2} = 15 \mu A/V^2$	$K_{N3} = 35 \mu A/V^2$	$K_{N4} = 40 \mu A/V^2$	$K_{N5} = 55 \mu A/V^2$
	$K_{P1} = 2 \mu A/V^2$	$K_{P2} = 6 \mu A/V^2$	$K_{P3} = 14 \mu A/V^2$	$K_{P4} = 16 \mu A/V^2$	$K_{P5} = 22 \mu A/V^2$
10	$K_{N1} = 5 \mu A/V^2$	$K_{N2} = 15 \mu A/V^2$	$K_{N3} = 35 \mu A/V^2$	$K_{N4} = 40 \mu A/V^2$	$K_{N5} = 55 \mu A/V^2$
	$K_{P1} = 2 \mu A/V^2$	$K_{P2} = 6 \mu A/V^2$	$K_{P3} = 14 \mu A/V^2$	$K_{P4} = 16 \mu A/V^2$	$K_{P5} = 22 \mu A/V^2$
15	$K_{N1} = 5 \mu A/V^2$	$K_{N2} = 15 \mu A/V^2$	$K_{N3} = 35 \mu A/V^2$	$K_{N4} = 40 \mu A/V^2$	$K_{N5} = 55 \mu A/V^2$
	$K_{P1} = 2 \mu A/V^2$	$K_{P2} = 6 \mu A/V^2$	$K_{P3} = 14 \mu A/V^2$	$K_{P4} = 16 \mu A/V^2$	$K_{P5} = 22 \mu A/V^2$
50	$K_{N1} = 5 \mu A/V^2$	$K_{N2} = 15 \mu A/V^2$	$K_{N3} = 35 \mu A/V^2$	$K_{N4} = 40 \mu A/V^2$	$K_{N5} = 55 \mu A/V^2$
	$K_{P1} = 2 \mu A/V^2$	$K_{P2} = 6 \mu A/V^2$	$K_{P3} = 14 \mu A/V^2$	$K_{P4} = 16 \mu A/V^2$	$K_{P5} = 22 \mu A/V^2$

1)  $K_N = \mu_N \cdot C_{ox} = 5 \mu A/V^2$  dan  $K_P = \mu_P \cdot C_{ox} = 2 \mu A/V^2$

ü Untuk  $C_1 = 0,5pF$

$$t_{PLH} = \frac{0,8 \cdot C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8 \cdot C}{\frac{1}{2} \cdot \mu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 2 \times 10^{-6} A/V^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{40 \times 10^{-6}} = 1,10 \cdot 10^{-8} s = 10ns$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 5 \times 10^{-6} A/V^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{37,5 \times 10^{-6}} = 1,10 \cdot 10^{-8} s = 10ns$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 10 \cdot 10^{-9} = 20 \times 10^{-9} = 20ns$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 10 \cdot 10^{-9} = 20 \times 10^{-9} = 20ns$

*Average Propagation Delay* (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{10ns + 10ns}{2} = \frac{20ns}{2} = 10ns$$

ü Untuk  $C_2 = 5pF$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 2 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{8}{1} \right) \times 5} = \frac{4 \times 10^{-12}}{40 \times 10^{-6}} = 1 \cdot 10^{-7} \text{ s} = 100 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 5 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{3}{1} \right) \times 5} = \frac{4 \times 10^{-12}}{37,5 \times 10^{-6}} = 1,1 \cdot 10^{-7} \text{ s} = 110 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 100 \cdot 10^{-9} = 200 \times 10^{-9} = 200 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 110 \cdot 10^{-9} = 220 \times 10^{-9} = 220 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{110 \text{ ns} + 100 \text{ ns}}{2} = \frac{210 \text{ ns}}{2} = 105 \text{ ns}$$

ü Untuk  $C_3 = 10 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 2 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{8}{1} \right) \times 5} = \frac{8 \times 10^{-12}}{40 \times 10^{-6}} = 0,2 \cdot 10^{-6} \text{ s} = 200 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 5 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{3}{1} \right) \times 5} = \frac{8 \times 10^{-12}}{37,5 \times 10^{-6}} = 0,21 \cdot 10^{-6} \text{ s} = 210 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 200 \cdot 10^{-9} = 400 \times 10^{-9} = 400 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 210 \cdot 10^{-9} = 420 \times 10^{-9} = 420 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{210 \text{ ns} + 200 \text{ ns}}{2} = \frac{410 \text{ ns}}{2} = 205 \text{ ns}$$

ü Untuk  $C_4 = 15 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 15 \times 10^{-12}}{\frac{1}{2} \times 2 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{40 \times 10^{-6}} = 3 \cdot 10^{-7} \text{ s} = 300 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 5 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{37,5 \times 10^{-6}} = 3,2 \cdot 10^{-7} \text{ s} = 320 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 300 \cdot 10^{-9} = 600 \times 10^{-9} = 600 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 320 \cdot 10^{-9} = 640 \times 10^{-9} = 640 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{320 \text{ ns} + 300 \text{ ns}}{2} = \frac{620 \text{ ns}}{2} = 310 \text{ ns}$$

ü Untuk  $C_5 = 50 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 2 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{40 \times 10^{-6}} = 1 \cdot 10^{-6} \text{ s} = 1 \mu\text{s}$$

$$t_{PHL} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 5 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{37,5 \times 10^{-6}} = 1,1 \cdot 10^{-6} \text{ s} = 1,1 \mu\text{s}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 1 \cdot 10^{-6} = 2 \times 10^{-6} = 2 \mu\text{s}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 1,1 \cdot 10^{-6} = 2,2 \times 10^{-6} = 2,2 \mu\text{s}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,1 \mu\text{s} + 1 \mu\text{s}}{2} = \frac{2,1 \mu\text{s}}{2} = 1,05 \mu\text{s}$$

2)  $K_N = \mu_N \cdot C_{ox} = 15 \mu\text{A/V}^2$  dan  $K_P = \mu_P \cdot C_{ox} = 6 \mu\text{A/V}^2$

ü Untuk  $C_1 = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 6 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{8}{1} \right) \times 5} = \frac{0,4 \times 10^{-12}}{120 \times 10^{-6}} = 3,3 \cdot 10^{-9} \text{ s} = 3,3 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 15 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{3}{1} \right) \times 5} = \frac{0,4 \times 10^{-12}}{112,5 \times 10^{-6}} = 3,6 \cdot 10^{-9} \text{ s} = 3,6 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 3,3 \cdot 10^{-9} = 6,6 \times 10^{-9} = 6,6 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 3,6 \cdot 10^{-9} = 7,2 \times 10^{-9} = 7,2 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,6 \text{ ns} + 3,3 \text{ ns}}{2} = \frac{6,9 \text{ ns}}{2} = 3,45 \text{ ns}$$

ü Untuk  $C_2 = 5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left( \frac{W}{L} \right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 6 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{8}{1} \right) \times 5} = \frac{4 \times 10^{-12}}{120 \times 10^{-6}} = 3,3 \cdot 10^{-8} \text{ s} = 33 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 15 \times 10^{-6} \text{ A/V}^2 \times \left( \frac{3}{1} \right) \times 5} = \frac{4 \times 10^{-12}}{112,5 \times 10^{-6}} = 3,6 \cdot 10^{-8} \text{ s} = 36 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 33 \cdot 10^{-9} = 66 \times 10^{-9} = 66 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 36 \cdot 10^{-9} = 72 \times 10^{-9} = 72 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{36 \text{ ns} + 33 \text{ ns}}{2} = \frac{69 \text{ ns}}{2} = 34,5 \text{ ns}$$

ü Untuk  $C_3 = 10 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 6 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{120 \times 10^{-6}} = 0,067 \cdot 10^{-6} \text{ s} = 67 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 15 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{112,5 \times 10^{-6}} = 0,071 \cdot 10^{-9} \text{ s} = 71 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 67 \cdot 10^{-9} = 134 \times 10^{-9} = 134 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 71 \cdot 10^{-9} = 142 \times 10^{-9} = 142 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{71 \text{ ns} + 67 \text{ ns}}{2} = \frac{138 \text{ ns}}{2} = 69 \text{ ns}$$

ü Untuk  $C_4 = 15 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 15 \times 10^{-12}}{\frac{1}{2} \times 6 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{120 \times 10^{-6}} = 1 \cdot 10^{-7} \text{ s} = 100 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 15 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{112,5 \times 10^{-6}} = 1,1 \cdot 10^{-7} \text{ s} = 110 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 100 \cdot 10^{-9} = 200 \times 10^{-9} = 200 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 110 \cdot 10^{-9} = 220 \times 10^{-9} = 220 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{110 \text{ ns} + 100 \text{ ns}}{2} = \frac{210 \text{ ns}}{2} = 105 \text{ ns}$$

ü Untuk  $C_5 = 50 \text{ pF}$



$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 6 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{120 \times 10^{-6}} = 3,3 \cdot 10^{-7} \text{ s} = 330 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 15 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{112,5 \times 10^{-6}} = 3,6 \cdot 10^{-7} \text{ s} = 360 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 330 \cdot 10^{-9} = 660 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 360 \cdot 10^{-9} = 720 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{360 \text{ ns} + 330 \text{ ns}}{2} = \frac{690 \text{ ns}}{2} = 345 \text{ ns}$$

3)  $K_N = \mu_N \cdot C_{ox} = 35 \mu\text{A/V}^2$  dan  $K_P = \mu_P \cdot C_{ox} = 14 \mu\text{A/V}^2$

ü Untuk  $C_1 = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 14 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{280 \times 10^{-6}} = 1,4 \cdot 10^{-9} \text{ s} = 1,4 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 35 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{262,5 \times 10^{-6}} = 1,5 \cdot 10^{-9} \text{ s} = 1,5 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 1,4 \cdot 10^{-9} = 2,8 \cdot 10^{-9} = 2,8 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 1,5 \cdot 10^{-9} = 3 \cdot 10^{-9} = 3 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,5 \text{ ns} + 1,4 \text{ ns}}{2} = \frac{2,9 \text{ ns}}{2} = 1,45 \text{ ns}$$

ü Untuk  $C_2 = 5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 14 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{280 \times 10^{-6}} = 1,4 \cdot 10^{-8} \text{ s} = 14 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 35 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{262,5 \times 10^{-6}} = 1,5 \cdot 10^{-8} \text{ s} = 15 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 14 \cdot 10^{-9} = 28 \times 10^{-9} = 28 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 15 \cdot 10^{-9} = 30 \times 10^{-9} = 30 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{15 \text{ ns} + 14 \text{ ns}}{2} = \frac{29 \text{ ns}}{2} = 14,5 \text{ ns}$$

ü Untuk  $C_3 = 10 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 14 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{280 \times 10^{-6}} = 0,028 \cdot 10^{-6} \text{ s} = 28 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 35 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{262,5 \times 10^{-6}} = 0,03 \cdot 10^{-6} \text{ s} = 30 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 30 \cdot 10^{-9} = 60 \times 10^{-9} = 60 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 28 \cdot 10^{-9} = 56 \times 10^{-9} = 56 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{30 \text{ ns} + 28 \text{ ns}}{2} = \frac{58 \text{ ns}}{2} = 29 \text{ ns}$$

ü Untuk  $C_4 = 15 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 15 \times 10^{-12}}{\frac{1}{2} \times 14 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{280 \times 10^{-6}} = 4,2 \cdot 10^{-8} \text{ s} = 42 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 35 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{262,5 \times 10^{-6}} = 4,6 \cdot 10^{-8} \text{ s} = 46 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 42 \cdot 10^{-9} = 84 \times 10^{-9} = 84 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 46 \cdot 10^{-9} = 92 \times 10^{-9} = 92 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{46 \text{ ns} + 42 \text{ ns}}{2} = \frac{88 \text{ ns}}{2} = 44 \text{ ns}$$

ü Untuk  $C_5 = 50 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 14 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{280 \times 10^{-6}} = 1,4 \cdot 10^{-7} \text{ s} = 140 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 35 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{262,5 \times 10^{-6}} = 1,5 \cdot 10^{-7} \text{ s} = 150 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 140 \cdot 10^{-9} = 280 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 150 \cdot 10^{-9} = 300 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{140 \text{ ns} + 150 \text{ ns}}{2} = \frac{290 \text{ ns}}{2} = 145 \text{ ns}$$

4)  $K_N = \mu_N \cdot C_{ox} = 40 \mu\text{A/V}^2$  dan  $K_P = \mu_P \cdot C_{ox} = 16 \mu\text{A/V}^2$

ü Untuk  $C_1 = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{320 \times 10^{-6}} = 1,25 \cdot 10^{-9} \text{ s} = 1,25 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{300 \times 10^{-6}} = 1,3 \cdot 10^{-9} \text{ s} = 1,3 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 1,25 \cdot 10^{-9} = 2,5 \times 10^{-9} = 2,5 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 1,3 \cdot 10^{-9} = 2,6 \times 10^{-9} = 2,6 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,3 \text{ ns} + 1,25 \text{ ns}}{2} = \frac{2,55 \text{ ns}}{2} = 1,27 \text{ ns}$$

ü Untuk  $C_2 = 5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{320 \times 10^{-6}} = 1,25 \cdot 10^{-8} \text{ s} = 12,5 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{300 \times 10^{-6}} = 1,3 \cdot 10^{-8} \text{ s} = 13 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 12,5 \cdot 10^{-9} = 25 \times 10^{-9} = 25 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 13 \cdot 10^{-9} = 26 \times 10^{-9} = 26 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{13 \text{ ns} + 12,5 \text{ ns}}{2} = \frac{25,5 \text{ ns}}{2} = 12,75 \text{ ns}$$

ü Untuk  $C_3 = 10 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{320 \times 10^{-6}} = 0,025 \cdot 10^{-6} \text{ s} = 25 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{300 \times 10^{-6}} = 0,027 \cdot 10^{-6} \text{ s} = 27 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 25 \cdot 10^{-9} = 50 \times 10^{-9} = 50 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 27 \cdot 10^{-9} = 54 \times 10^{-9} = 54 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{27 \text{ ns} + 25 \text{ ns}}{2} = 26 \text{ ns}$$

ü Untuk  $C_4 = 15 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 15 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{320 \times 10^{-6}} = 3,75 \cdot 10^{-8} \text{ s} = 37,5 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{300 \times 10^{-6}} = 4 \cdot 10^{-8} \text{ s} = 40 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 42 \cdot 10^{-9} = 84 \times 10^{-9} = 84 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 46 \cdot 10^{-9} = 92 \times 10^{-9} = 92 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{40 \text{ ns} + 37,5 \text{ ns}}{2} = \frac{77,5 \text{ ns}}{2} = 38,75 \text{ ns}$$

ü Untuk  $C_5 = 50 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{320 \times 10^{-6}} = 1,25 \cdot 10^{-7} \text{ s} = 125 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{300 \times 10^{-6}} = 1,3 \cdot 10^{-7} \text{ s} = 130 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 125 \cdot 10^{-9} = 250 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 130 \cdot 10^{-9} = 260 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{130 \text{ ns} + 125 \text{ ns}}{2} = \frac{255 \text{ ns}}{2} = 127,5 \text{ ns}$$

5)  $K_N = \mu_N \cdot C_{ox} = 55 \mu\text{A/V}^2$  dan  $K_P = \mu_p \cdot C_{ox} = 22 \mu\text{A/V}^2$

ü Untuk  $C_1 = 0,5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \cdot \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 22 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{440 \times 10^{-6}} = 9 \cdot 10^{-10} \text{ s} = 0,9 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 0,5 \times 10^{-12}}{\frac{1}{2} \times 55 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{0,4 \times 10^{-12}}{412,5 \times 10^{-6}} = 9,7 \cdot 10^{-10} \text{ s} = 0,97 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 0,9 \cdot 10^{-9} = 1,8 \times 10^{-9} = 1,8 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 0,97 \cdot 10^{-9} = 1,94 \times 10^{-9} = 1,94 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,97 \text{ ns} + 0,9 \text{ ns}}{2} = \frac{1,87 \text{ ns}}{2} = 0,935 \text{ ns}$$

ü Untuk  $C_2 = 5 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 22 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{440 \times 10^{-6}} = 9,1 \cdot 10^{-9} \text{ s} = 9,1 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 55 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{4 \times 10^{-12}}{412,5 \times 10^{-6}} = 9,7 \cdot 10^{-9} \text{ s} = 9,7 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 9,1 \cdot 10^{-9} = 18,2 \times 10^{-9} = 18,2 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 9,7 \cdot 10^{-9} = 19,4 \times 10^{-9} = 19,4 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{9,7 \text{ ns} + 9,1 \text{ ns}}{2} = \frac{18,8 \text{ ns}}{2} = 9,4 \text{ ns}$$

ü Untuk  $C_3 = 10 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 22 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{440 \times 10^{-6}} = 0,018 \cdot 10^{-6} \text{ s} = 18 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 10 \times 10^{-12}}{\frac{1}{2} \times 55 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{8 \times 10^{-12}}{412,5 \times 10^{-6}} = 0,019 \cdot 10^{-6} \text{ s} = 19 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 18 \cdot 10^{-9} = 36 \times 10^{-9} = 36 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 19 \cdot 10^{-9} = 38 \times 10^{-9} = 38 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{19 \text{ ns} + 18 \text{ ns}}{2} = \frac{37}{2} = 18,5 \text{ ns}$$

ü Untuk  $C_4 = 15 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 15 \times 10^{-12}}{\frac{1}{2} \times 22 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{440 \times 10^{-6}} = 2,7 \cdot 10^{-8} \text{ s} = 27 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 5 \times 10^{-12}}{\frac{1}{2} \times 55 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{12 \times 10^{-12}}{412,5 \times 10^{-6}} = 2,9 \cdot 10^{-8} \text{ s} = 29 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 27 \cdot 10^{-9} = 54 \times 10^{-9} = 54 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 29 \cdot 10^{-9} = 58 \times 10^{-9} = 58 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{27 \text{ ns} + 29 \text{ ns}}{2} = \frac{56 \text{ ns}}{2} = 28 \text{ ns}$$

ü Untuk  $C_5 = 50 \text{ pF}$

$$t_{PLH} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_P \cdot V_{DD}}, \quad t_{PHL} = \frac{0,8.C}{\frac{1}{2} \cdot \mu_p \cdot C_{ox} \left(\frac{W}{L}\right)_N \cdot V_{DD}}$$

$$t_{PLH} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 16 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{8}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{320 \times 10^{-6}} = 1,25 \cdot 10^{-7} \text{ s} = 125 \text{ ns}$$

$$t_{PHL} = \frac{0,8 \times 50 \times 10^{-12}}{\frac{1}{2} \times 40 \times 10^{-6} \text{ A/V}^2 \times \left(\frac{3}{1}\right) \times 5} = \frac{40 \times 10^{-12}}{300 \times 10^{-6}} = 1,3 \cdot 10^{-7} \text{ s} = 130 \text{ ns}$$

Rise time (waktu naik),  $t_r, (t_{TLH}) = 2 \times t_{PLH} = 2 \times 125 \cdot 10^{-9} = 250 \text{ ns}$

Fall time (waktu turun),  $t_f, (t_{THL}) = 2 \times t_{PHL} = 2 \times 130 \cdot 10^{-9} = 260 \text{ ns}$

Average Propagation Delay (Rata-rata rambatan waktu tunda) adalah:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{130 \text{ ns} + 125 \text{ ns}}{2} = \frac{255 \text{ ns}}{2} = 127,5 \text{ ns}$$

Berdasarkan analisis perhitungan, hasil perhitungan analisis merupakan perhitungan gerbang tiap level pada rangkaian digital. Dapat dianalisis bahwa besar kapasitor yang dapat digunakan dalam perancangan adalah = 5pF dengan  $K_N =$



$55\mu\text{A}/\text{V}^2$  dan  $K_P = 22\mu\text{A}/\text{V}^2$ . Hal ini terjadi karena *propagation delay* yang diperoleh dengan  $C = 5\text{ pF}$  adalah  $9\text{ ns}$  dimana ini adalah nilai *propagation delay* yang mungkin digunakan untuk perancangan IC HCMOS selain itu dengan menggunakan nilai  $K_N$  dan  $K_P$  tersebut dihasilkan nilai *propagation delay* yang mungkin dan simetris, data hasil perhitungan dapat dilihat dalam Tabel 4.4. Data akan dibandingkan dengan *datasheet* sehingga data yang diambil adalah data dengan  $C_L = 15\text{pF}$ . Parameter input-output dihitung dengan mengalikan jumlah level terjauh yaitu 5 dengan nilai parameter. Parameter enable-output diperoleh dengan mengalikan jumlah level terjauh yaitu 7 dengan nilai parameter.

Tabel 4.4 Data Parameter Transkonduktansi Tiap Level, Input-Output dan Enable-Output

$K_N/K_P$	Parameter / level (ns)	$C_L$ (pF)					Parameter	
		0,5	5	10	15	50	Input? Output	Enable? Output
$K_N = 5\mu\text{A}/\text{V}^2$ $K_P = 2\mu\text{A}/\text{V}^2$	$t_{PLH}$	10	100	200	300	1000	1500	2100
	$t_{PHL}$	10	110	210	320	1100	1600	2240
	$t_r$	20	200	400	600	2000	3000	4200
	$t_f$	20	220	420	640	2200	3200	4480
	$t_{PD}$	10	105	205	310	1050	1550	2170
$K_N = 15\mu\text{A}/\text{V}^2$ $K_P = 6\mu\text{A}/\text{V}^2$	$t_{PLH}$	3,3	33	67	100	330	500	700
	$t_{PHL}$	3,6	36	71	110	360	550	770
	$t_r$	6,6	66	134	200	660	1000	1400
	$t_f$	7,2	72	142	220	720	1100	1540
	$t_{PD}$	3,45	34,5	69	105	345	525	735
$K_N = 35\mu\text{A}/\text{V}^2$ $K_P = 14\mu\text{A}/\text{V}^2$	$t_{PLH}$	1,4	14	28	42	140	210	294
	$t_{PHL}$	1,5	15	30	46	150	230	322
	$t_r$	2,8	28	56	84	280	420	588
	$t_f$	3	30	60	92	300	460	644
	$t_{PD}$	1,45	14,5	29	44	145	220	308
$K_N = 40\mu\text{A}/\text{V}^2$ $K_P = 16\mu\text{A}/\text{V}^2$	$t_{PLH}$	1,25	12,5	25	37,5	125	187,5	262,5
	$t_{PHL}$	1,3	13	27	40	130	200	280
	$t_r$	2,5	25	50	75	250	420	588
	$t_f$	2,6	26	54	84	260	460	644
	$t_{PD}$	1,27	12,7	26	38,7	127,5	193,5	270,9
$K_N = 55\mu\text{A}/\text{V}^2$ $K_P = 22\mu\text{A}/\text{V}^2$	$t_{PLH}$	0,9	9,1	18	27	125	135	189
	$t_{PHL}$	0,97	9,7	19	29	130	145	203
	$t_r$	1,8	18,2	36	54	250	270	378
	$t_f$	1,94	19,4	38	58	260	290	406
	$t_{PD}$	0,94	9,4	18,5	28	127,5	140	196

#### 4.8 Disipasi Daya

Disipasi daya (*power dissipation*) merupakan daya yang dikonsumsi oleh suatu gerbang. Disipasi daya diperoleh dengan menentukan frekwensi kerja dan sesuai dengan kapasitor yang digunakan. Nilai disipasi daya diperoleh melalui Persamaan (2-

62). Salah satu parameter yang dipergunakan untuk menunjukkan ukuran kecepatan dan daya minimum sebuah gerbang adalah *power delay product* (PDP). Semakin kecil nilai PDP, maka semakin dekat gerbang logika tersebut ke bentuk ideal. Nilai *power delay product* (PDP) diperoleh melalui Persamaan (2-64).

$$PD = C_L V_{DD}^2 f \quad (2-62)$$

$$PDP = t_{PD} \cdot PD \quad (2-64)$$

Perencanaan nilai disipasi daya dilakukan dengan membandingkan nilai pada *datasheet* seperti yang ditunjukkan dalam Tabel 4.5 dan menggunakan variasi frekuensi dan nilai kapasitor pada  $K_N = 55 \mu\text{A}/\text{V}^2$  dan  $K_P = 22 \mu\text{A}/\text{V}^2$ .

Tabel 4.5 Parameter Disipasi Daya

PARAMETER	74HC138	DM74LS138
$P_D$	12mW	32mW

1) **Frekuensi = 1MHz**

ü **Untuk C = 0.5pF,  $t_{PD} = 0,94\text{ns}$**

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 1,10^6 = 12,5 \times 10^{-6} = 12,5 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 0,94 \times 10^{-9} \times 12,5 \times 10^{-6} = 11,75 \times 10^{-15} = 11,75 \text{fJ}$$

ü **Untuk C = 5pF,  $t_{PD} = 9,4\text{ns}$**

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 1,10^6 = 125 \times 10^{-6} = 125 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 9,4 \times 10^{-9} \times 125 \times 10^{-6} = 1175 \times 10^{-15} = 1175 \text{fJ}$$

ü **Untuk C = 10pF,  $t_{PD} = 18,5\text{ns}$**

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 1,10^6 = 250 \times 10^{-6} = 250 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 18,5 \times 10^{-9} \times 250 \times 10^{-6} = 4625 \times 10^{-15} = 4,6 \text{pJ}$$

ü **Untuk C = 15pF,  $t_{PD} = 28\text{ns}$**

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1,10^6 = 375 \times 10^{-6} = 375 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 28 \times 10^{-9} \times 375 \times 10^{-6} = 10500 \times 10^{-15} = 10,5 \text{pJ}$$

ü **Untuk C = 50pF,  $t_{PD} = 127,5\text{ns}$**

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1,25 mW$$

$$PDP = t_{PD} \cdot P_D = 127,5 \times 10^{-9} \times 1,25 \times 10^{-3} = 159,4 \times 10^{-12} = 159,4 pJ$$

### 2) Frekuensi = 5MHz

ü Untuk C = 0.5pF,  $t_{PD} = 0,94 ns$

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 5.10^6 = 62,5 \times 10^{-6} = 12,5 \mu W$$

$$PDP = t_{PD} \cdot P_D = 0,94 \times 10^{-9} \times 62,5 \times 10^{-6} = 58,75 \times 10^{-15} = 58,75 fJ$$

ü Untuk C = 5pF,  $t_{PD} = 9,4 ns$

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 5.10^6 = 625 \times 10^{-6} = 625 \mu W$$

$$PDP = t_{PD} \cdot P_D = 9,4 \times 10^{-9} \times 625 \times 10^{-6} = 5875 \times 10^{-15} = 5,875 pJ$$

ü Untuk C = 10pF,  $t_{PD} = 18,5 ns$

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 5.10^6 = 1250 \times 10^{-6} = 1250 \mu W$$

$$PDP = t_{PD} \cdot P_D = 18,5 \times 10^{-9} \times 1250 \times 10^{-6} = 23125 \times 10^{-15} = 23,1 pJ$$

ü Untuk C = 15pF,  $t_{PD} = 28 ns$

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 5.10^6 = 1875 \times 10^{-6} = 1,875 mW$$

$$PDP = t_{PD} \cdot P_D = 28 \times 10^{-9} \times 1,875 \times 10^{-3} = 52,5 \times 10^{-12} = 52,5 pJ$$

ü Untuk C = 50pF,  $t_{PD} = 127,5 ns$

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 5.10^6 = 6250 \times 10^{-6} = 6,25 mW$$

$$PDP = t_{PD} \cdot P_D = 127,5 \times 10^{-9} \times 6,25 \times 10^{-3} = 796,8 \times 10^{-12} = 796,8 pJ$$

### 3) Frekuensi = 10MHz

ü Untuk C = 0.5pF,  $t_{PD} = 0,94 ns$

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 10.10^6 = 125 \times 10^{-6} = 125 \mu W$$

$$PDP = t_{PD} \cdot P_D = 0,94 \times 10^{-9} \times 125 \times 10^{-6} = 117,5 \times 10^{-15} = 117,5 fJ$$

ü Untuk C = 5pF,  $t_{PD} = 9,4 ns$

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 10.10^6 = 1250 \times 10^{-6} = 1,25 mW$$

$$PDP = t_{PD} \cdot P_D = 9,4 \times 10^{-9} \times 1,25 \times 10^{-3} = 11,75 \times 10^{-12} = 11,75 \text{ pJ}$$

ü **Untuk C = 10pF, t<sub>PD</sub> = 18,5ns**

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 2500 \times 10^{-6} = 2500 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 18,5 \times 10^{-9} \times 2500 \times 10^{-6} = 46250 \times 10^{-15} = 462,5 \text{ pJ}$$

ü **Untuk C = 15pF, t<sub>PD</sub> = 28ns**

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 3750 \times 10^{-6} = 3,75 \text{ mW}$$

$$PDP = t_{PD} \cdot P_D = 28 \times 10^{-9} \times 3,75 \times 10^{-3} = 105 \times 10^{-12} = 105 \text{ pJ}$$

ü **Untuk C = 50pF, t<sub>PD</sub> = 127,5ns**

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 12500 \times 10^{-6} = 12,5 \text{ mW}$$

$$PDP = t_{PD} \cdot P_D = 127,5 \times 10^{-9} \times 12,5 \times 10^{-3} = 1593,8 \times 10^{-12} = 1593,8 \text{ pJ}$$

4) **Frekuensi = 20MHz**

ü **Untuk C = 0.5pF, t<sub>PD</sub> = 0,94ns**

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 250 \times 10^{-6} = 250 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 0,94 \times 10^{-9} \times 250 \times 10^{-6} = 235 \times 10^{-15} = 235 \text{ fJ}$$

ü **Untuk C = 5pF, t<sub>PD</sub> = 9,4ns**

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 2500 \times 10^{-6} = 2,5 \text{ mW}$$

$$PDP = t_{PD} \cdot P_D = 9,4 \times 10^{-9} \times 2,5 \times 10^{-3} = 23,5 \times 10^{-12} = 23,5 \text{ pJ}$$

ü **Untuk C = 10pF, t<sub>PD</sub> = 18,5ns**

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 5000 \times 10^{-6} = 5000 \mu\text{W}$$

$$PDP = t_{PD} \cdot P_D = 18,5 \times 10^{-9} \times 5000 \times 10^{-6} = 92500 \times 10^{-15} = 92,5 \text{ pJ}$$

ü **Untuk C = 15pF, t<sub>PD</sub> = 28ns**

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 7500 \times 10^{-6} = 7,5 \text{ mW}$$

$$PDP = t_{PD} \cdot P_D = 28 \times 10^{-9} \times 7,5 \times 10^{-3} = 210 \times 10^{-12} = 210 \text{ pJ}$$

ü **Untuk C = 50pF, t<sub>PD</sub> = 127,5ns**

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 25000 \times 10^{-6} = 25mW$$

$$PDP = t_{PD} \cdot P_D = 127,5 \times 10^{-9} \times 25 \times 10^{-3} = 3187,5 \times 10^{-12} = 3187,5pJ$$

##### 5) Frekuensi = 25MHz

ü Untuk C = 0.5pF,  $t_{PD} = 0,94ns$

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 312,5 \times 10^{-6} = 312,5\mu W$$

$$PDP = t_{PD} \cdot P_D = 0,94 \times 10^{-9} \times 312,5 \times 10^{-6} = 293,75 \times 10^{-15} = 293,75fJ$$

ü Untuk C = 5pF,  $t_{PD} = 9,4ns$

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 3125 \times 10^{-6} = 3,125mW$$

$$PDP = t_{PD} \cdot P_D = 9,4 \times 10^{-9} \times 3,125 \times 10^{-3} = 29,4 \times 10^{-12} = 29,4nJ$$

ü Untuk C = 10pF,  $t_{PD} = 18,5ns$

$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 6250 \times 10^{-6} = 6250\mu W$$

$$PDP = t_{PD} \cdot P_D = 18,5 \times 10^{-9} \times 6250 \times 10^{-6} = 115625 \times 10^{-15} = 115,625nJ$$

ü Untuk C = 15pF,  $t_{PD} = 28ns$

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 9375 \times 10^{-6} = 9,4mW$$

$$PDP = t_{PD} \cdot P_D = 28 \times 10^{-9} \times 9,4 \times 10^{-3} = 263,2 \times 10^{-12} = 263,2pJ$$

ü Untuk C = 50 pF,  $t_{PD} = 127,5 ns$

$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 31250 \times 10^{-6} = 31,25mW$$

$$PDP = t_{PD} \cdot P_D = 127,5 \times 10^{-9} \times 31,25 \times 10^{-3} = 3984,4 \times 10^{-12} = 3984,4pJ$$

Dari analisa perhitungan dihasilkan beberapa nilai yang tidak sesuai dengan parameter yang ditentukan yaitu pada kapasitor = 50pF dengan frekuensi 10MHz sampai 25MHz, data hasil analisis merupakan data tiap level dari rangkaian digital, dapat dilihat dalam Tabel 4.6. Perhitungan disipasi daya dalam rangkaian digital IC dilakukan dari input-output dengan mengalikan jumlah level yaitu 5 dengan data disipasi daya tiap level. Perhitungan enable-output juga dilakukan dengan mengalikan jumlah level yaitu 7 dengan data perhitungan disipasi daya. Data hasil perhitungan yang diambil akan dibandingkan dengan *datasheet* sehingga dibutuhkan data

perhitungan yang sesuai yaitu dengan  $C_L = 15\text{pF}$ . Data hasil perhitungan untuk semua level ditunjukkan dalam table 4.7.

Tabel 4.6 Data Hasil Perhitungan Disipasi Daya Tiap Level

$C_L$	FREKUENSI									
	1MHz		5MHz		10MHz		20MHz		25MHz	
	PD	PDP	PD	PDP	PD	PDP	PD	PDP	PD	PDP
0,5	12,5 $\mu$ W	11,7fJ	12,5 $\mu$ W	58,8fJ	125 $\mu$ W	118fJ	250 $\mu$ W	235fJ	312,5 $\mu$ W	293,8fJ
5	125 $\mu$ W	1175fJ	625 $\mu$ W	5,9pJ	1,25mW	11,8pJ	2,5mW	23,5nJ	3,1mW	29,4pJ
10	250 $\mu$ W	4,6pJ	1250 $\mu$ W	23,1pJ	2500 $\mu$ W	462,5pJ	5000 $\mu$ W	92,5nJ	6250 $\mu$ W	115,6pJ
15	375 $\mu$ W	10,5pJ	1,9mW	52,5pJ	3,75mW	105pJ	7,5mW	210pJ	9,4mW	263,2pJ
50	1,25mW	159,4pJ	6,3pW	797pJ	-	-	-	-	-	-

Tabel 4.7 Data Hasil Perhitungan Disipasi Daya Level Input-Output dan Enable-Output pada  $C_L = 15\text{pF}$

Parameter	FREKUENSI									
	1MHz		5MHz		10MHz		20MHz		25MHz	
	PD	PDP	PD	PDP	PD	PDP	PD	PDP	PD	PDP
Input-Output	1,87mW	52,5pJ	9,5mW	0,26nJ	18,8mW	0,53nJ	37,5mW	1,05nJ	47mW	1,3nJ
Enable-Output	2,6mW	73,5pJ	13,3mW	0,36nJ	26,3mW	0,74nJ	52,5mW	1,47nJ	65,8mW	1,8nJ



## UNIVERSITAS BRAWIJAYA

### BAB V

#### SIMULASI DAN PEMBUATAN *LAYOUT*

Bab ini membahas tentang simulasi dan pembuatan *layout* IC *3-to-8 Line Decoder*. Dibutuhkan pembuktian dari hasil perancangan yang telah dilakukan pada Bab IV.

Proses simulasi yang dilakukan adalah simulasi alih tegangan (VTC) untuk mengetahui besarnya nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{OH}$  serta *Noise Margin* dengan menggunakan perangkat lunak PSPICE. Simulasi yang dilakukan adalah menggunakan analisis DC.

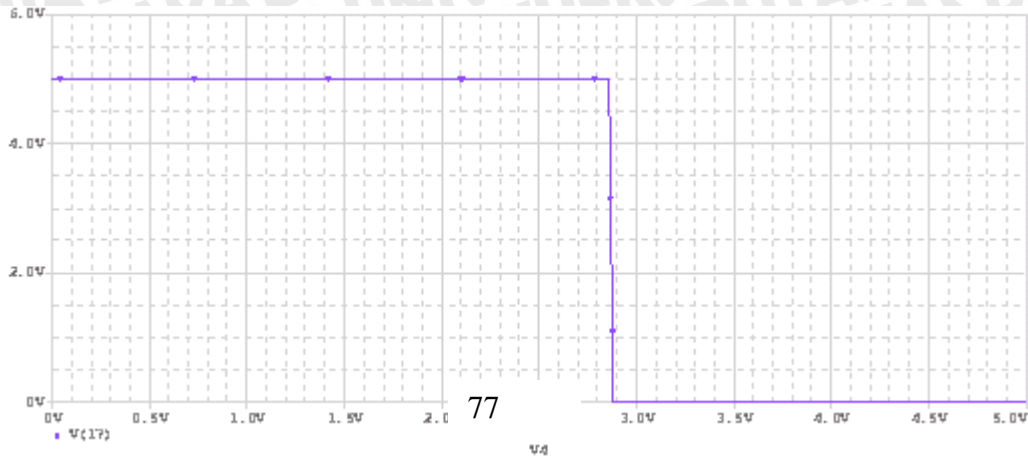
Proses simulasi selanjutnya adalah simulasi *propagation delay* untuk mengetahui besarnya nilai  $t_{PHL}$ ,  $t_{PLH}$ ,  $t_f$  dan  $t_r$ . Simulasi dilakukan dengan menggunakan variasi frekuensi sinyal.

##### 5.1 Simulasi Karakteristik Alih Tegangan (VTC)

Simulasi alih tegangan dilakukan dengan memberikan tegangan catu yang berupa tegangan DC 5V. Pada simulasi ini rangkaian diuji dengan menggunakan beban kapasitor ( $C_L$ ) 15pF yang hanya berfungsi untuk mengetahui respon waktu. Hal ini dilakukan sebagai pembanding dari parameter yang terdapat dalam *datasheet*. Sedangkan variasi beban kapasitor yang lain tidak diberikan karena memiliki hasil VTC yang sama. Dengan menggunakan *listing program* yang benar dan sesuai dengan

perancangan, dapat menampilkan grafik VTC sesuai dengan kondisi yang diharapkan.

*Listing program* dapat dilihat pada lembar Lampiran VTC.



Gambar 5.1 Grafik Alih Tegangan (VTC) 3-to-8 Line Decoder

Gambar 5.1 menunjukkan grafik alih tegangan (VTC) IC 3-to-8 Line Decoder, berdasarkan grafik tersebut dapat diketahui nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$ . Kondisi ideal terjadi ketika nilai  $V_{OL}$  mendekati nilai tegangan *ground* sedangkan nilai  $V_{OH}$  mendekati nilai tegangan  $V_{DD}$  yaitu 5V dan selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  sangat kecil. Grafik dalam Gambar 5.1 menunjukkan nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$  sebagai berikut:

$$V_{OH} = 5V$$

$$V_{IL} = 2,85V$$

$$V_{IH} = 2,89V$$

$$V_{OL} = 0V$$

*Noise Margin* yaitu  $NM_H$  batasan logika tinggi dan *noise margin* batasan logika rendah  $NM_L$  dapat diperoleh dengan menggunakan Persamaan (2-54) dan (2-55),

$$NM_H = V_{OH} - V_{IH} \quad (2-54)$$

$$NM_H = 5 - 2,89 = 2,11V$$

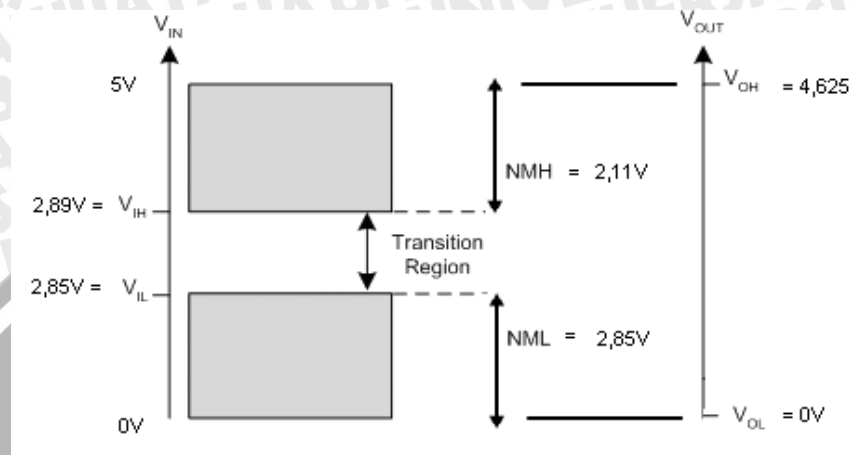
$$NM_L = V_{IL} - V_{OL} \quad (2-55)$$

$$NM_L = 2,85 - 0 = 2,85V$$

*Noise Margin* hasil simulasi, dimana tegangan input yang dinyatakan sebagai logika *LOW* adalah 0V – 2,85V dan *range* tegangan input yang dinyatakan sebagai logika *HIGH* adalah 2,89V – 5V. Sedangkan tegangan output yang dinyatakan sebagai logika *LOW* adalah 0V dan *range* tegangan output yang dinyatakan sebagai



logika *HIGH* adalah 5V. Dengan demikian amplitudo sinyal masukan *Noise* yang diperbolehkan masuk ke rangkaian maksimal 2,85V. *Noise* diharapkan tidak melampaui kondisi tersebut agar tidak merubah batas logika tinggi dan rendah IC. Diagram *Noise Margin* hasil simulasi ditunjukkan dalam Gambar 5.2.



Gambar 5.2 *Noise Margin* Hasil Simulasi

## 5.2 Simulasi Unit Step

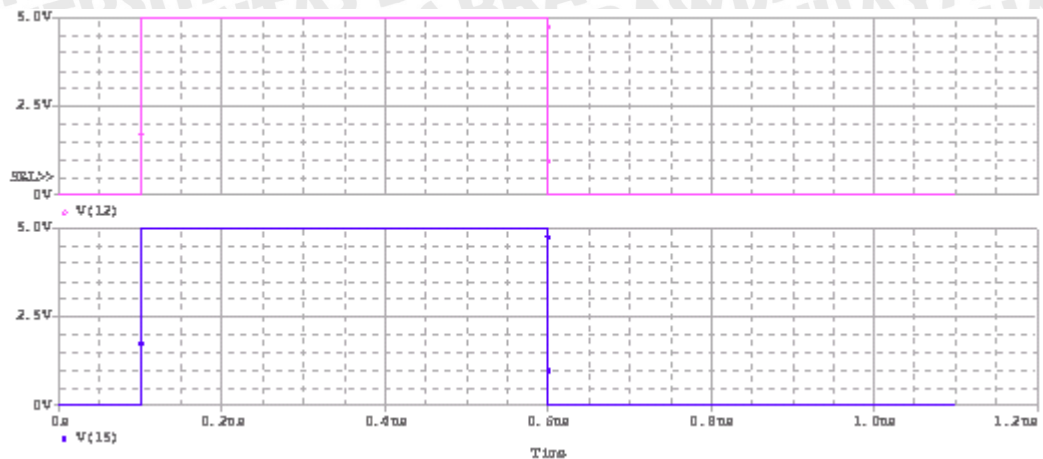
Simulasi *unit step* dilakukan untuk mendapatkan nilai *propagation delay*. Masukan yang diberikan berupa gelombang pulsa (step). Nilai *propagation delay* diperoleh dari sinyal *output* yang berupa nilai  $t_{PLH}$ ,  $t_{PHL}$ , *rise time* ( $t_r$ ) dan *fall time* ( $t_f$ ). Dalam simulasi *unit step* diberikan variasi kapasitor pada keluaran untuk mengetahui respon waktu rangkaian IC yaitu 0,5pF, 5pF, 10pF, 15pF dan 50pF. Selain itu digunakan variasi frekuensi yang berbeda yaitu 1MHz, 5MHz, 10MHz, 20MHz dan 25MHz.

Kondisi ideal yang diharapkan dalam simulasi *unit step* ini adalah menghasilkan nilai *propagation delay* yang lebih cepat,  $V_{OL}$  mendekati tegangan *ground* (0V) dan  $V_{OH}$  mendekati tegangan catu (5V).

### 5.2.1 Simulasi Unit Step IC 3-to-8 Line Decoder dengan $C_L = 0,5pF$

#### 1) Frekuensi 1MHz

*Listing program* ditunjukkan dalam Lampiran 2, *listing program unit step*  $C_L = 0,5pF$  frekuensi 1MHz.



Gambar 5.3 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 0,5\text{pF}$  Frekuensi 1MHz

Grafik simulasi *unit step*  $C_L = 0,5\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.3. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,1\text{ns} \quad t_r = 0\text{ns}$$

$$t_{PHL} = 0\text{ns} \quad t_f = 0\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0\text{ns} + 0,1\text{ns}}{2} = \frac{0,1\text{ns}}{2} = 0,05\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{ pF}$ ,  $t_{PD} = 0,05\text{ ns}$  maka,

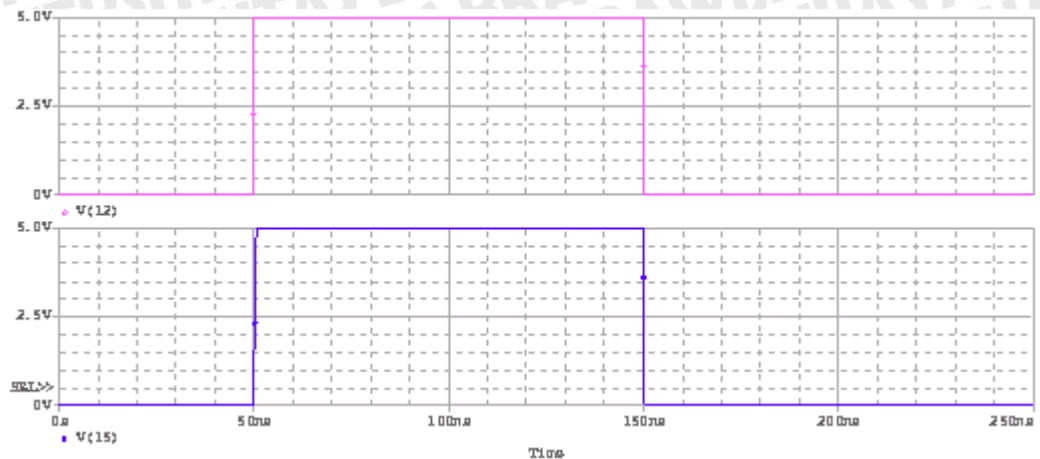
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 1,10^6 = 12,5 \times 10^{-6} = 0,0125\text{mW}$$

$$PDP = t_{PD} \cdot PD = 0,05 \times 10^{-9} \times 12,5 \times 10^{-6} = 0,625 \times 10^{-15} = 0,625\text{fJ}$$

Diperoleh nilai disipasi daya adalah 0,0125mW dan PDP adalah 0,625fJ.

## 2) Frekuensi 5MHz

*Listing program* ditunjukkan dalam Lampiran 2, *listing program unit step*  $C_L = 0,5\text{pF}$  frekuensi 5MHz.



Gambar 5.4 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 0,5\text{pF}$  Frekuensi 5MHz

Grafik simulasi *unit step*  $C_L = 0,5\text{pF}$  frekuensi 5MHz ditunjukkan dalam Gambar 5.4. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,28\text{ns} \qquad t_r = 0,8\text{ns}$$

$$t_{PHL} = 0,28\text{ns} \qquad t_f = 0,2\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,28\text{ns} + 0,28\text{ns}}{2} = \frac{0,56\text{ns}}{2} = 0,28\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0.5 \text{ pF}$ ,  $t_{PD} = 0,28 \text{ ns}$  maka,

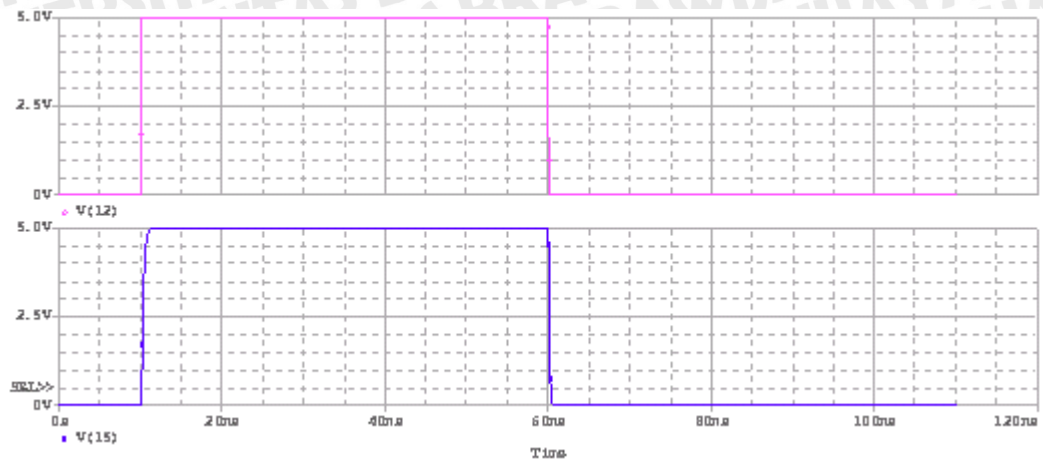
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 5 \cdot 10^6 = 62,5 \times 10^{-6} = 0,062\text{mW}$$

$$PDP = t_{PD} \cdot PD = 0,28 \times 10^{-9} \times 62,5 \times 10^{-6} = 17,5 \times 10^{-15} = 17,5\text{fJ}$$

Diperoleh nilai disipasi daya adalah 0,062mW dan PDP adalah 17,5fJ.

### 3) Frekuensi 10MHz

*Listing program* ditunjukkan dalam Lampiran 2, *listing program unit step*  $C_L = 0,5\text{pF}$  frekuensi 10MHz.



Gambar 5.5 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 0,5\text{pF}$  Frekuensi 10MHz

Grafik simulasi *unit step*  $C_L = 0,5\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.5. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,25\text{ns}$$

$$t_r = 0,89\text{ns}$$

$$t_{PHL} = 0,27\text{ns}$$

$$t_f = 0,39\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,27\text{ns} + 0,25\text{ns}}{2} = \frac{0,52\text{ns}}{2} = 0,26\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0.5 \text{ pF}$ ,  $t_{PD} = 0,26 \text{ ns}$  maka,

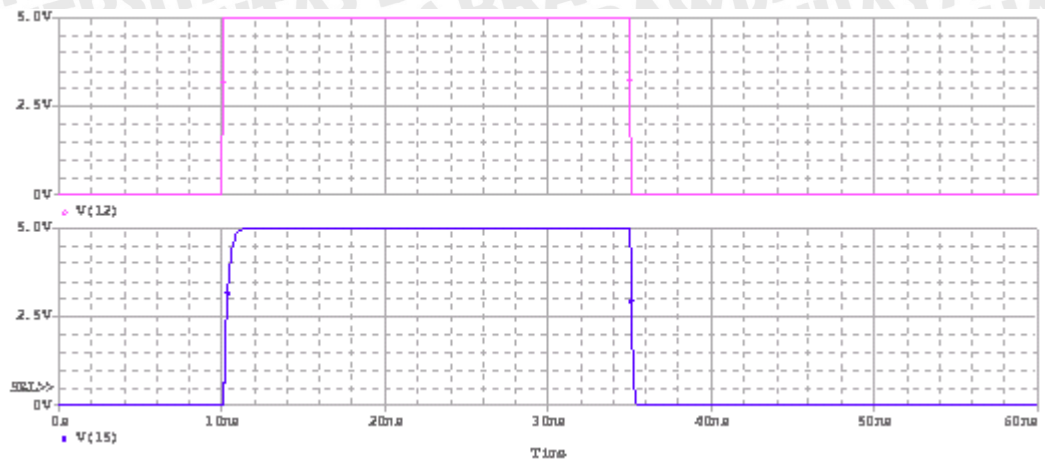
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 125 \times 10^{-6} = 0,125\text{mW}$$

$$PDP = t_{PD} \cdot PD = 0,26 \times 10^{-9} \times 125 \times 10^{-6} = 32,5 \times 10^{-15} = 32,5\text{fJ}$$

Diperoleh nilai disipasi daya adalah 0,125mW dan PDP adalah 32,5fJ.

#### 4) Frekuensi 20MHz

*Listing program* ditunjukkan dalam Lampiran 2, *listing program unit step*  $C_L = 0,5\text{pF}$  frekuensi 20MHz.



Gambar 5.6 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 0,5\text{pF}$  Frekuensi 20MHz

Grafik simulasi *unit step*  $C_L = 0,5\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.6. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,26\text{ns}$$

$$t_r = 0,8\text{ns}$$

$$t_{PHL} = 0,16\text{ns}$$

$$t_f = 0,34\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,16\text{ns} + 0,26\text{ns}}{2} = \frac{0,42\text{ns}}{2} = 0,21\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0.5 \text{ pF}$ ,  $t_{PD} = 0,21 \text{ ns}$  maka,

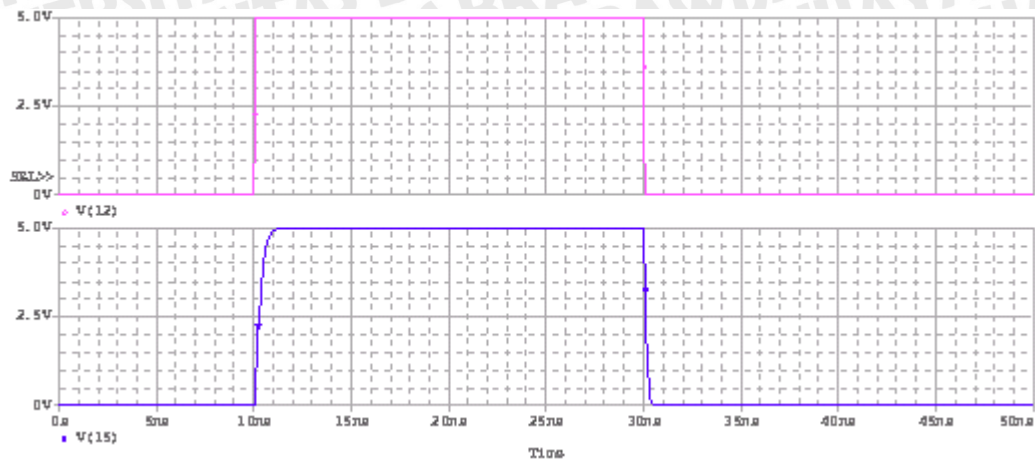
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 250 \times 10^{-6} = 0,250\text{mW}$$

$$PDP = t_{PD} \cdot PD = 0,21 \times 10^{-9} \times 0,250 \times 10^{-3} = 0,053 \times 10^{-12} = 0,053\text{pJ}$$

Diperoleh nilai disipasi daya adalah 0,250mW dan PDP adalah 0,053pJ.

##### 5) Frekuensi 25MHz

*Listing program* ditunjukkan dalam Lampiran 2, *listing program unit step*  $C_L = 0,5\text{pF}$  frekuensi 25MHz.



Gambar 5.7 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 0,5\text{pF}$  Frekuensi 25MHz

Grafik simulasi *unit step*  $C_L = 0,5\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.7. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,34\text{ns}$$

$$t_r = 0,7\text{ns}$$

$$t_{PHL} = 0,17\text{ns}$$

$$t_f = 0,28\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,17\text{ns} + 0,34\text{ns}}{2} = \frac{0,51\text{ns}}{2} = 0,26\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0.5 \text{ pF}$ ,  $t_{PD} = 0,26 \text{ ns}$  maka,

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 312,5 \times 10^{-6} = 0,313\text{mW}$$

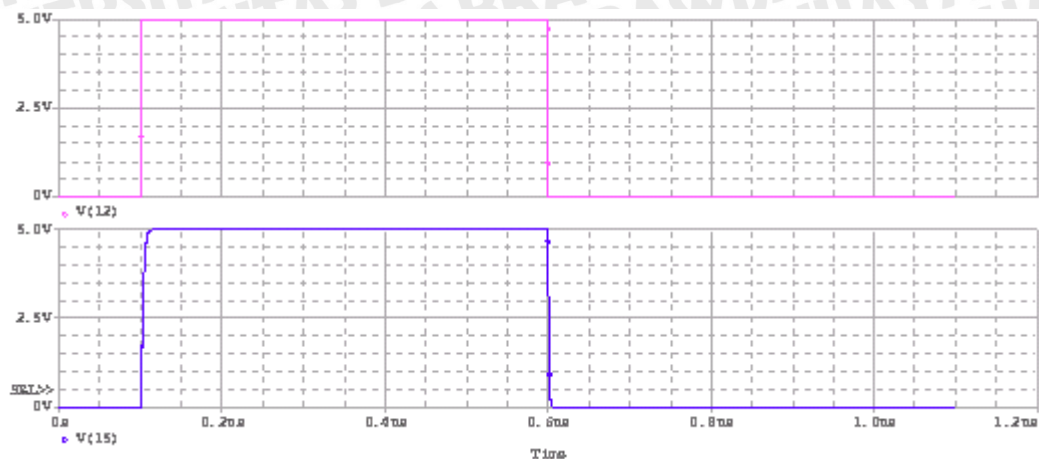
$$PDP = t_{PD} \cdot PD = 0,26 \times 10^{-9} \times 0,313 \times 10^{-3} = 0,08 \times 10^{-12} = 0,08\text{pJ}$$

Diperoleh nilai disipasi daya adalah 0,313mW dan PDP adalah 0,08pJ.

### 5.2.2 Simulasi Unit Step IC 3-to-8 Line Decoder dengan $C_L = 5\text{pF}$

#### 1) Frekuensi 1MHz

*Listing program* ditunjukkan dalam Lampiran 3, *listing program unit step*  $C_L = 5\text{pF}$  frekuensi 1MHz.



Gambar 5.8 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 5\text{pF}$  Frekuensi 1MHz

Grafik simulasi *unit step*  $C_L = 5\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.8. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 1,9\text{ns} \quad t_r = 6,7\text{ns}$$

$$t_{PHL} = 1,3\text{ns} \quad t_f = 3,9\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,3\text{ns} + 1,9\text{ns}}{2} = \frac{3,2\text{ns}}{2} = 1,6\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{pF}$ ,  $t_{PD} = 1,6\text{ns}$  maka,

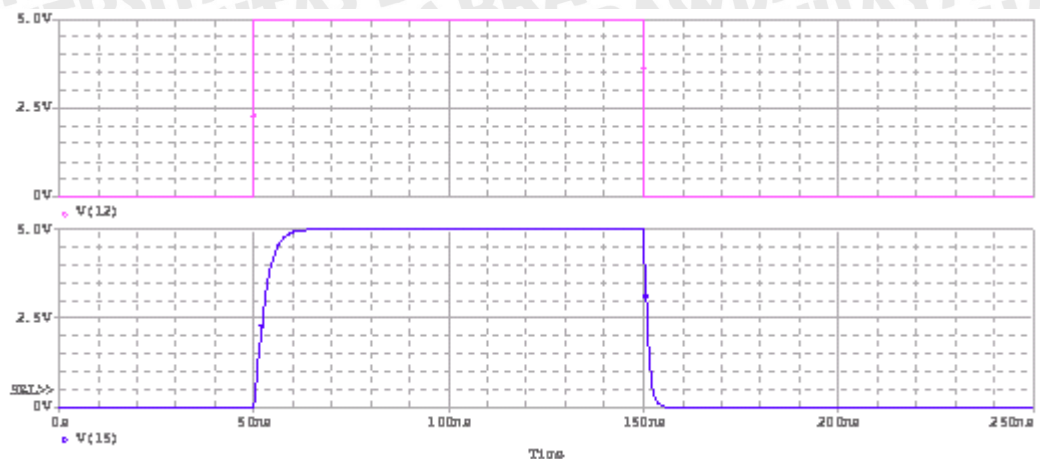
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 1 \cdot 10^6 = 125 \times 10^{-6} = 0,125\text{mW}$$

$$PDP = t_{PD} \cdot PD = 1,6 \times 10^{-9} \times 125 \times 10^{-6} = 200 \times 10^{-15} = 200\text{fJ}$$

Diperoleh nilai disipasi daya adalah 0, 125mW dan nilai PDP adalah 200fJ.

## 2) Frekuensi 5MHz

*Listing program* ditunjukkan dalam Lampiran 3, *listing program unit step*  $C_L = 5\text{pF}$  frekuensi 5MHz.



Gambar 5.9 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 5\text{pF}$  Frekuensi 5MHz

Grafik simulasi *unit step*  $C_L = 5\text{pF}$  frekuensi 5MHz ditunjukkan dalam Gambar 5.9. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 2,2\text{ns}$$

$$t_r = 7,6\text{ns}$$

$$t_{PHL} = 1,1\text{ns}$$

$$t_f = 2,8\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,1\text{ns} + 2,2\text{ns}}{2} = \frac{3,3\text{ns}}{2} = 1,67\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{ pF}$ ,  $t_{PD} = 1,67\text{ ns}$  maka,

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 5 \cdot 10^6 = 625 \times 10^{-6} = 0,625\text{mW}$$

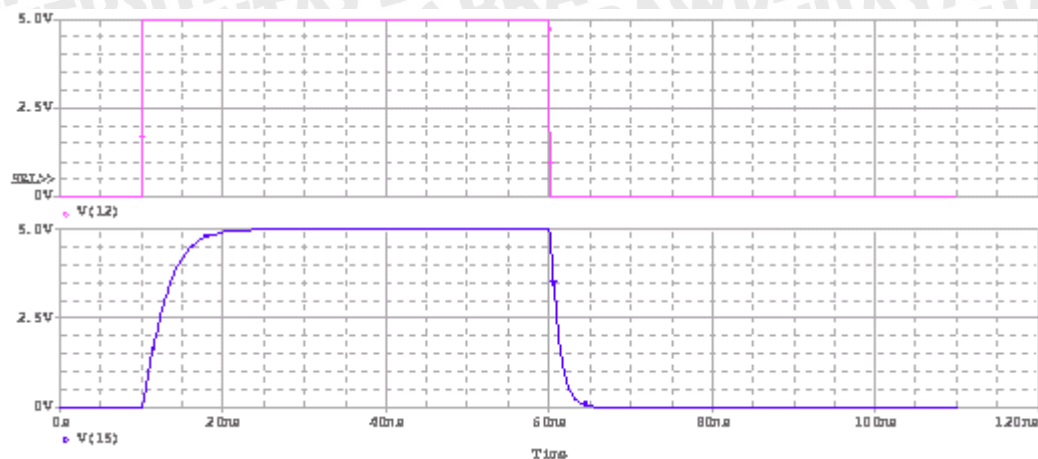
$$PDP = t_{PD} \cdot PD = 1,67 \times 10^{-9} \times 0,625 \times 10^{-3} = 1,04 \times 10^{-12} = 1,04\text{pJ}$$

Diperoleh nilai disipasi daya adalah 0,062mW dan nilai PDP adalah 1,04pJ.

### 3) Frekuensi 10MHz

*Listing program* ditunjukkan dalam Lampiran 3, *listing program unit step*  $C_L = 5\text{pF}$  frekuensi 10MHz.





Gambar 5.10 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 5\text{pF}$  Frekuensi 10MHz

Grafik simulasi *unit step*  $C_L = 5\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.10. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 2,35\text{ns}$$

$$t_r = 7,38\text{ns}$$

$$t_{PHL} = 1,1\text{ns}$$

$$t_f = 2\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,1\text{ns} + 2,35\text{ns}}{2} = \frac{3,45\text{ns}}{2} = 1,73\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{ pF}$ ,  $t_{PD} = 1,73\text{ns}$  maka,

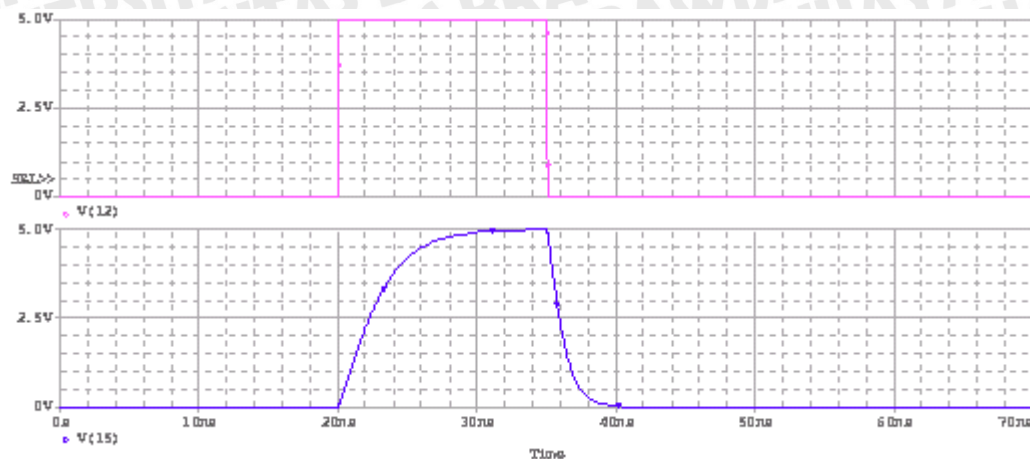
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 1250 \times 10^{-6} = 1,25\text{mW}$$

$$PDP = t_{PD} \cdot PD = 1,73 \times 10^{-9} \times 1,25 \times 10^{-3} = 2,16 \times 10^{-12} = 2,16\text{pJ}$$

Diperoleh nilai disipasi daya adalah 1,25mW dan nilai PDP adalah 2,16pJ.

#### 4) Frekuensi 20MHz

*Listing program* ditunjukkan dalam Lampiran 3, *listing program unit step*  $C_L = 5\text{pF}$  frekuensi 20MHz.



Gambar 5.11 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 5\text{pF}$  Frekuensi 20MHz

Grafik simulasi *unit step*  $C_L = 5\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.11. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 2,4\text{ns}$$

$$t_r = 7,7\text{ns}$$

$$t_{PHL} = 0,98\text{ns}$$

$$t_f = 2,7\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,98\text{ns} + 2,4\text{ns}}{2} = \frac{2,61\text{ns}}{2} = 1,3\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{ pF}$ ,  $t_{PD} = 1,3\text{ns}$  maka,

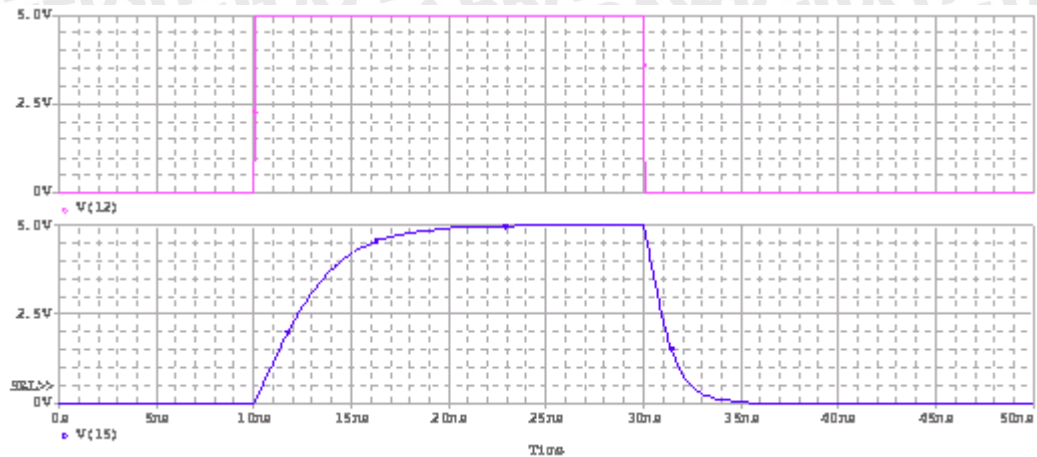
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 2500 \times 10^{-6} = 2,5\text{mW}$$

$$PDP = t_{PD} \cdot PD = 1,3 \times 10^{-9} \times 2,5 \times 10^{-3} = 3,25 \times 10^{-12} = 3,25\text{pJ}$$

Diperoleh nilai disipasi daya adalah 2,5mW dan nilai PDP adalah 3,25pJ.

##### 5) Frekuensi 25MHz

*Listing program* ditunjukkan dalam Lampiran 3, *listing program unit step*  $C_L = 5\text{pF}$  frekuensi 25MHz.



Gambar 5.12 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 5\text{pF}$  Frekuensi 25MHz

Grafik simulasi *unit step*  $C_L = 5\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.12. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 2,3\text{ns}$$

$$t_r = 7,6\text{ns}$$

$$t_{PHL} = 1,01\text{ns}$$

$$t_f = 2,97\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,01\text{ns} + 2,3\text{ns}}{2} = \frac{3,31\text{ns}}{2} = 1,7\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{ pF}$ ,  $t_{PD} = 1,7\text{ns}$  maka,

$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 3125 \times 10^{-6} = 3,125\text{mW}$$

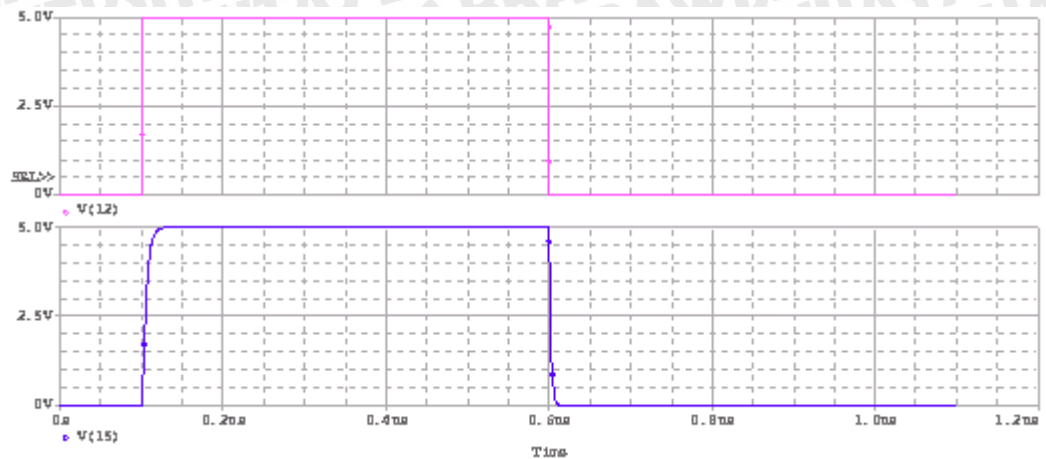
$$PDP = t_{PD} \cdot PD = 1,7 \times 10^{-9} \times 3,125 \times 10^{-3} = 5,3 \times 10^{-12} = 5,3\text{pJ}$$

Diperoleh nilai disipasi daya adalah 3,125mW dan nilai PDP adalah 5,3pJ.

### 5.2.3 Simulasi Unit Step IC 3-to-8 Line Decoder dengan $C_L = 10\text{pF}$

#### 1) Frekuensi 1MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 10\text{pF}$  frekuensi 1MHz.



Gambar 5.13 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 10\text{pF}$  Frekuensi 1MHz

Grafik simulasi *unit step*  $C_L = 10\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.13. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 4,7\text{ns} \quad t_r = 10,7\text{ns}$$

$$t_{PHL} = 2,68\text{ns} \quad t_f = 6,7\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{2,68\text{ns} + 4,7\text{ns}}{2} = \frac{7,38\text{ns}}{2} = 3,7\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10\text{pF}$ ,  $t_{PD} = 3,7\text{ns}$  maka,

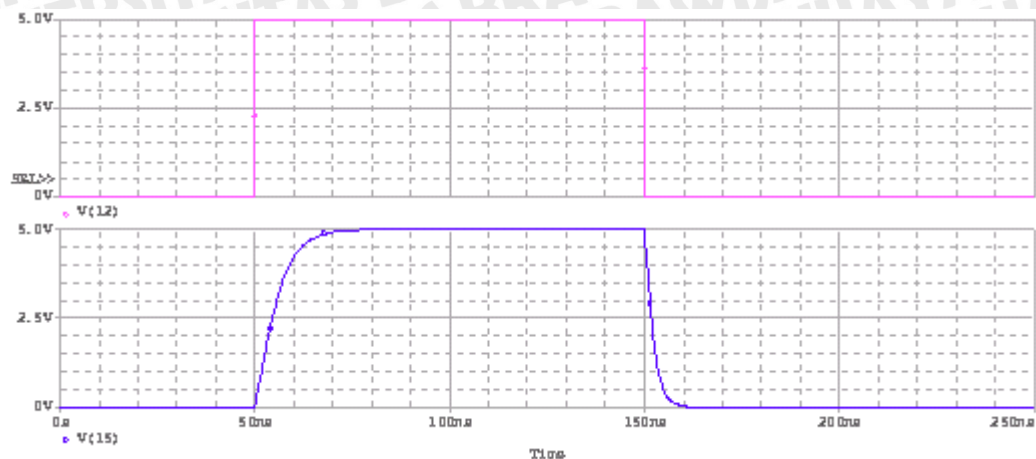
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 1 \cdot 10^6 = 250 \times 10^{-6} = 0,25\text{mW}$$

$$PDP = t_{PD} \cdot PD = 3,7 \times 10^{-9} \times 250 \times 10^{-6} = 925 \times 10^{-15} = 925\text{fJ}$$

Diperoleh nilai disipasi daya adalah 0,25mW dan nilai PDP adalah 925fJ.

## 2) Frekuensi 5MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 10\text{pF}$  frekuensi 5MHz.



Gambar 5.14 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 10\text{pF}$  Frekuensi 5MHz

Grafik simulasi *unit step*  $C_L = 10\text{pF}$  frekuensi 5MHz ditunjukkan dalam Gambar 5.14. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 4,5\text{ns}$$

$$t_r = 15,2\text{ns}$$

$$t_{PHL} = 1,9\text{ns}$$

$$t_f = 4,8\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,9\text{ns} + 4,5\text{ns}}{2} = \frac{6,4\text{ns}}{2} = 3,2\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10\text{pF}$ ,  $t_{PD} = 3,2\text{ns}$  maka,

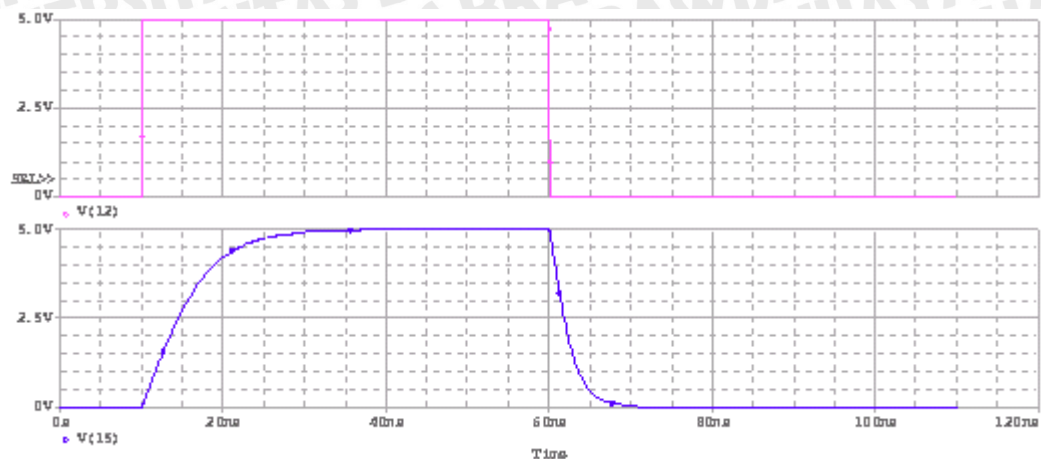
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 5 \cdot 10^6 = 1250 \times 10^{-6} = 1,25\text{mW}$$

$$PDP = t_{PD} \cdot PD = 3,2 \times 10^{-9} \times 1,25 \times 10^{-3} = 4 \times 10^{-12} = 4\text{pJ}$$

Diperoleh nilai disipasi daya adalah 1,25mW dan nilai PDP adalah 4pJ.

### 3) Frekuensi 10MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 10\text{pF}$  frekuensi 10MHz.



Gambar 5.15 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 10\text{pF}$  Frekuensi 10MHz

Grafik simulasi *unit step*  $C_L = 10\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.15. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 4,36\text{ns}$$

$$t_r = 14,4\text{ns}$$

$$t_{PHL} = 1,87\text{ns}$$

$$t_f = 5,56\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,87\text{ns} + 4,36\text{ns}}{2} = \frac{6,23\text{ns}}{2} = 3,12\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10\text{pF}$ ,  $t_{PD} = 3,12\text{ns}$  maka,

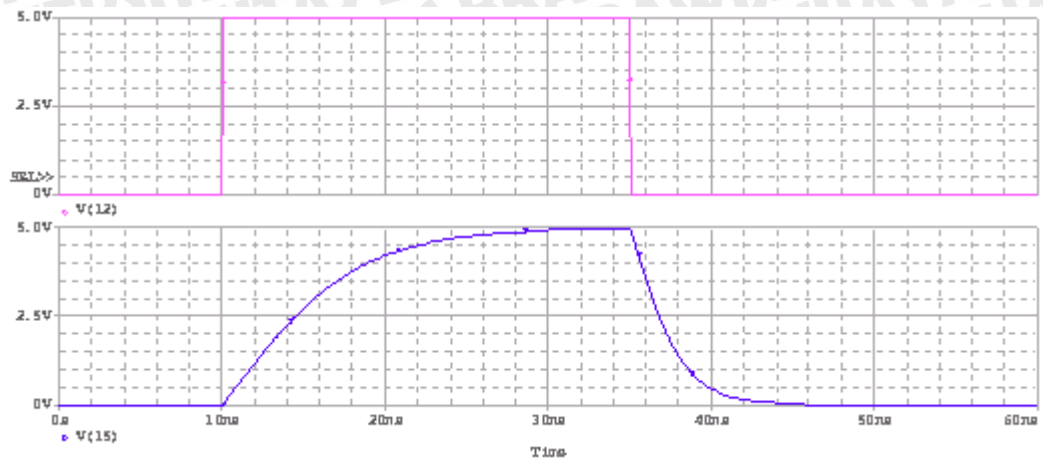
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 2500 \times 10^{-6} = 2,5\text{mW}$$

$$PDP = t_{PD} \cdot P_D = 3,12 \times 10^{-9} \times 2,5 \times 10^{-3} = 7,8 \times 10^{-12} = 7,8\text{pJ}$$

Diperoleh nilai disipasi daya adalah 2,5mW dan nilai PDP adalah 7,8pJ.

#### 4) Frekuensi 20MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 10\text{pF}$  frekuensi 20MHz.



Gambar 5.16 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 10\text{pF}$  Frekuensi 20MHz

Grafik simulasi *unit step*  $C_L = 10\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.16. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 4,49\text{ns} \qquad t_r = 14,6\text{ns}$$

$$t_{PHL} = 1,85\text{ns} \qquad t_f = 5,6\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,85\text{ns} + 4,49\text{ns}}{2} = \frac{6,34\text{ns}}{2} = 3,17\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 10\text{pF}$ ,  $t_{PD} = 3,17\text{ns}$  maka,

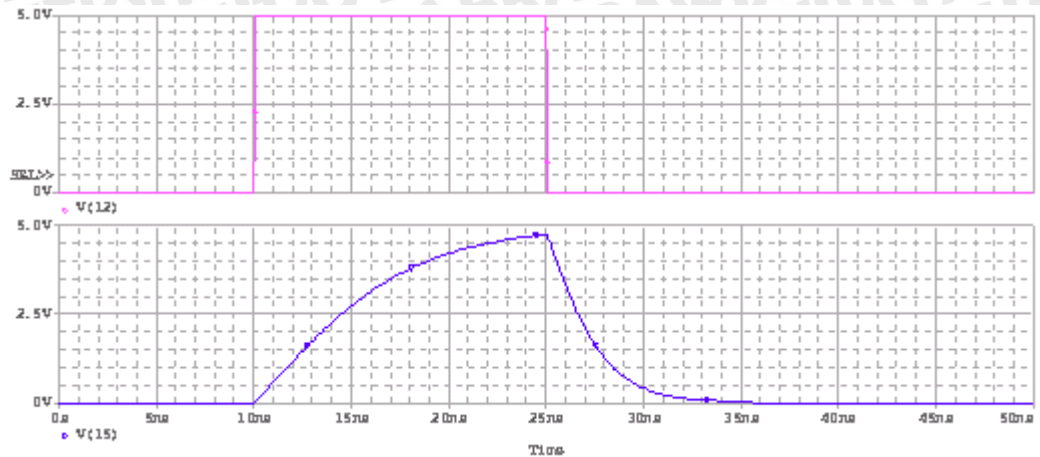
$$PD = C_L V_{DD}^2 f = 10 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 5000 \times 10^{-6} = 5\text{mW}$$

$$PDP = t_{PD} \cdot P_D = 3,17 \times 10^{-9} \times 5 \times 10^{-3} = 15,8 \times 10^{-12} = 15,8\text{pJ}$$

Diperoleh nilai disipasi daya adalah 5mW dan nilai PDP adalah 15,8pJ.

##### 5) Frekuensi 25MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 10\text{pF}$  frekuensi 25MHz.



Gambar 5.17 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 10\text{pF}$  Frekuensi 25MHz

Grafik simulasi *unit step*  $C_L = 10\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.17. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 4,38\text{ns} \quad t_r = 13,4\text{ns} \quad V_{OH} = 4,8\text{V}$$

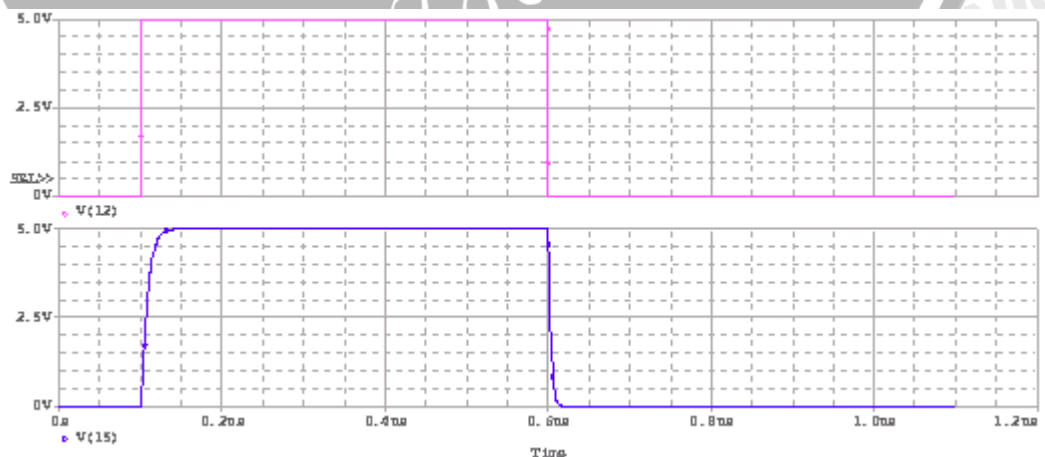
$$t_{PHL} = 1,6\text{ns} \quad t_f = 6,6\text{ns}$$

Berdasarkan data dalam Gambar 5.17 diperoleh grafik yang tidak simetris, dimana nilai  $V_{OH}$  tidak mencapai 5V, nilai  $V_{OH}$  adalah 4,8V, sehingga *propagation delay*, *rise time*, *fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

#### 5.2.4 Simulasi Unit Step IC 3-to-8 Line Decoder dengan $C_L = 15\text{pF}$

1) Frekuensi 1MHz

*Listing program* ditunjukkan dalam Lampiran 5, *listing program unit step*  $C_L = 15\text{pF}$  frekuensi 1MHz.





Gambar 5.18 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 15\text{pF}$  Frekuensi 1MHz

Grafik simulasi *unit step*  $C_L = 15\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.18. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 6,03\text{ns} \quad t_r = 21,5\text{ns}$$

$$t_{PHL} = 2,7\text{ns} \quad t_f = 9,5\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{2,7\text{ns} + 6,03\text{ns}}{2} = \frac{8,73\text{ns}}{2} = 4,37\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15\text{pF}$ ,  $t_{PD} = 4,37\text{ns}$  maka,

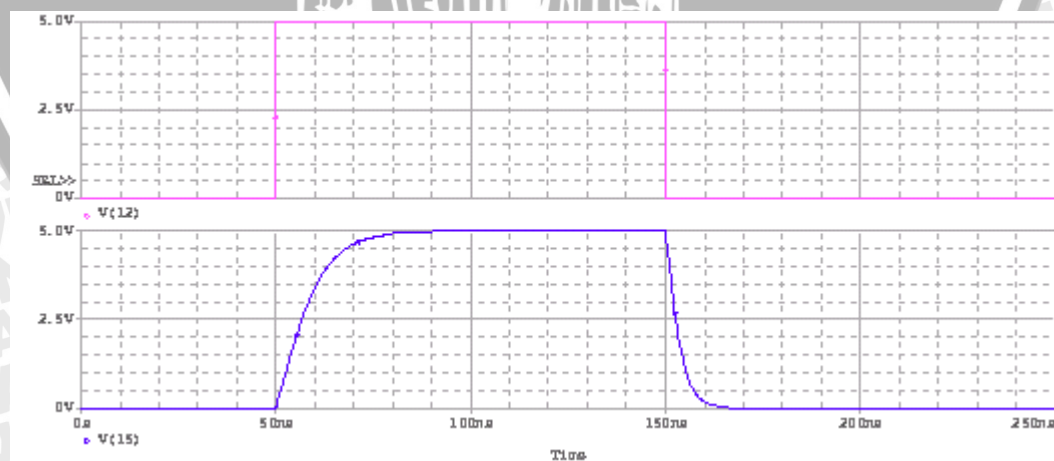
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1.10^6 = 375 \times 10^{-6} = 0,375\text{mW}$$

$$PDP = t_{PD} \cdot PD = 4,37 \times 10^{-9} \times 0,375 \times 10^{-3} = 1,64 \times 10^{-12} = 1,64\text{pJ}$$

Diperoleh nilai disipasi daya adalah 0,375mW dan nilai PDP adalah 1,64pJ.

## 2) Frekuensi 5MHz

*Listing program* ditunjukkan dalam Lampiran 5, *listing program unit step*  $C_L = 15\text{pF}$  frekuensi 5MHz.

Gambar 5.19 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 15\text{pF}$  Frekuensi 5MHz

Grafik simulasi *unit step*  $C_L = 15\text{pF}$  frekuensi 5MHz ditunjukkan dalam Gambar 5.19. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$\begin{aligned} t_{PLH} &= 6,7\text{ns} & t_r &= 23\text{ns} \\ t_{PHL} &= 2,8\text{ns} & t_f &= 8,7\text{ns} \end{aligned}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{2,8\text{ns} + 6,7\text{ns}}{2} = \frac{9,5\text{ns}}{2} = 4,75\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15\text{pF}$ ,  $t_{PD} = 4,75\text{ns}$  maka,

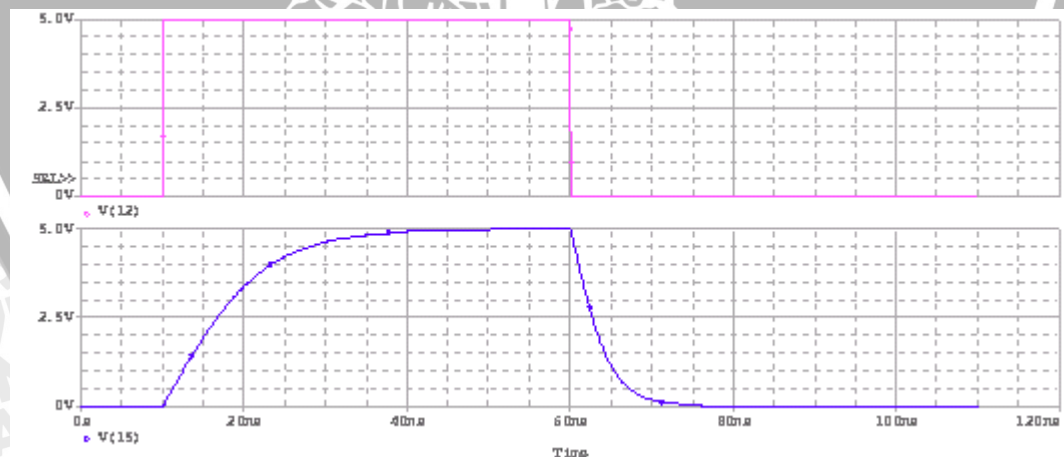
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 5 \cdot 10^6 = 1875 \times 10^{-6} = 1,875\text{mW}$$

$$PDP = t_{PD} \cdot PD = 4,75 \times 10^{-9} \times 1,875 \times 10^{-3} = 8,9 \times 10^{-12} = 8,9\text{pJ}$$

Diperoleh nilai disipasi daya adalah 1,875mW dan nilai PDP adalah 8,9pJ.

### 3) Frekuensi 10MHz

*Listing program* ditunjukkan dalam Lampiran 5, *listing program unit step*  $C_L = 15\text{pF}$  frekuensi 10MHz.



Gambar 5.20 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 15\text{pF}$  Frekuensi 10MHz

Grafik simulasi *unit step*  $C_L = 15\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.20. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 6,64\text{ns} \quad t_r = 22,6\text{ns}$$

$$t_{PHL} = 2,8ns$$

$$t_f = 10,9ns$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{2,8ns + 6,64ns}{2} = \frac{9,5ns}{2} = 4,75ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15pF$ ,  $t_{PD} = 4,75ns$  maka,

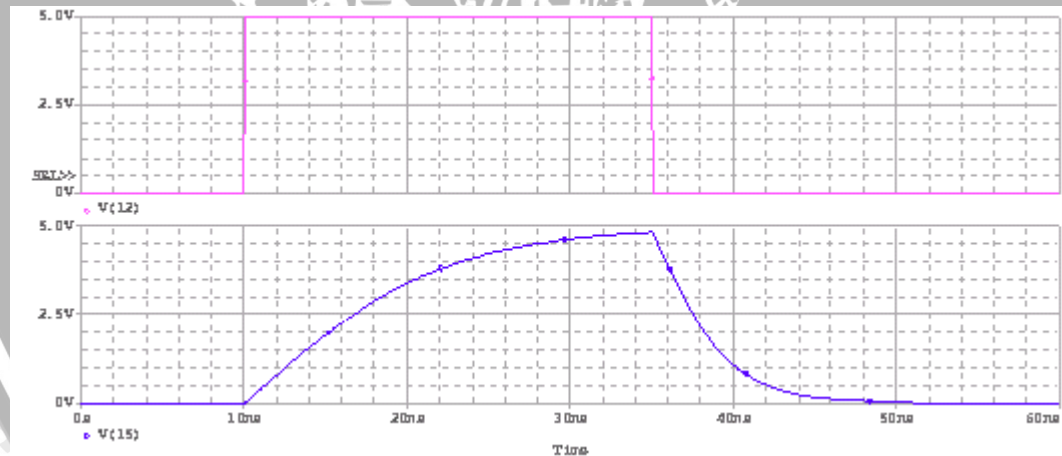
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 3750 \times 10^{-6} = 3,75mW$$

$$PDP = t_{PD} \cdot PD = 4,75 \times 10^{-9} \times 3,75 \times 10^{-3} = 17,8 \times 10^{-12} = 17,8pJ$$

Diperoleh nilai disipasi daya adalah 3,75mW dan nilai PDP adalah 17,8pJ.

#### 4) Frekuensi 20MHz

*Listing program* ditunjukkan dalam Lampiran 4, *listing program unit step*  $C_L = 15pF$  frekuensi 20MHz.



Gambar 5.21 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 15pF$  Frekuensi 20MHz

Grafik simulasi *unit step*  $C_L = 15pF$  frekuensi 20MHz ditunjukkan dalam Gambar 5.21. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 6,6ns \quad t_r = 21,1ns \quad V_{OH} = 4,8V$$

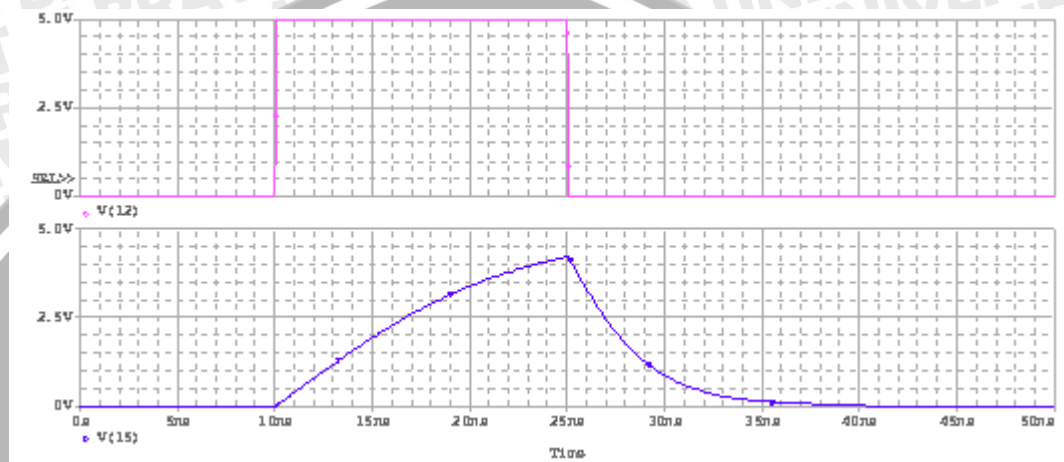
$$t_{PHL} = 7,5ns \quad t_f = 9,5ns$$

Berdasarkan data dalam Gambar 5.21 diperoleh grafik yang tidak simetris, dimana nilai  $V_{OH}$  tidak mencapai 5V, nilai  $V_{OH}$  adalah 4,8V, sehingga

*propagation delay, rise time, fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

#### 5) Frekuensi 25MHz

*Listing program* ditunjukkan dalam Lampiran 5, *listing program unit step*  $C_L = 15\text{pF}$  frekuensi 25MHz.



Gambar 5.22 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 15\text{pF}$  Frekuensi 25MHz

Grafik simulasi *unit step*  $C_L = 15\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.22. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 6,57\text{ns} \quad t_r = 13,6\text{ns} \quad V_{OH} = 4,25\text{V}$$

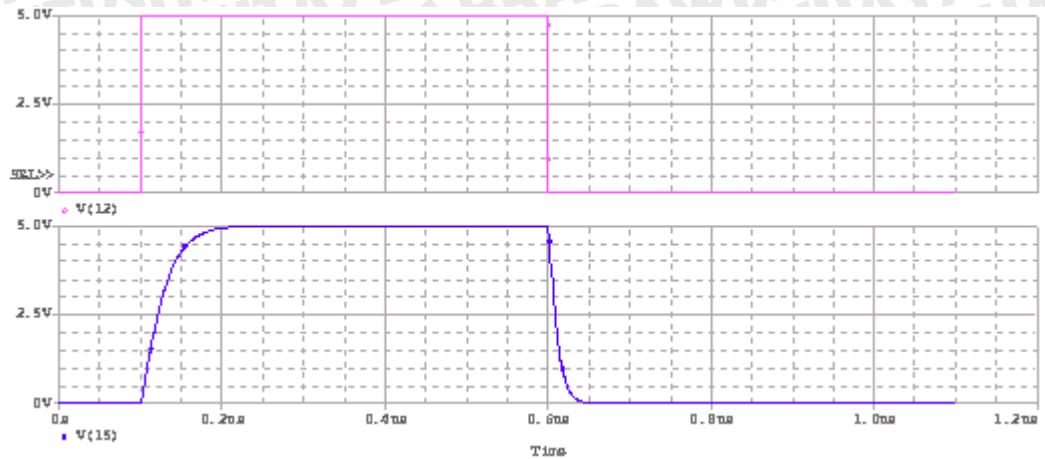
$$t_{PHL} = 1,96\text{ns} \quad t_f = 9,4\text{ns}$$

Berdasarkan data dalam Gambar 5.22 diperoleh grafik yang tidak simetris, dimana nilai  $V_{OH}$  tidak mencapai 5V, nilai  $V_{OH}$  adalah 4,25V, sehingga *propagation delay, rise time, fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

### 5.2.5 Simulasi Unit Step IC 3-to-8 Line Decoder dengan $C_L = 50\text{pF}$

#### 1) Frekuensi 1MHz

*Listing program* ditunjukkan dalam Lampiran 6, *listing program unit step*  $C_L = 50\text{pF}$  frekuensi 1MHz.



Gambar 5.23 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 50\text{pF}$  Frekuensi 1MHz

Grafik simulasi *unit step*  $C_L = 15\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.23. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 20,8\text{ns} \quad t_r = 68,5\text{ns}$$

$$t_{PHL} = 8,1\text{ns} \quad t_f = 25,6\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{8,1\text{ns} + 20,8\text{ns}}{2} = \frac{28,9\text{ns}}{2} = 14,45\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 50\text{pF}$ ,  $t_{PD} = 14,45\text{ns}$  maka,

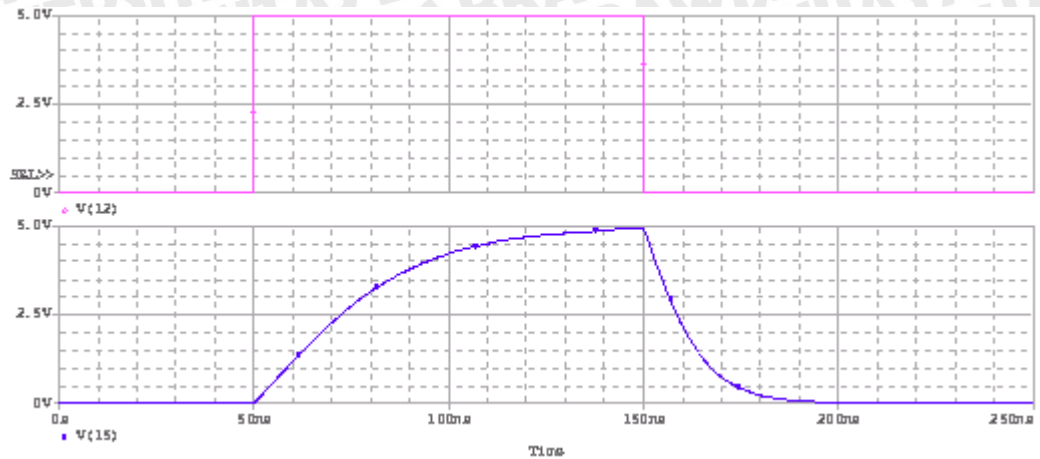
$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1,25\text{mW}$$

$$PDP = t_{PD} \cdot PD = 14,45 \times 10^{-9} \times 1,25 \times 10^{-3} = 18,1 \times 10^{-12} = 18,1\text{pJ}$$

Diperoleh nilai disipasi daya adalah 1,25mW dan nilai PDP adalah 18,1pJ.

## 2) Frekuensi 5MHz

*Listing program* ditunjukkan dalam Lampiran 6, *listing program unit step*  $C_L = 50\text{pF}$  frekuensi 5MHz.



Gambar 5.24 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 50\text{pF}$  Frekuensi 5MHz

Grafik simulasi *unit step*  $C_L = 50\text{pF}$  frekuensi 5MHz ditunjukkan dalam Gambar 5.24. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 22,75\text{ns}$$

$$t_r = 77\text{ns}$$

$$t_{PHL} = 8,7\text{ns}$$

$$t_f = 28,5\text{ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* dengan menggunakan Persamaan (2-60):

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{8,7\text{ns} + 22,75\text{ns}}{2} = \frac{31,45\text{ns}}{2} = 15,7\text{ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan Persamaan (2-62) dan (2-64) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 50\text{pF}$ ,  $t_{PD} = 15,7\text{ns}$  maka,

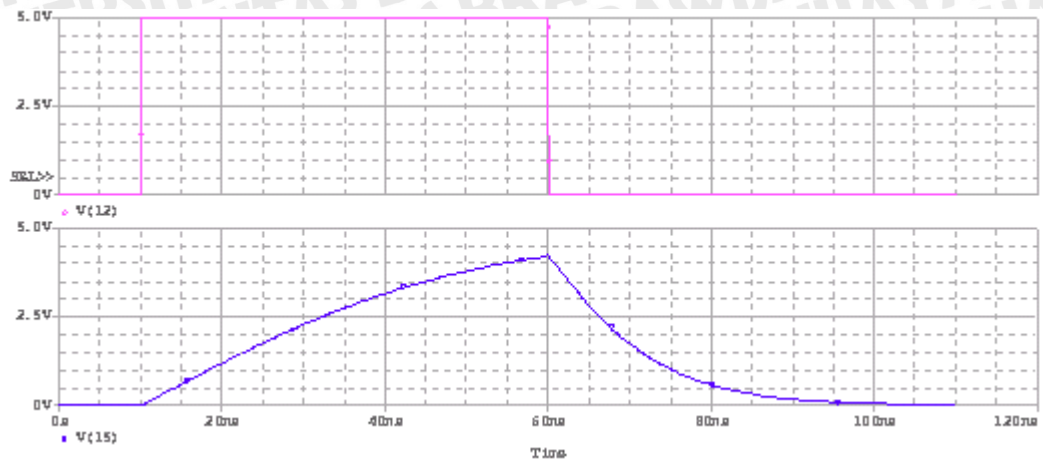
$$PD = C_L V_{DD}^2 f = 50 \times 10^{-12} \times 5^2 \times 5 \cdot 10^6 = 6250 \times 10^{-6} = 6,25\text{mW}$$

$$PDP = t_{PD} \cdot PD = 15,7 \times 10^{-9} \times 6,25 \times 10^{-3} = 98,13 \times 10^{-12} = 98,13\text{pJ}$$

Diperoleh nilai disipasi daya adalah 6,25mW dan nilai PDP adalah 98,13pJ.

### 3) Frekuensi 10MHz

*Listing program* ditunjukkan dalam Lampiran 6, *listing program unit step*  $C_L = 50\text{pF}$  frekuensi 10MHz.



Gambar 5.25 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 50\text{pF}$  Frekuensi 10MHz

Grafik simulasi *unit step*  $C_L = 50\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.25. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

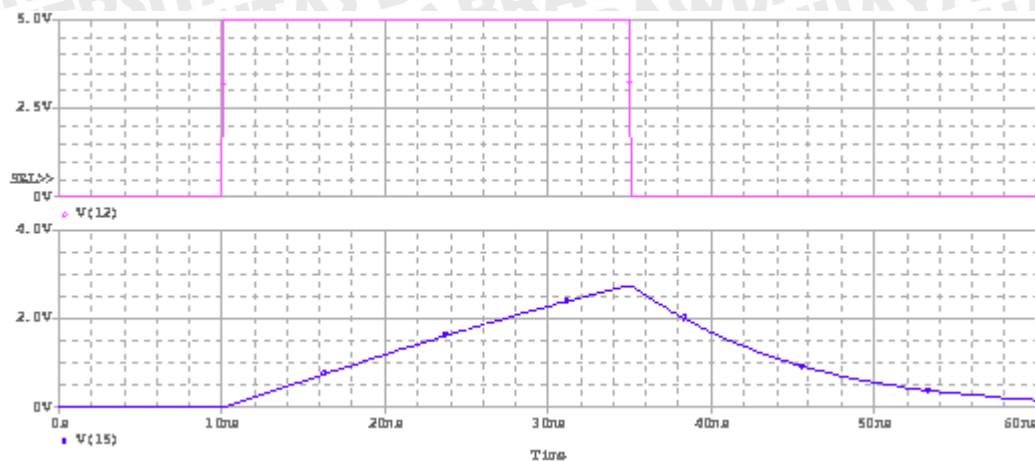
$$t_{PLH} = 22,5\text{ns} \quad t_r = 22,6\text{ns} \quad V_{OH} = 4,2\text{V}$$

$$t_{PHL} = 6,4\text{ns} \quad t_f = 10,9\text{ns}$$

Berdasarkan data dalam Gambar 5.25 diperoleh grafik yang tidak simetris, dimana nilai  $V_{OH}$  tidak mencapai 5V, nilai  $V_{OH}$  adalah 4,2V sehingga *propagation delay*, *rise time*, *fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

#### 4) Frekuensi 20MHz

*Listing program* ditunjukkan dalam Lampiran 6, *listing program unit step*  $C_L = 50\text{pF}$  frekuensi 20MHz.



Gambar 5.26 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 50\text{pF}$  Frekuensi 20MHz

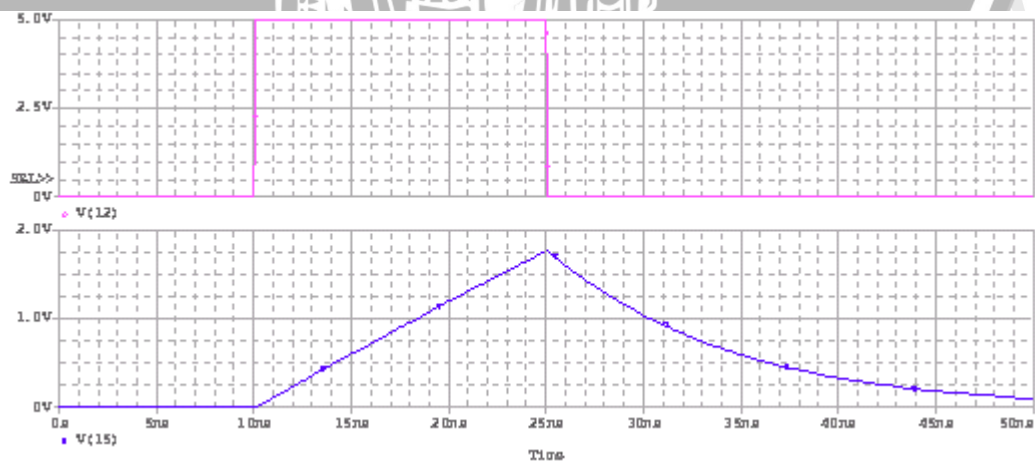
Grafik simulasi *unit step*  $C_L = 50\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.26. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$\begin{aligned} t_{PLH} &= 17,2\text{ns} & t_r &= 22\text{ns} & V_{OH} &= 2,8\text{V} \\ t_{PHL} &= 3,3\text{ns} & t_f &= 22,3\text{ns} & V_{OL} &= 0,25\text{V} \end{aligned}$$

Berdasarkan data dalam Gambar 5.26 diperoleh grafik yang tidak simetris, dimana nilai  $V_{OH}$  tidak mencapai 5V, nilai  $V_{OH}$  adalah 2,8V dan  $V_{IL}$  adalah 0,25, sehingga *propagation delay*, *rise time*, *fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

##### 5) Frekuensi 25MHz

*Listing program* ditunjukkan dalam Lampiran 6, *listing program unit step*  $C_L = 50\text{pF}$  frekuensi 25MHz.



Gambar 5.27 Grafik Unit Step IC 3-to-8 Line Decoder  $C_L = 50\text{pF}$  Frekuensi 25MHz



Grafik simulasi *unit step*  $C_L = 50\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.27. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$\begin{aligned} t_{\text{PLH}} &= 8,4\text{ns} & t_r &= 13 \text{ ns} & V_{\text{OH}} &= 1,75\text{V} \\ t_{\text{PHL}} &= 5,4\text{ns} & t_f &= 27,1\text{ns} & V_{\text{OL}} &= 0,13\text{V} \end{aligned}$$

Berdasarkan data dalam Gambar 5.27 diperoleh grafik yang tidak simetris, dimana nilai  $V_{\text{OH}}$  tidak mencapai 5V, nilai  $V_{\text{OH}}$  adalah 1,75V dan  $V_{\text{IL}}$  adalah 0,13, sehingga *propagation delay*, *rise time*, *fall time* serta nilai PD dan PDP tidak dapat ditentukan secara tepat.

### 5.3 Perbandingan Data Hasil Analisis Perhitungan, Simulasi dan *Datasheet*

Berdasarkan hasil simulasi IC *Decoder 3-to-8 Line HCMOS* dalam Bab 5.2 diperoleh data simulasi yang dapat menjadi perbandingan dengan data analisis perhitungan serta *datasheet* yang telah ditetapkan. Tabel 5.1 menunjukkan data hasil simulasi IC *Decoder 3-to-8 Line HCMOS*.

Tabel 5.1 Data Hasil Simulasi IC *Decoder 3-to-8 Line HCMOS*

$C_L$	PARAMETER	Frekuensi (MHz)				
		1	5	10	20	25
0,5pF	$t_{\text{PLH}}$ (ns)	0,1	0,28	0,25	0,26	0,34
	$t_{\text{PHL}}$ (ns)	0	0,28	0,27	0,16	0,17
	$t_r$ (ns)	0	0,8	0,89	0,8	0,7
	$t_f$ (ns)	0	0,2	0,39	0,34	0,28
	$t_{\text{PD}}$ (ns)	0,05	0,28	0,26	0,57	0,26
	PD (mW)	0,013	0,06	0,125	0,25	0,31
	PDP (fJ)	0,63	17,5	32,5	0,053pJ	0,08pJ
5pF	$t_{\text{PLH}}$ (ns)	1,9	2,2	2,35	2,4	2,3
	$t_{\text{PHL}}$ (ns)	1,3	1,1	1,1	0,98	1,01
	$t_r$ (ns)	6,7	7,6	7,38	7,7	7,6
	$t_f$ (ns)	3,9	2,8	2	2,7	2,97
	$t_{\text{PD}}$ (ns)	1,6	1,67	1,73	1,3	1,7
	PD (mW)	0,125	0,63	1,25	2,5	3,13
	PDP (pJ)	0,2	1,04	2,16	3,25	5,3
10pF	$t_{\text{PLH}}$ (ns)	4,7	4,5	4,36	4,49	-
	$t_{\text{PHL}}$ (ns)	2,68	1,9	1,87	1,85	-
	$t_r$ (ns)	10,7	15,2	14,4	14,6	-
	$t_f$ (ns)	6,7	4,8	5,56	5,6	-
	$t_{\text{PD}}$ (ns)	3,7	3,2	3,12	3,7	-
	PD (mW)	0,25	1,25	2,5	5	-
	PDP (pJ)	0,93	4	7,8	15,8	-
15pF	$t_{\text{PLH}}$ (ns)	6,03	6,7	6,64	-	-
	$t_{\text{PHL}}$ (ns)	2,7	2,8	2,8	-	-

50pF	$t_r$ (ns)	21,5	23	22,6	-	-
	$t_f$ (ns)	9,5	8,7	10,9	-	-
	$t_{PD}$ (ns)	4,37	4,75	4,75	-	-
	PD (mW)	0,34	1,88	3,75	-	-
	PDP (pJ)	1,64	8,9	17,8	-	-
	$t_{PLH}$ (ns)	20,8	22,75	-	-	-
	$t_{PHL}$ (ns)	8,1	8,7	-	-	-
	$t_r$ (ns)	68,5	77	-	-	-
	$t_f$ (ns)	25,6	28,5	-	-	-
	$t_{PD}$ (ns)	14,45	15,7	-	-	-
PD (mW)	1,25	6,35	-	-	-	
PDP (pJ)	18,1	98,13	-	-	-	

Berdasarkan Tabel 5.1 diperoleh nilai *average propagation delay* yang semakin besar jika nilai kapasitor yang digunakan juga besar. Sedangkan nilai *Power Dissipation* dan *Power Delay Product* semakin besar jika kapasitor yang digunakan bernilai besar dan frekuensi yang diberikan semakin besar. Kombinasi nilai kapasitor dan frekuensi yang besar dapat menghasilkan nilai *propagation delay* yang tidak simetris sehingga menghasilkan nilai  $V_{OH} < 5V$  dan  $V_{IL} > 0V$ . Hal ini menyebabkan nilai *Power Dissipation* dan *Power Delay Product* tidak dapat dihasilkan seperti yang terdapat dalam  $C_L = 10pF$ ;  $f = 25MHz$ ,  $C_L = 15pF$ ;  $f = 20MHz$  dan  $f = 25MHz$ ,  $C_L = 50pF$ ;  $f = 10MHz$ ;  $f = 20MHz$  dan  $f = 25MHz$ . Tabel 5.2 menunjukkan perbandingan hasil perhitungan, simulasi VTC dan *Noise Margin*. Tabel hasil perhitungan dan simulasi nilai VTC ditunjukkan dalam Tabel 5.2.

Tabel 5.2 Perbandingan Data Hasil Perhitungan dan Simulasi VTC dengan *Datasheet IC Decoder 74HC138* dan *IC DM74LS138*

PARAMETER	DATASHEET 74HC138, $V_{CC} = 4,5V$	DATASHEET DM74LS138, $V_{CC} = Max.$	PERHITUNGAN $V_{CC} = 5V$	SIMULASI $V_{CC} = 5V$	% ERROR
$V_{IH}$	3,15V	2V	2,875V	2,89V	0,015%
$V_{IL}$	1,35V	0,8V	2,125V	2,85V	0,725%
$V_{OH}$	4,4V	3,5V	4,625V	5V	0,38%
$V_{OL}$	0,1V(Max.)	0,25	0,375V	0V	0,38%
$NM_H$	1,25V	1,5V	1,75V	2,11V	0,36%
$NM_L$	1,25V	0,55V	1,75V	2,85V	1,1%

Berdasarkan Tabel 5.2 dapat diketahui bahwa hasil simulasi dan perhitungan nilai VTC dan *Noise Margin* tidak memiliki perbedaan besar yang signifikan dan persentase *error* yang kecil dan diperoleh *Noise Margin* dengan nilai yang besar

dalam simulasi. Tabel perbandingan nilai *propagation delay*, *rise time*, *fall time* pada  $C_L = 15\text{pF}$  ditunjukkan dalam Tabel 5.3.

Tabel 5.3 Data Hasil Perbandingan Nilai *Propagation Delay*, *Rise Time* dan *Fall time*, dan  $T_{PD}$  dengan *Datasheet IC Decoder 74HC138* dan *IC DM74LS138* pada  $f = 1\text{MHz}$

PARAMETER	DATASHEET, $C_L = 15\text{pF}$		SIMULASI					PERHITUNGAN $C_L = 15\text{pF}$ Input? Output	PERHITUNGAN $C_L = 15\text{pF}$ Enable? Output
	74HC138, $V_{CC} = 4,5\text{V}$	DM74LS138, $V_{CC} = 5\text{V}$	0.5p	5pF	10pF	15pF	50pF		
$t_{PLH}$ (ns)	12ns	18/24ns	0,1	1,9	4,7	6,03	20,8	135ns	189ns
$t_{PHL}$ (ns)	14ns	18/27ns	0	1,3	2,68	2,7	8,1	145ns	203ns
$t_r$ (ns)	24ns	28ns	0	6,7	10,7	21,5	68,5	270ns	378ns
$t_f$ (ns)	28ns	54ns	0	3,9	6,7	9,5	25,6	290ns	406ns
$T_{PD}$ (ns)	13ns	21ns	0,05	1,6	3,7	4,37	14,45	140ns	196ns

Berdasarkan Tabel 5.3 diperoleh perbandingan nilai *propagation delay* dan *average propagation delay*. Data yang dipergunakan dalam kolom perhitungan dan *datasheet* merupakan data dengan nilai  $C_L = 15\text{pF}$  dan  $f = 1\text{MHz}$ , Data tersebut dibandingkan dengan data hasil simulasi dengan variasi nilai kapasitor dan frekuensi yang sama. Berdasarkan Tabel 5.3 diperoleh nilai *propagation delay* dan *average propagation delay* jauh lebih kecil dari hasil perhitungan dan *datasheet*, hal ini menunjukkan bahwa *IC Decoder 3-to-8 Line HCMOS* ini memiliki proses kerja yang cepat, dengan kecilnya nilai *propagation delay*. Selain itu pada hasil perhitungan hanya dilakukan dengan parameter yang terbatas dari pada simulasi, sehingga dihasilkan data yang jauh berbeda antara perhitungan dan simulasi. Batas nilai kapasitansi maksimal yang dapat digunakan adalah  $15\text{pF}$ , dengan menggunakan  $C_L = 50\text{pF}$ , nilai *average propagation delay* yang dihasilkan menjadi lebih besar dari parameter pembanding yang ditentukan. Data perbandingan *Power Disipation* dan *Power Delay Product* ditunjukkan dalam Tabel 5.4.

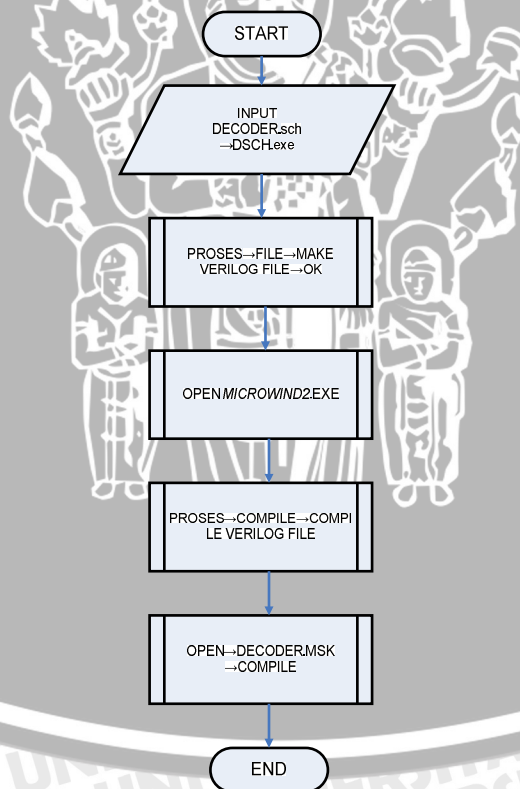
Tabel 5.4 Data Hasil Perbandingan *Power Disipation* dan *Power Delay Product* dengan *Datasheet IC Decoder 74HC138* dan *IC DM74LS138* pada  $C_L = 15\text{pF}$   $f = 1\text{MHz}$

PARAMETER	74HC138, $V_{CC} = 4,5\text{V}$	DM74LS138, $V_{CC} = 5\text{V}$	SIMULASI	PERHITUNGAN Input-Output	PERHITUNGAN Enable-Output
$T_{PD}$	13ns	21ns	4,37ns	140ns	196ns
PD	12mW	32mW	0,34mW	1,87mW	2,6mW
PDP	156pJ	672pJ	1,48pJ	52,5pJ	73,5pJ

Berdasarkan Tabel 5.4 diperoleh perbandingan data *Power Disipation* dan *Power Delay Product* hasil simulasi, perhitungan dan *datasheet* IC yang digunakan sebagai acuan pada  $C_L = 15\text{pF}$   $f = 1\text{MHz}$ . Tabel 5.4 menunjukkan disipasi daya yang kecil pada hasil simulasi dan perhitungan, hal ini menunjukkan bahwa perancangan yang dilakukan menghasilkan IC dengan performansi yang baik yaitu nilai disipasi daya dan *Power Delay Product* yang kecil.

#### 5.4 Pembuatan *Layout*

Pembuatan *layout* dilakukan dengan membuat *stick diagram* yang dirancang sesuai dengan rangkaian transistor CMOS yang ditunjukkan dalam Gambar 4.6. *Stick diagram* diperlukan sebagai dasar pembuatan *layout*. *Layout* dibuat secara otomatis dengan menggunakan *software Microwind2* dengan  $\lambda = 0,06\mu\text{m}$ . Proses pembuatan *layout* ditunjukkan dalam Gambar 5.28.



Gambar 5.28 Flowchart Proses Pembuatan *Layout*

## BAB VI

## PENUTUP

### 6.1 Kesimpulan

Berdasarkan hasil analisis dan simulasi IC *3-to-8 Line Decoder* HCMOS, diperoleh kesimpulan sebagai berikut:

- ü IC *3-to-8 Line Decoder* HCMOS tersusun dari 8 gerbang NAND 4 input yang terdiri dari 64 transistor PMOS dan NMOS, 5 gerbang inverter yang terdiri dari 10 transistor PMOS dan NMOS, 2 gerbang NAND 2 input yang terdiri dari 8 transistor NMOS dan PMOS serta 16 gerbang inverter sebagai rangkaian kaskada yang terdiri dari 32 transistor PMOS dan NMOS. Sehingga jumlah transistor PMOS dan NMOS yang membentuk IC *3-to-8 Line Decoder* HCMOS adalah 114 transistor.

- ü Perancangan perhitungan menggunakan rumus berdasarkan tinjauan pustaka dan tidak dilakukan penurunan rumus umum. Data hasil perhitungan dan simulasi terpaut jauh lebih dari 50% khususnya pada perhitungan *propagation delay*. Hal ini terjadi karena terbatasnya parameter yang digunakan dibanding dengan parameter yang digunakan pada simulasi.

- ü Data hasil simulasi nilai VTC (*Voltage Transfer Characteristic*) menghasilkan data yang simetris, dimana  $C_L$  dan frekuensi tidak mempengaruhi nilai VTC. Digunakan  $C_L = 15\text{pF}$  dalam simulasi PSPICE sebagai beban kapasitor pembanding dengan *datasheet*. Nilai VTC hasil simulasi lebih baik dari *datasheet* yaitu  $V_{IH} = 2,89\text{V}$ ,  $V_{IL} = 2,85\text{V}$ ,  $V_{OH} = 5\text{V}$ ,  $V_{OL} = 0\text{V}$ ,  $NM_H = 2,11\text{V}$  dan  $NM_L = 2,85$ .

- ü Data hasil simulasi nilai *propagation delay* menghasilkan data yang lebih kecil dari perhitungan dan *datasheet*. Digunakan  $C_L = 15\text{pF}$  dalam simulasi PSPICE untuk mengetahui respon waktu yang terjadi sehingga dapat diketahui nilai *propagation delay*. Nilai  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$ ,  $t_f$  dan  $T_{PD}$  hasil simulasi lebih baik dari *datasheet* dengan menggunakan nilai  $C_L = 15\text{pF}$  maka diperoleh nilai  $t_{PLH} = 6,03\text{ns}$ ,  $t_{PHL} = 2,7\text{ns}$ ,  $t_r = 21,5\text{ns}$ ,  $t_f = 9,5\text{ns}$  dan  $T_{PD} = 4,37\text{ns}$ .

- ü Data hasil simulasi nilai *Power Disipation* dan *Power Delay Product* dengan menggunakan *software* PSPICE diperoleh nilai yang lebih baik dari *datasheet*. Penentuan nilai tersebut ditentukan oleh nilai  $C_L$  pada output dan frekuensi sebagai input pulsa dalam PSPICE. Hasil yang simetris diperoleh dengan menggunakan nilai

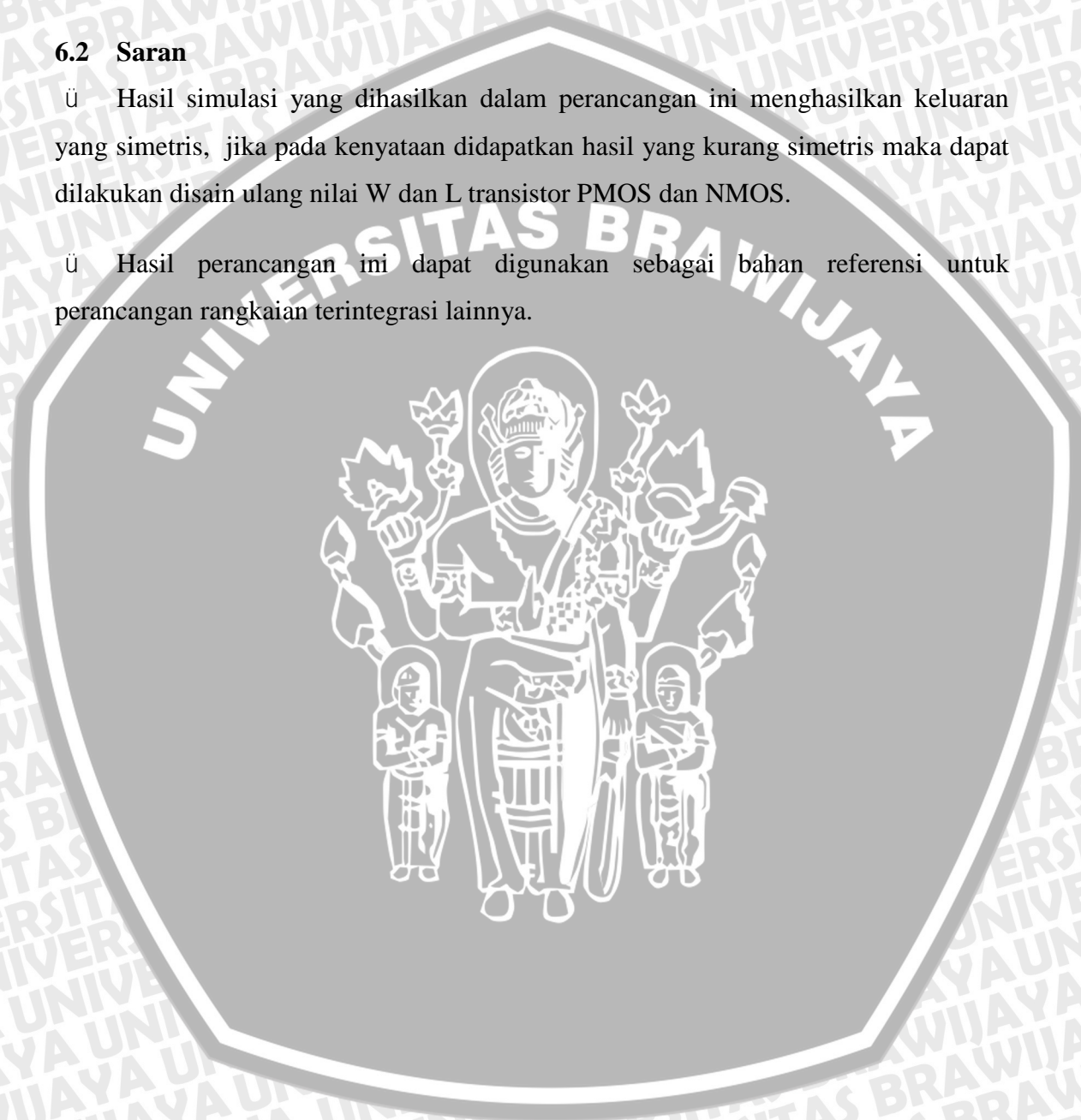
$C_L = 5\text{pF}$  dan frekuensi maksimal  $f = 25\text{ MHz}$ . Dengan nilai *power dissipation*,  $PD = 0,34\text{mW}$  dan  $PDP = 1,48\text{pJ}$ .

ü IC *3-to-8 Line Decoder* HCMOS mempunyai *layout* tanpa *pad I/O* dengan luas  $3500\mu\text{m} \times 300\mu\text{m}$  dan menggunakan *pad I/O* dengan luas  $17500\mu\text{m} \times 17500\mu\text{m}$ .

## 6.2 Saran

ü Hasil simulasi yang dihasilkan dalam perancangan ini menghasilkan keluaran yang simetris, jika pada kenyataan didapatkan hasil yang kurang simetris maka dapat dilakukan disain ulang nilai  $W$  dan  $L$  transistor PMOS dan NMOS.

ü Hasil perancangan ini dapat digunakan sebagai bahan referensi untuk perancangan rangkaian terintegrasi lainnya.



## LAMPIRAN 1

### *LISTING PROGRAM ALIH TEGANGAN (VTC)*



ü **Program Alih Tegangan (VTC)**

.SUBCKT NAND4INPUT 2 3 4 5 6  
VDD 1 0 5V  
M1 6 2 1 1 PM W=0.96U L=0.12U  
M2 6 3 1 1 PM W=0.96U L=0.12U  
M3 6 4 1 1 PM W=0.96U L=0.12U  
M4 6 5 1 1 PM W=0.96U L=0.12U



```

M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
X17 16 17 CASCADA
C1 15 0 15p
C2 17 0 15p

```

\*MASUKAN TEGANGAN

```

V1 1 0 0V
V2 3 0 0V
V3 6 0 5V
V4 12 0 5V
V5 10 0 0V

```





V6 8 0 0V

\*ANALISIS TEGANGAN  
.dc V4 0 5 20Mv

\*MENAMPILKAN GRAFIK  
.plot dc V(17)  
.probe  
.END



## LAMPIRAN 2

---

*LISTING PROGRAM UNIT STEP,  $C_L = 0,5pF$*





ü Listing program unit step  $C_L = 0,5\text{pF}$  frekuensi 1MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
```



```
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

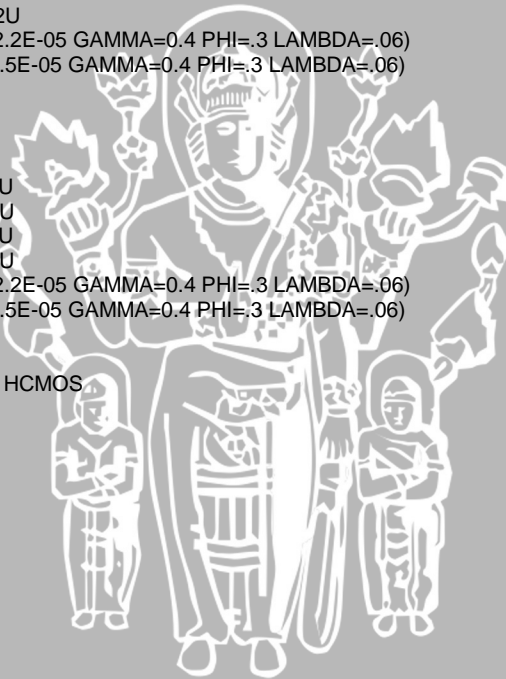
```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS.

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 0.5p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```



ü Listing program unit step  $C_L = 0,5pF$  frekuensi 5MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

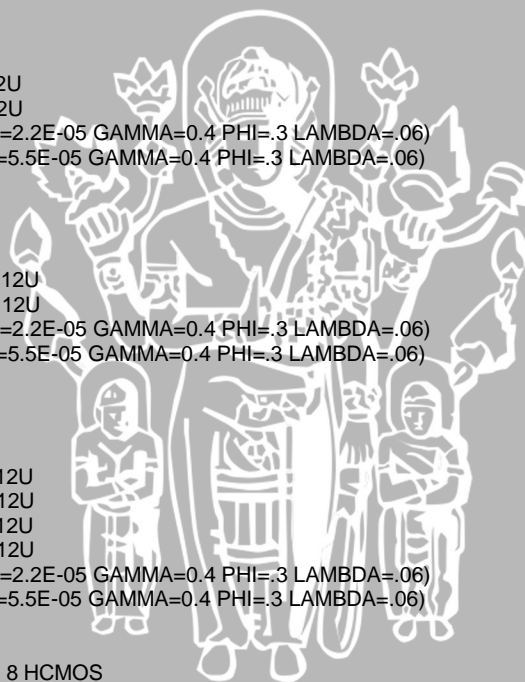
```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 0.5p
```

\*MASUKAN TEGANGAN



```

VIN 1 0 DC 0V
V13 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END

```

ü *Listing program unit step  $C_L = 0,5pF$  frekuensi 10MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

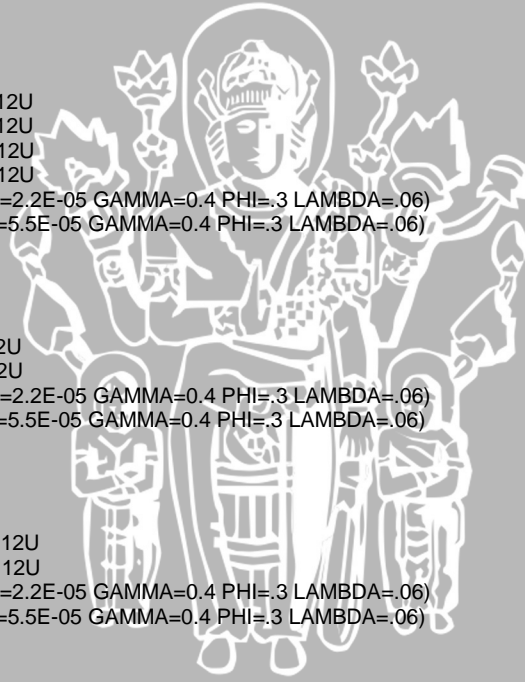
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT

```



```

X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 0.5p
*MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 0,5pF$  frekuensi 20MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

## \*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 0.5p

```

## \*MASUKAN TEGANGAN

```

VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 0,5pF$  frekuensi 25MHz*

## .SUBCKT NAND4INPUT 2 3 4 5 6

```

VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

## .SUBCKT NAND2INPUT 2 3 4

```

VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

## .SUBCKT INVERTER 2 3

```

VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

## .SUBCKT ENABLE 2 3

```

VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 3 TO 8 HCMOS
```

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 0.5p
```

```
*MASUKAN TEGANGAN
```

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```



## LAMPIRAN 3

*LISTING PROGRAM UNIT STEP,  $C_L = 5pF$*





ü Listing program unit step  $C_L = 5\text{pF}$  frekuensi 1MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
```



```
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

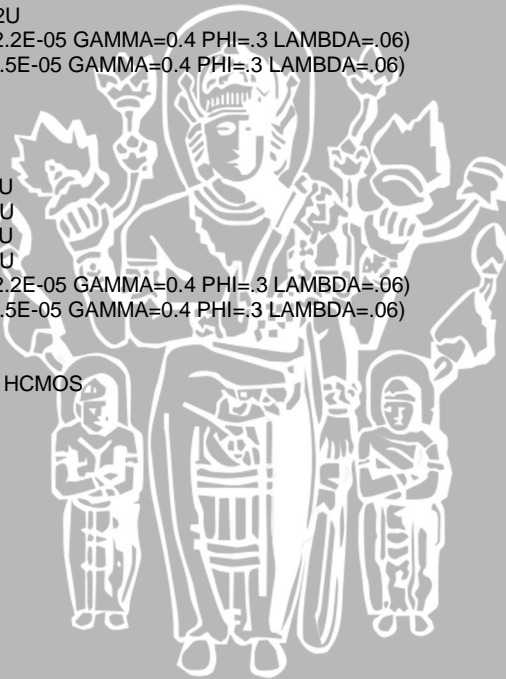
```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS.

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 5p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```



ü Listing program unit step  $C_L = 5pF$  frekuensi 5MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

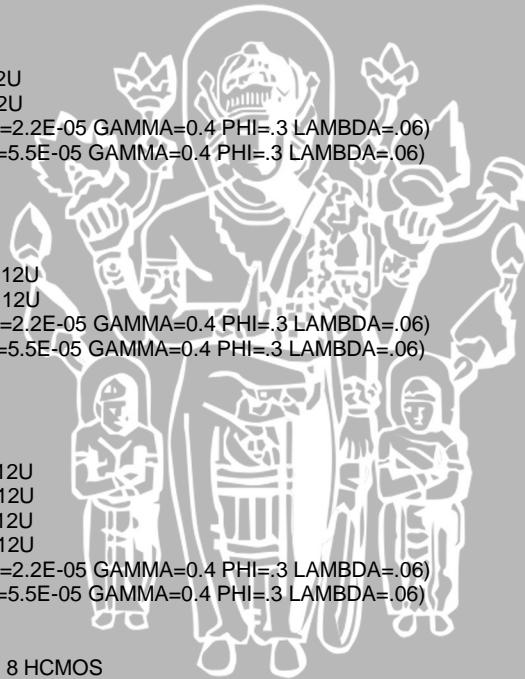
```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 5p
```

\*MASUKAN TEGANGAN



```

VIN 1 0 DC 0V
V13 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END

```

ü *Listing program unit step  $C_L = 5pF$  frekuensi 10MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

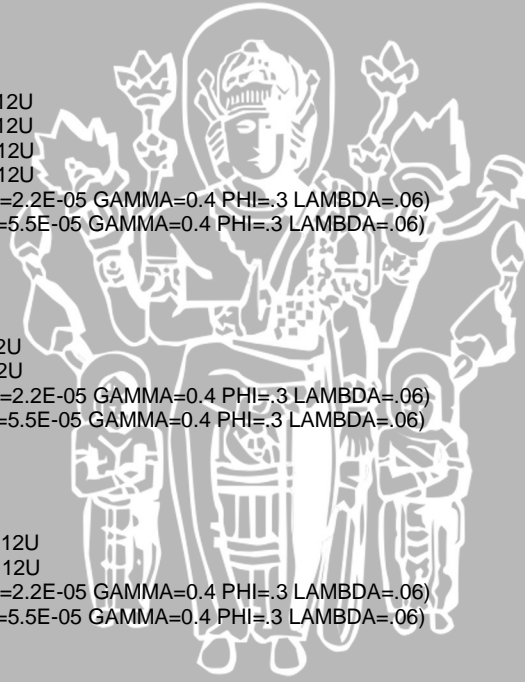
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT

```



```

X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 5p
*MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 5\text{pF}$  frekuensi 20MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

## \*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 5p
```

## \*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 20ns,0V 20.1ns,5V 40ns,5V 40.1ns,0V 70ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 70ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```

ü *Listing program unit step  $C_L = 5pF$  frekuensi 25MHz*

## .SUBCKT NAND4INPUT 2 3 4 5 6

```
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

## .SUBCKT NAND2INPUT 2 3 4

```
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

## .SUBCKT ENABLE 2 3

```
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 3 TO 8 HCMOS
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 5p
```

```
*MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 30ns,5V 30.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```



## LAMPIRAN 4

*LISTING PROGRAM UNIT STEP,  $C_L = 10pF$*



ü Listing program unit step  $C_L = 10\text{pF}$  frekuensi 1MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
```





```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 10p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN Ons 1100ns Ons 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü Listing program unit step  $C_L = 10\text{pF}$  frekuensi 5MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

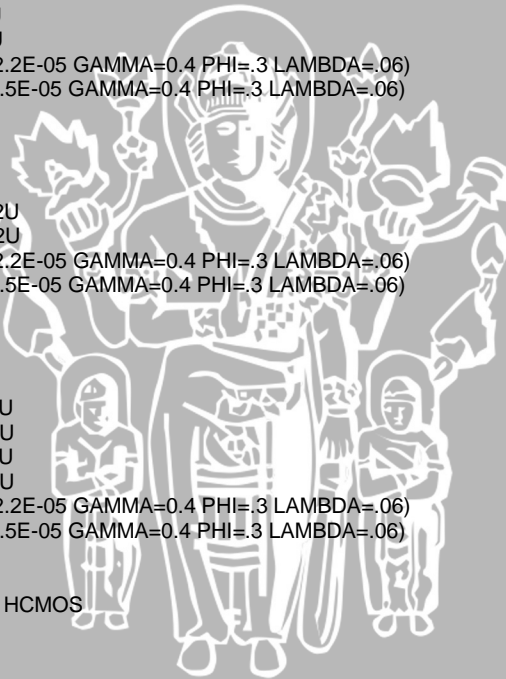
```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 10p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V13 0 DC 0V
V3 6 0 DC 5V
```



```
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü *Listing program unit step  $C_L = 10\text{pF}$  frekuensi 10MHz*

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

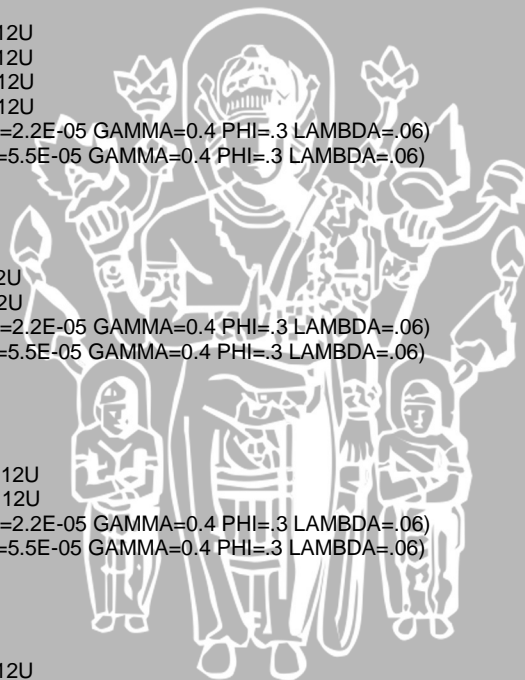
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
```



```

X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C*1 15 0 10p
.MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 10\text{pF}$  frekuensi 20MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS  
X1 13 11 9 7 14 NAND4INPUT

```

X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 10p

```

\*MASUKAN TEGANGAN

```

VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 10\text{pF}$  frekuensi 25MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U

```

```

M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 10p

```

\*MASUKAN TEGANGAN

```

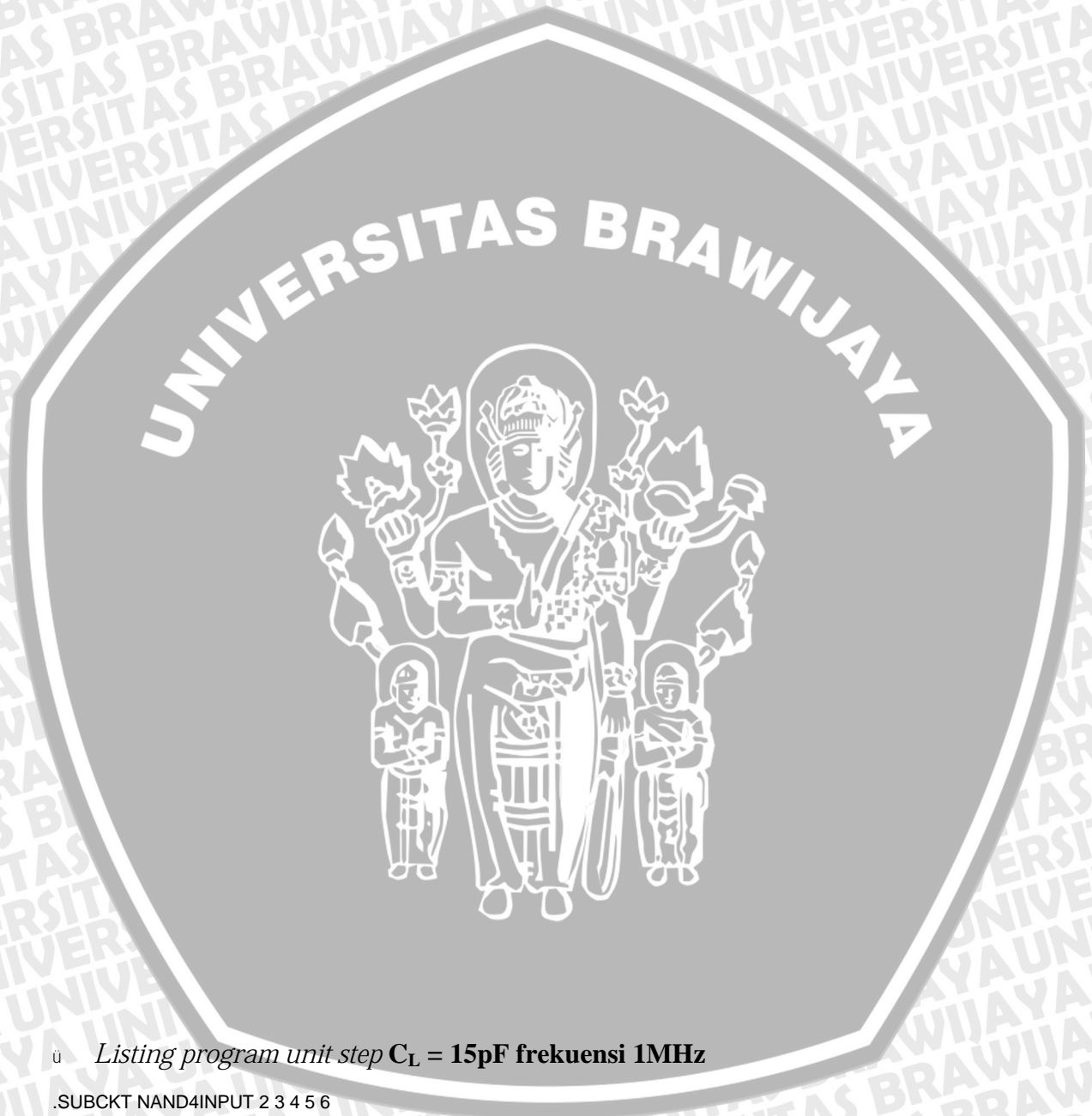
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 25ns,5V 25.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```



## LAMPIRAN 5

*LISTING PROGRAM UNIT STEP,  $C_L = 15pF$*



ü *Listing program unit step  $C_L = 15\text{pF}$  frekuensi 1MHz*

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
```

```
VDD 1 0 5V
```

```
M14 4 2 1 1 PM W=0.96U L=0.12U
```

```
M15 4 3 1 1 PM W=0.96U L=0.12U
```

```
M16 4 2 5 5 NM W=0.36U L=0.12U
```

```
M17 5 3 6 6 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
```

```
VDD 1 0 5V
```

```
M8 3 2 1 1 PM W=0.96U L=0.12U
```

```
M9 3 2 0 0 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
```

```
VDD 1 0 5V
```

```
M10 3 2 1 1 PM W=0.96U L=0.12U
```

```
M11 3 2 0 0 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
```

```
VDD 1 0 5V
```

```
M18 3 2 1 1 PM W=1.08U L=0.12U
```

```
M19 3 2 0 0 NM W=1.08U L=0.12U
```

```
M20 4 3 1 1 PM W=3.24U L=0.12U
```

```
M21 4 3 0 0 NM W=3.24U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 3 TO 8 HCMOS
```

```
X1 13 11 9 7 14 NAND4INPUT
```

```
X2 12 11 9 7 16 NAND4INPUT
```

```
X3 13 9 10 7 18 NAND4INPUT
```

```
X4 12 9 10 7 20 NAND4INPUT
```

```
X5 13 11 8 7 22 NAND4INPUT
```

```
X6 12 11 8 7 24 NAND4INPUT
```

```
X7 13 8 10 7 26 NAND4INPUT
```

```
X8 12 8 10 7 28 NAND4INPUT
```

```
X9 12 13 INVERTER
```

```
X10 10 11 INVERTER
```

```
X11 8 9 INVERTER
```

```
X12 1 2 ENABLE
```

```
X13 2 4 ENABLE
```

```
X14 2 4 5 NAND2INPUT
```

```
X15 5 6 7 NAND2INPUT
```

```
X16 14 15 CASCADA
```

```
C1 15 0 15p
```

```
*MASUKAN TEGANGAN
```

```
VIN 1 0 DC 0V
```

```
V1 3 0 DC 0V
```

```
V3 6 0 DC 5V
```

```
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
V5 10 0 DC 0V
```

```
V6 8 0 DC 0V
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
```

```
.PLOT TRAN V(15)
```

```
.probe
```

```
.END
```

ü Listing program unit step  $C_L = 15\text{pF}$  frekuensi 5MHz



```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V13 0 DC 0V
V3 6 0 DC 5V
```



```
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü *Listing program unit step  $C_L = 15\text{pF}$  frekuensi 10MHz*

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

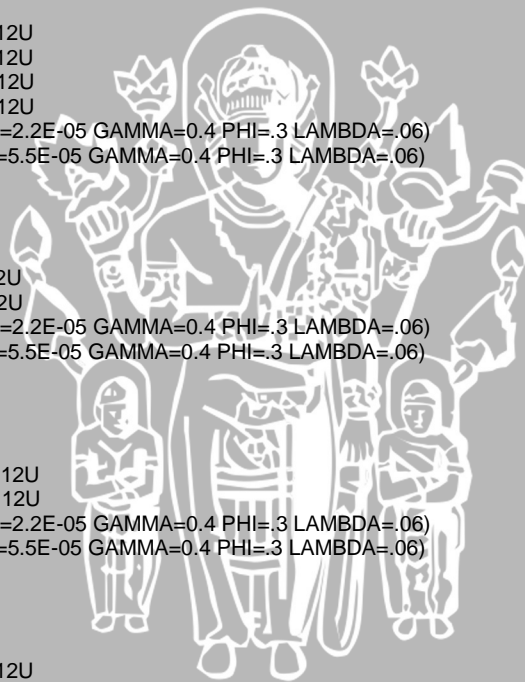
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
```



```

X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C*1 15 0 15p
.MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 15\text{pF}$  frekuensi 20MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS  
X1 13 11 9 7 14 NAND4INPUT

```

X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p

```

\*MASUKAN TEGANGAN

```

VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 15pF$  frekuensi 25MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U

```

```

M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p

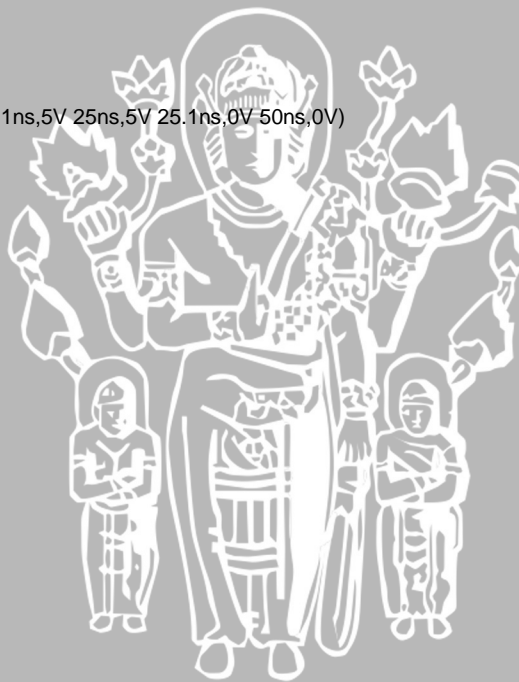
```

\*MASUKAN TEGANGAN

```

VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 25ns,5V 25.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```



# LAMPIRAN 5

*LISTING PROGRAM UNIT STEP ,  $C_L = 15pF$*



ü Listing program unit step  $C_L = 15\text{pF}$  frekuensi 1MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

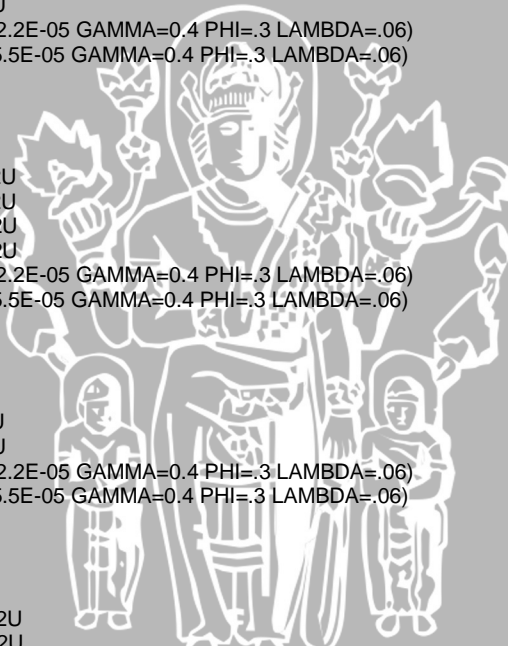
```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
```



```
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADE
C1 15 0 15p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 1100ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü Listing program unit step  $C_L = 15\text{pF}$  frekuensi 5MHz

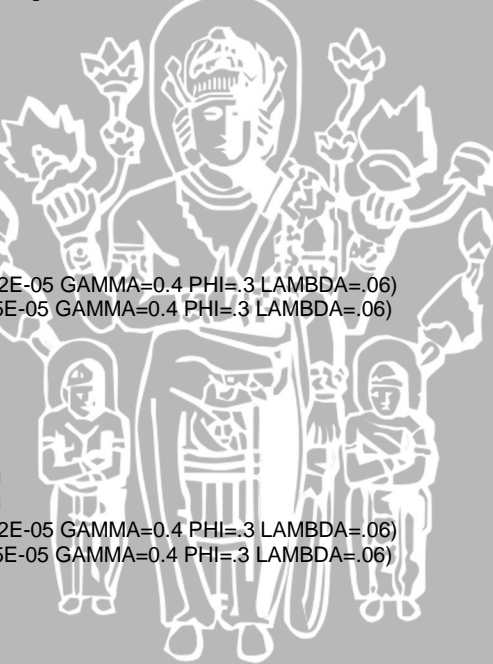
```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADE 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
```





```
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü *Listing program unit step*  $C_L = 15\text{pF}$  frekuensi 10MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
```



```
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
```

C1 15 0 15p

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```

ü Listing program unit step  $C_L = 15\text{pF}$  frekuensi 20MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```



```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```

ü Listing program unit step  $C_L = 15\text{pF}$  frekuensi 25MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```



```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 15p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 25ns,5V 25.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END
```



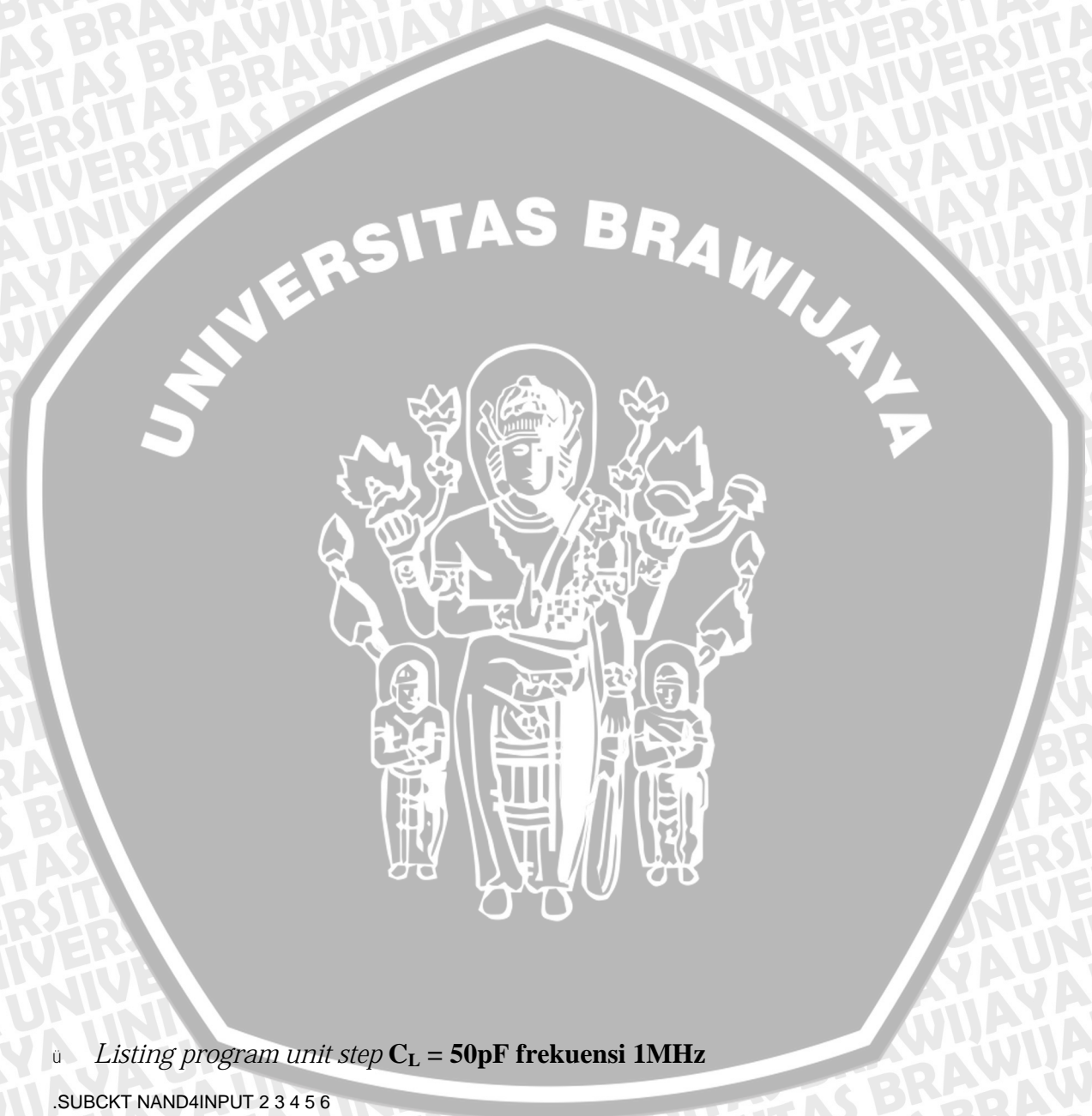


## LAMPIRAN 6

---

*LISTING PROGRAM UNIT STEP,  $C_L = 50\text{pF}$*





ü *Listing program unit step  $C_L = 50\text{pF}$  frekuensi 1MHz*

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
```

```
VDD 1 0 5V
```

```
M14 4 2 1 1 PM W=0.96U L=0.12U
```

```
M15 4 3 1 1 PM W=0.96U L=0.12U
```

```
M16 4 2 5 5 NM W=0.36U L=0.12U
```

```
M17 5 3 6 6 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
```

```
VDD 1 0 5V
```

```
M8 3 2 1 1 PM W=0.96U L=0.12U
```

```
M9 3 2 0 0 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
```

```
VDD 1 0 5V
```

```
M10 3 2 1 1 PM W=0.96U L=0.12U
```

```
M11 3 2 0 0 NM W=0.36U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
```

```
VDD 1 0 5V
```

```
M18 3 2 1 1 PM W=1.08U L=0.12U
```

```
M19 3 2 0 0 NM W=1.08U L=0.12U
```

```
M20 4 3 1 1 PM W=3.24U L=0.12U
```

```
M21 4 3 0 0 NM W=3.24U L=0.12U
```

```
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
```

```
.ENDS CASCADA
```

```
*RANGKAIAN DECODER 3 TO 8 HCMOS
```

```
X1 13 11 9 7 14 NAND4INPUT
```

```
X2 12 11 9 7 16 NAND4INPUT
```

```
X3 13 9 10 7 18 NAND4INPUT
```

```
X4 12 9 10 7 20 NAND4INPUT
```

```
X5 13 11 8 7 22 NAND4INPUT
```

```
X6 12 11 8 7 24 NAND4INPUT
```

```
X7 13 8 10 7 26 NAND4INPUT
```

```
X8 12 8 10 7 28 NAND4INPUT
```

```
X9 12 13 INVERTER
```

```
X10 10 11 INVERTER
```

```
X11 8 9 INVERTER
```

```
X12 1 2 ENABLE
```

```
X13 2 4 ENABLE
```

```
X14 2 4 5 NAND2INPUT
```

```
X15 5 6 7 NAND2INPUT
```

```
X16 14 15 CASCADA
```

```
C1 15 0 50p
```

```
*MASUKAN TEGANGAN
```

```
VIN 1 0 DC 0V
```

```
V1 3 0 DC 0V
```

```
V3 6 0 DC 5V
```

```
V4 12 0 PWL (0,0V 100ns,0V 100.1ns,5V 600ns,5V 600.1ns,0V 1100ns,0V)
```

```
V5 10 0 DC 0V
```

```
V6 8 0 DC 0V
```

```
.TRAN 0ns 1100ns 0ns 0.1ns
```

```
.PLOT TRAN V(15)
```

```
.probe
```

```
.END
```

ü Listing program unit step  $C_L = 50\text{pF}$  frekuensi 5MHz

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

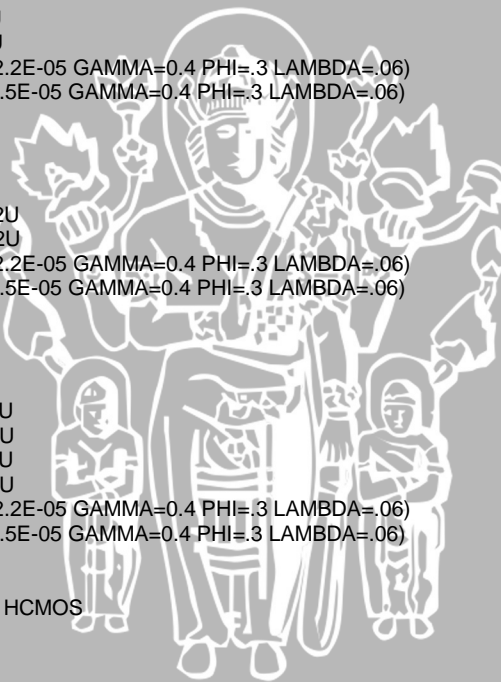
```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 50p
```

\*MASUKAN TEGANGAN

```
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
```





```
V4 12 0 PWL (0,0V 50ns,0V 50.1ns,5V 150ns,5V 150.1ns,0V 250ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 250ns 0ns 0.1ns
.PLOT TRAN V(15)
.probe
.END
```

ü *Listing program unit step  $C_L = 50\text{pF}$  frekuensi 10MHz*

```
.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT
```

```
.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT
```

```
.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER
```

```
.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE
```

```
.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA
```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```
X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
```

```

X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C*1 15 0 50p
.MASUKAN TEGANGAN
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 60ns,5V 60.1ns,0V 110ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 110ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step*  $C_L = 50\text{pF}$  *frekuensi* 20MHz

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U
M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS  
X1 13 11 9 7 14 NAND4INPUT



```

X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 50p

```

\*MASUKAN TEGANGAN

```

VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 35ns,5V 35.1ns,0V 60ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 60ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

ü *Listing program unit step  $C_L = 50\text{pF}$  frekuensi 25MHz*

```

.SUBCKT NAND4INPUT 2 3 4 5 6
VDD 1 0 5V
M1 6 2 1 1 PM W=0.96U L=0.12U
M2 6 3 1 1 PM W=0.96U L=0.12U
M3 6 4 1 1 PM W=0.96U L=0.12U
M4 6 5 1 1 PM W=0.96U L=0.12U
M5 6 2 7 7 NM W=0.36U L=0.12U
M6 7 3 8 8 NM W=0.36U L=0.12U
M7 8 4 9 9 NM W=0.36U L=0.12U
M8 9 5 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND4INPUT

```

```

.SUBCKT NAND2INPUT 2 3 4
VDD 1 0 5V
M14 4 2 1 1 PM W=0.96U L=0.12U
M15 4 3 1 1 PM W=0.96U L=0.12U
M16 4 2 5 5 NM W=0.36U L=0.12U
M17 5 3 6 6 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS NAND2INPUT

```

```

.SUBCKT INVERTER 2 3
VDD 1 0 5V
M8 3 2 1 1 PM W=0.96U L=0.12U
M9 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS INVERTER

```

```

.SUBCKT ENABLE 2 3
VDD 1 0 5V
M10 3 2 1 1 PM W=0.96U L=0.12U
M11 3 2 0 0 NM W=0.36U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS ENABLE

```

```

.SUBCKT CASCADA 2 4
VDD 1 0 5V
M18 3 2 1 1 PM W=1.08U L=0.12U

```

```

M19 3 2 0 0 NM W=1.08U L=0.12U
M20 4 3 1 1 PM W=3.24U L=0.12U
M21 4 3 0 0 NM W=3.24U L=0.12U
.MODEL PM PMOS (Vto=-1 KP=2.2E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.MODEL NM NMOS (Vto=1 KP=5.5E-05 GAMMA=0.4 PHI=.3 LAMBDA=.06)
.ENDS CASCADA

```

\*RANGKAIAN DECODER 3 TO 8 HCMOS

```

X1 13 11 9 7 14 NAND4INPUT
X2 12 11 9 7 16 NAND4INPUT
X3 13 9 10 7 18 NAND4INPUT
X4 12 9 10 7 20 NAND4INPUT
X5 13 11 8 7 22 NAND4INPUT
X6 12 11 8 7 24 NAND4INPUT
X7 13 8 10 7 26 NAND4INPUT
X8 12 8 10 7 28 NAND4INPUT
X9 12 13 INVERTER
X10 10 11 INVERTER
X11 8 9 INVERTER
X12 1 2 ENABLE
X13 2 4 ENABLE
X14 2 4 5 NAND2INPUT
X15 5 6 7 NAND2INPUT
X16 14 15 CASCADA
C1 15 0 50p

```

\*MASUKAN TEGANGAN

```

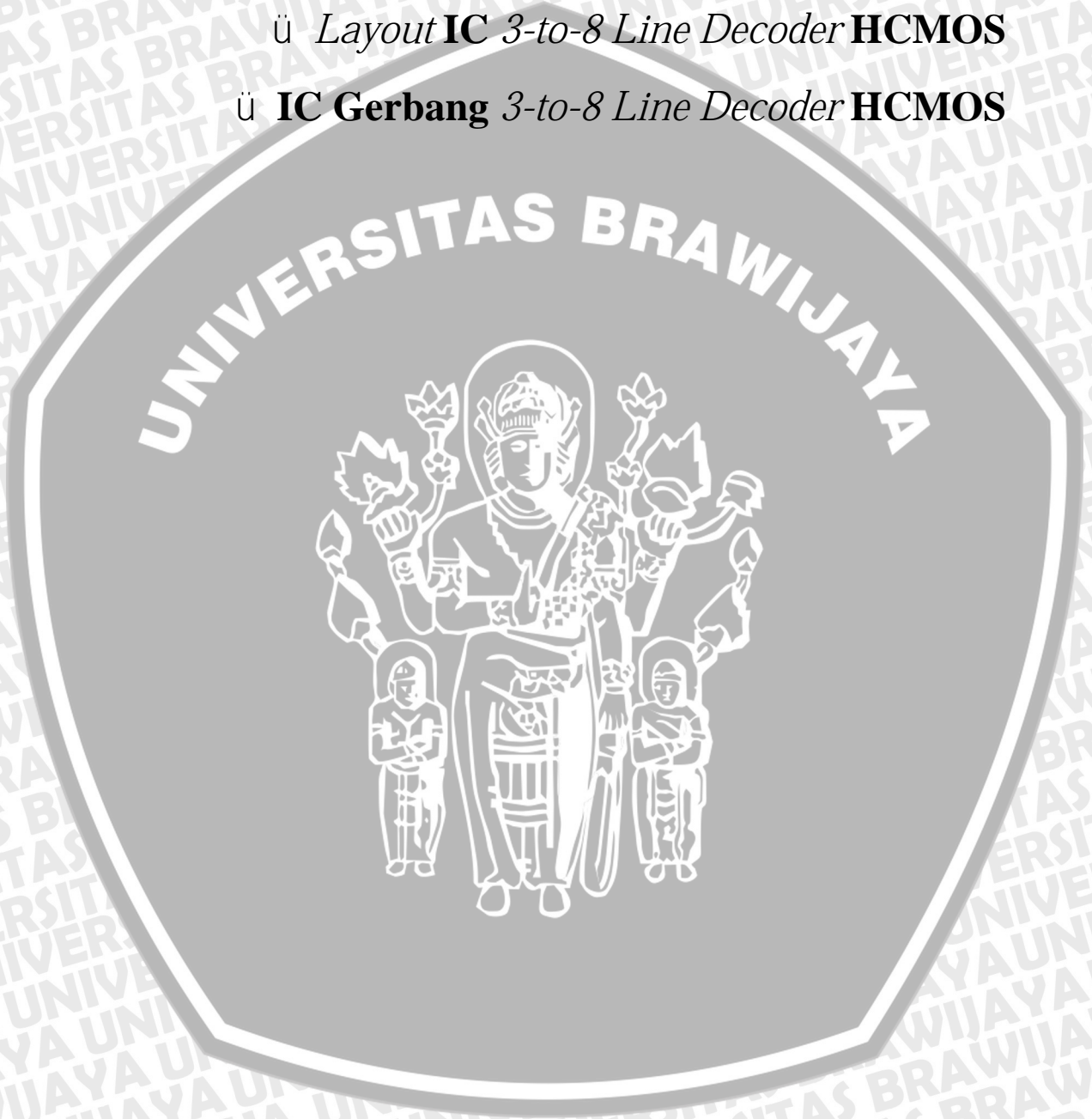
VIN 1 0 DC 0V
V1 3 0 DC 0V
V3 6 0 DC 5V
V4 12 0 PWL (0,0V 10ns,0V 10.1ns,5V 25ns,5V 25.1ns,0V 50ns,0V)
V5 10 0 DC 0V
V6 8 0 DC 0V
.TRAN 0ns 50ns 0ns 0.1ns
.PLOT TRAN V(17)
.probe
.END

```

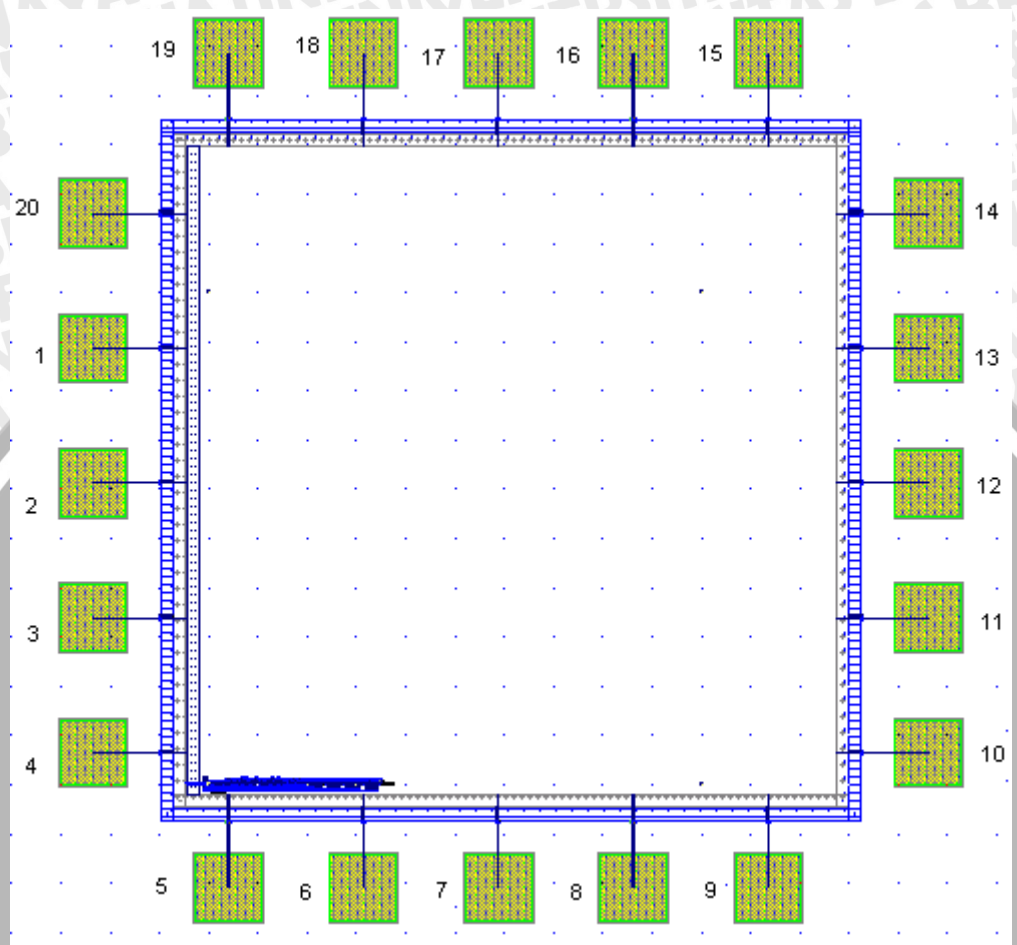


# LAMPIRAN 7

- ü *Stick Diagram IC 3-to-8 Line Decoder HCMOS*
- ü *Layout IC 3-to-8 Line Decoder HCMOS*
- ü *IC Gerbang 3-to-8 Line Decoder HCMOS*



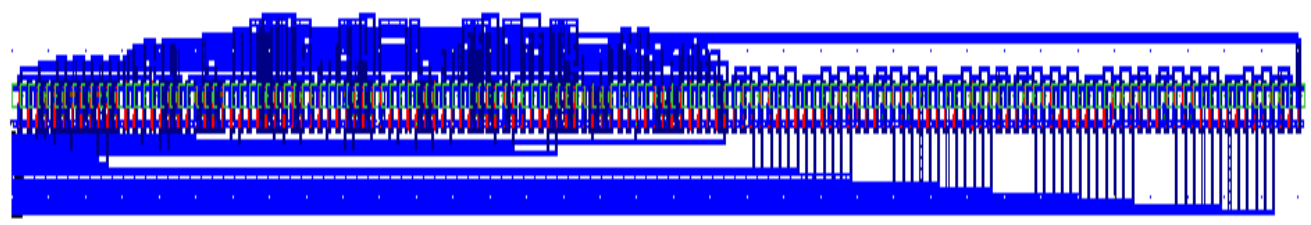
# ü IC Gerbang 3-to-8 Line Decoder HCMOS



## Tabel Pin-Pin IC Gerbang 3-to-8 Line Decoder HCMOS

PIN IC 3-to-8 Line Decoder HCMOS	FUNTION
1	V <sub>DD</sub>
2	A <sub>0</sub>
3	A <sub>1</sub>
4	A <sub>2</sub>
5	NC
6	E <sub>1</sub>
7	E <sub>2</sub>
8	NC
9	Y <sub>0</sub>
10	Y <sub>1</sub>
11	Y <sub>2</sub>
12	Y <sub>3</sub>
13	Y <sub>4</sub>
14	Y <sub>5</sub>
15	Y <sub>6</sub>
16	NC
17	Y <sub>7</sub>
18	E <sub>3</sub>
19	NC
20	V <sub>SS</sub>

ü Layout IC 3-to-8 Line Decoder HCMOS





### Stick Diagram IC 3-to-8 Line Decoder HCMOS

