

## BAB III

### METODE PENELITIAN

Bab ini berisi tentang penjelasan cara-cara yang dilakukan dalam proses perancangan *IC shift register 8 bit Serial In Serial Out* dengan menggunakan teknologi *High Speed CMOS (HCMOS)*. Metode-metode yang digunakan ialah metode analisis dan metode simulasi. Metode analisis mengacu pada sumber literatur yang berhubungan sedangkan metode simulasi menggunakan perangkat lunak *B<sup>2</sup>Spice* agar diketahui kemampuan *shift register 8 bit SISO* yang diinginkan dan menggunakan perangkat lunak lainnya yaitu *DSCH* dan *Microwind*. Langkah-langkah yang akan dilakukan diuraikan detail berikut ini.

#### 3.1 Studi Literatur

Studi literatur yang dilakukan dalam proses perancangan rangkaian terpadu *shift register 8 bit SISO* adalah sebagai berikut:

- 1) Studi tentang MOSFET baik dari struktur, karakteristik dan operasi, tegangan ambang, karakteristik arus tegangan, kapasitansi transistor, lebar dan panjang kanal.
- 2) Studi tentang *propagation delay* dan disipasi daya dalam HCMOS.
- 3) Studi tentang cara kerja gerbang inverter, NAND, karakteristik alih tegangan, persamaan-persamaan yang diperoleh dalam berbagai kondisi operasi dan *noise margin*.
- 4) Studi tentang rangkaian logika *shift register 8 bit SISO*.
- 5) Studi tentang parameter proses teknologi dalam desain rangkaian terpadu yang digunakan sebagai parameter dasar dari perancangan dan perhitungan yang mendukung perancangan IC.
- 6) Studi tentang perangkat lunak *B<sup>2</sup>Spice* untuk analisis karakteristik alih tegangan, dan *propagation delay*.
- 7) Studi tentang perangkat lunak *Microwind* untuk *design rules* dalam pembuatan layout gerbang HCMOS.

### 3.2 Proses Perancangan

Untuk proses perencanaan IC *shift register 8 bit SISO HCMOS*, ditentukan spesifikasi nilai parameter yang akan dirancang. Berdasarkan *datasheet SL74HC166* perancangan yang dilakukan mempunyai spesifikasi sebagai berikut,  $V_{IH} = 3.15 \text{ V}$ ,  $V_{IL} = 0.9 \text{ V}$ ,  $V_{OH} = 4.4 \text{ V}$ ,  $V_{OL} = 0.1 \text{ V}$  dan  $t_{PD} = 28 \text{ ns}$  serta  $f_{max} = 31 \text{ MHz}$ .

### 3.3 Proses Analisis

Proses analisis perancangan IC *Shift Register 8 bit SISO* adalah proses perhitungan persamaan yang telah ditentukan untuk mencapai hasil dengan *propagation delay* yang cepat serta perancangan perhitungan dengan menggunakan parameter perancangan. Proses analisis tersebut meliputi:

1. Penentuan spesifikasi rangkaian logika penyusun IC *Shift Register 8 bit Serial In Serial Out*, yang terdiri atas 32 gerbang NAND 2 masukan, dan 8 gerbang NOT 1 masukan.
2. Analisis nilai *Noise Margin* rangkaian dengan cara menganalisis karakteristik alih tegangan agar memperoleh nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ , dan  $V_{IH}$  dengan menggunakan persamaan yang telah ditentukan dalam literatur.
3. Analisis *propagation delay* dengan merancang nilai  $W$  dan  $L$  (lebar dan panjang) dalam transistor. Tujuan dari proses ini dilakukan adalah untuk menentukan nilai *propagation delay* sebagai parameter yang dirancang. Perancangan rangkaian dengan nilai parameter  $t_{PLH}$  dan  $t_{PHL}$  yang sama untuk menghasilkan keluaran yang simetris dan menghasilkan nilai  $t_{PD}$  sebagai parameter dalam menganalisis nilai disipasi daya.

### 3.4 Proses Simulasi

Proses simulasi perancangan IC *shift register 8 bit masukan* menggunakan teknologi HCMOS memerlukan beberapa *software* yang mendukung, dimulai dari bagian perancangan rangkaian gerbang logika, rangkaian penyusun tiap-tiap gerbang logika, penggambaran model IC serta hasil-hasil simulasi yang ditunjukkan di *software*, dan simulasi pembebanan kapasitif untuk menguji kebenaran perancangan yang dilakukan. *Software* yang dipakai diantaranya adalah DSCH, *microwind*, dan *B<sup>2</sup>Spice*.

Penggunaan *software* DSCH untuk menggambar susunan gerbang logika penyusun *shift register* dan menguji kebenaran rangkaian *shift register 8 bit masukan*.



Dan selain itu, DSCH berguna untuk mengilustrasikan transistor PMOS dan NMOS penyusun masing-masing gerbang dan rangkaian keseluruhan *shift register* 8 bit masukan dalam bentuk node untuk mempermudah pengidentitasan dalam simulasi *B<sup>2</sup>Spice*.

Simulasi pembebanan kapasitif menggunakan *software B<sup>2</sup>Spice*. Hasil analisis dan perhitungan matematis perlu disimulasikan untuk mengetahui kebenaran perancangan yang telah dilakukan. Simulasi dilakukan untuk mengetahui VTC (*Voltage Transfer Characteristic*), *rise time*, *fall time*, dan *propagation delay*. Nilai-nilai yang didapatkan dari tampilan grafik simulasi kemudian akan dibandingkan dengan perhitungan matematis.

Untuk mengetahui kebenaran hasil perancangan perlu diketahui terlebih dahulu bagaimana tampilan grafik VTC pada hasil simulasi. Simulasi VTC dengan menggunakan *B<sup>2</sup>Spice* akan menghasilkan nilai-nilai  $V_{OH}$ ,  $V_{IL}$ ,  $V_{OL}$ , dan  $V_{IH}$ . Kondisi ideal untuk tampilan VTC adalah nilai  $V_{OH}$  semakin mendekati nilai tegangan masukan, dan untuk  $V_{OL}$  mendekati nilai tegangan *ground* (0V), serta selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  semakin kecil.

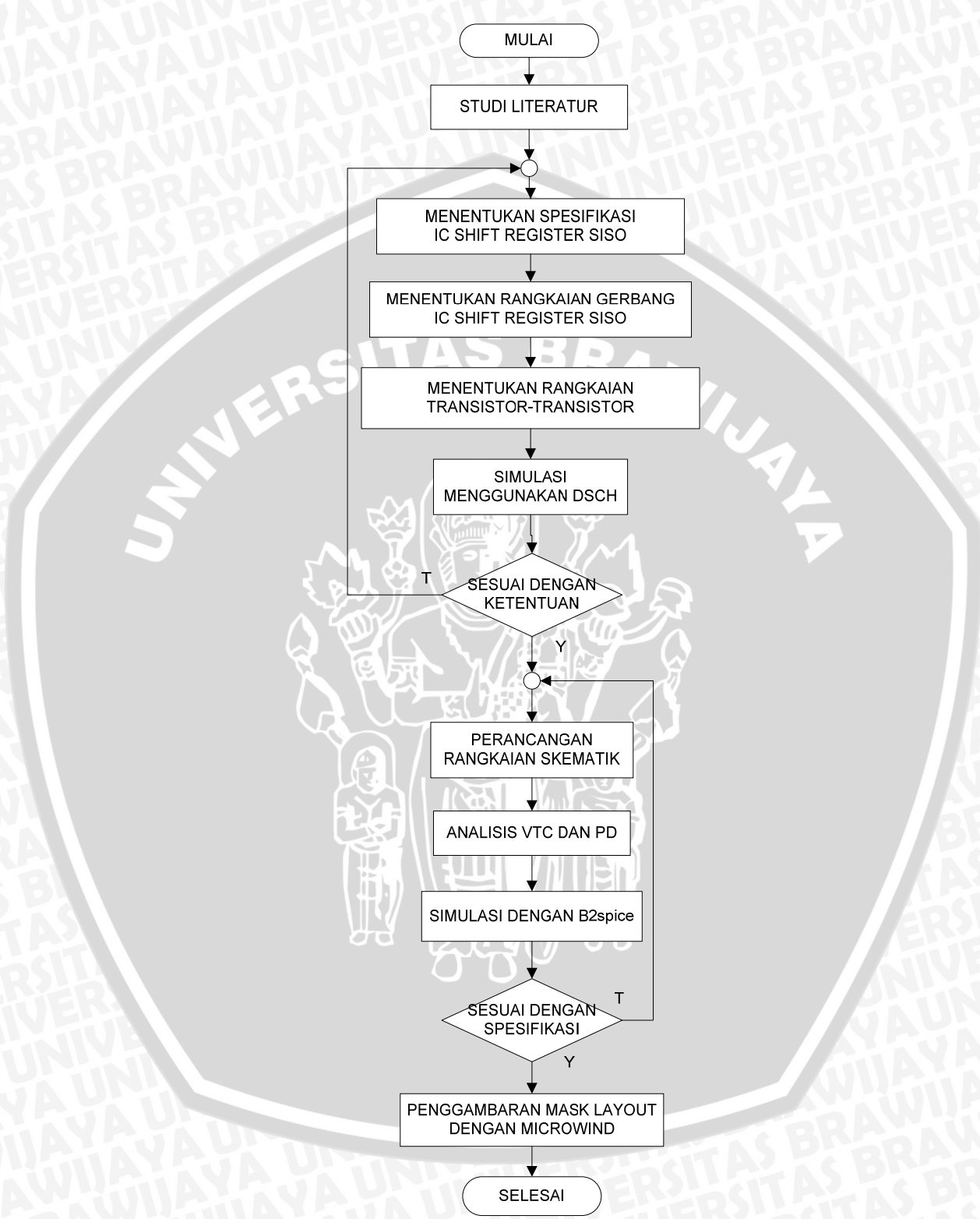
Proses simulasi selanjutnya adalah simulasi *Unit Step* yaitu rangkaian diberi masukan satu gelombang (*step*) sinyal pulsa. Pada sinyal keluaran akan diamati nilai *rise time* ( $t_r$ ), *fall time* ( $t_f$ ), *propagation delay* ( $t_{PLH}$  dan  $t_{PHL}$ ).

*Microwind* digunakan untuk penggambaran penyusun gerbang IC *shift register* 8 bit masukan dengan cara melakukan konversi dari susunan gerbang yang disusun di *software* DSCH ke bentuk susunan gambar *metal* dan bentuk akhir IC *shift register*. Dalam *microwind* juga dapat dilihat beberapa parameter-parameter seperti karakteristik tegangan, arus, dan frekuensi.

### 3.5 Proses Penggambaran Layout

Proses terakhir yang dilakukan adalah proses penggambaran *layout* setelah proses simulasi. Proses ini dilakukan dengan menggunakan program *Microwind2*. Penggambaran *layout* dilakukan bertujuan untuk menggambar *stick diagram* dan *layout* gerbang logika atau transistor.

Gambar 3.1 menunjukkan diagram alir secara keseluruhan, mulai dari studi literatur sampai pada penggambaran *mask layout* dengan menggunakan *software Microwind*.



Gambar 3.1. Diagram alir perancangan IC HCMOS SISO