

PENGANTAR

Alhamdulillah, puji dan syukur penulis panjatkan kehadirat Allah SWT yang telah memberikan rahmat dan hidayah-Nya, sehingga penulis dapat menyelesaikan skripsi yang berjudul “Implementasi Filter Digital FIR (*Finite Impulse Response*) pada *Field Programmable Gate Arrays (FPGA)*” dengan baik. Skripsi ini disusun sebagai salah satu syarat untuk mencapai gelar Sarjana Teknik dari Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya.

Penulis menyadari bahwa tanpa bantuan, bimbingan serta dorongan dari semua pihak, penyelesaian skripsi ini tidak mungkin bisa terwujud. Pada kesempatan ini penulis menyampaikan rasa terima kasih yang sebesar-besarnya kepada:

- Ayah dan Emak yang selalu memberikan nasehat, kasih sayang, dukungan dan semangat, serta telah banyak mendoakan kelancaran penulis hingga terselesaikannya skripsi ini,
- Ayuk Nunung dan Naufal yang selalu memberikan dukungan lahir batin dalam penyelesaian skripsi ini,
- Bapak DR. Ir. Sholeh Hadi Pramono, MS. sebagai Ketua Jurusan Teknik Elektro Universitas Brawijaya,
- Bapak Moch. Rif'an, ST.,MT. sebagai Dosen Pembimbing I atas segala bimbingan, pengarahan, ide, saran, motivasi serta FPGA yang telah dipinjamkan ke penulis,
- Bapak R. Arief Setyawan, ST.,MT. sebagai Dosen Pembimbing II atas segala bimbingan, dan motivasi yang telah diberikan,
- Ibu Ir. Nurussa'adah, MT. Sebagai Ketua Kelompok Dosen Keahlian Elektronika
- Seluruh dosen Teknik Elektro UB, khususnya konsentrasi elektronika, atas segala ilmu dan bimbingan yang diberikan selama menempuh pendidikan di kampus ini,
- Lina Dewanto atas segala dukungan semangat dan doanya,
- Teman – teman CONCORDE angkatan 2008, atas segala keceriaan, pelajaran berharga, dukungan yang diberikan selama menjalani masa kuliah mulai awal hingga akhir,
- Teman – teman *Assistant* Laboratorium Komputasi dan Jaringan, Maulani Candra, Ashri Lintang, Yan Felix, Firman, Krisna, Fahad, Soraya, Liza, Abdurrahman, dan Fahmy atas segala dukungan doa, motivasi dan semangatnya,

- Teman – teman B-Lovers, terutama saudara Fikri Aulia yang telah banyak membantu selama pengerjaan skripsi,
- Teman-teman ANBU : shidqi, yuko, tunggul, rifa, aar, dan fikri atas segala kebersamaannya dari awal semester
- Seluruh teman-teman, keluarga, sahabat serta semua pihak yang tidak mungkin untuk dicantumkan namanya satu-persatu, terima kasih banyak atas segala bentuk bantuan dan dukungannya.

Dalam penyusunan skripsi ini, penulis menyadari bahwa skripsi ini belumlah sempurna, karena keterbatasan ilmu dan kendala-kendala lain yang terjadi selama pengerjaan skripsi ini. Semoga tulisan ini dapat bermanfaat dan dapat digunakan untuk pengembangan lebih lanjut.

Malang, Juli 2013

Penulis



DAFTAR ISI

PENGANTAR i

DAFTAR ISI..... iii

DAFTAR GAMBAR..... v

DAFTAR TABEL vi

ABSTRAK vii

BAB I PENDAHULUAN..... 1

 1.1 Latar Belakang 1

 1.2 Permasalahan..... 1

 1.3 Batasan Masalah..... 1

 1.4 Tujuan..... 2

 1.5 Sistematika Penulisan..... 2

BAB II TINJAUAN PUSTAKA 3

 2.1 Filter 3

 2.2 Filter Digital 5

 2.3 Filter Digital Finite Impulse Response..... 5

 2.4 Metode Windowing..... 6

 2.5 Field Programmable Gate Arrays..... 7

 2.3.1 Arsitektur FPGA 8

 2.3.2 Atlys Circuit Board 9

BAB III METODE PENELITIAN 10

 3.1 Penentuan Spesifikasi Sistem..... 10

 3.2 Studi Literatur 10

 3.3 Perancangan Dan Implementasi Filter 11

 3.4 Pengujian sistem..... 15

BAB IV PERANCANGAN SISTEM 17

 4.1 Gambaran Kerja Sistem 17

 4.1.1 Input dan Output Sistem..... 17

 4.1.2 Codec AC97 LM4550 17

 4.2 Perancangan Filter FIR..... 22



4.3	Implementasi Filter FIR pada IC FPGA	32
4.3.1.	Pengaturan Relasi Antara I/O Sistem Dengan Kode Pin FPGA.....	32
4.3.2.	Synthesize.....	32
4.3.3.	Mapping, Placing, dan Routing.....	32
4.3.4.	Generate File Bitstream.....	33
4.3.5.	Download File Bitstream	33
BAB V ANALISIS DAN PENGUJIAN		34
5.1.	Pengujian <i>Device</i> FPGA.....	34
5.1.1.	Tujuan Pengujian <i>Device</i> FPGA	34
5.1.2.	Peralatan Pengujian <i>Device</i> FPGA	34
5.1.3.	Prosedur Pengujian <i>Device</i> FPGA	34
5.1.4.	Data Hasil Pengujian <i>Device</i> FPGA	34
5.1.5.	Analisis Hasil Pengujian <i>Device</i> FPGA.....	35
5.2.	Pengujian Output Filter FIR	36
5.2.1.	Tujuan Pengujian Output Filter FIR.....	36
5.2.2.	Peralatan Pengujian Output Filter FIR.....	36
5.2.3.	Prosedur Pengujian Output Filter FIR.....	36
5.2.4.	Data Hasil Pengujian Output Filter FIR.....	37
5.2.5.	Analisis Hasil Pengujian Output Filter FIR	38
BAB VI KESIMPULAN DAN SARAN		39
6.1.	Kesimpulan.....	39
6.2.	Saran	39
DAFTAR PUSTAKA.....		40
LAMPIRAN.....		41



DAFTAR GAMBAR

Gambar 2. 1 Kurva umum karakteristik lowpass filter.....	3
Gambar 2. 2 Kurva karakteristik <i>highpass filter</i> secara umum	4
Gambar 2. 3 Kurva karakteristik <i>bandpass filter</i> secara umum	4
Gambar 2. 4 Kurva karakteristik <i>notch filter</i>	5
Gambar 2. 5 Struktur Filter FIR	6
Gambar 2. 6 Bentuk fisik FPGA.....	7
Gambar 2. 7 Arsitektur FPGA	8
Gambar 2. 8 Atlys <i>circuit board</i>	9
Gambar 3. 1 Respon frekuensi ideal <i>lowpass filter</i>	11
Gambar 3. 2 Diagram Alir perhitungan rancangan filter FIR LPF dengan metode windowing	12
Gambar 3. 3 Spesifikasi Lowpass Filter	13
Gambar 3. 4 Blok diagram input AC-97.....	15
Gambar 3. 5 Blok diagram pengujian sinyal output	16
Gambar 4. 1 Blok diagram sistem pada Atlys	17
Gambar 4. 2 AC Link Bidirectional Audio Frame	19
Gambar 4. 3 AC Link Output Frame	19
Gambar 4. 4 Start of AC link Output Frame.....	20
Gambar 5. 1 Grafik perbandingan antara ketiga metode window	36
Gambar 5.2 Pengujian sinyal output.....	37
Gambar 5.3 Output filter metode Hamming window	37
Gambar 5.4 Output filter metode Blackman window	38
Gambar 5.5 Output filter metode Hanning window	38

DAFTAR TABEL

Tabel 4. 1 Input dan output dari LM4550.....18

Tabel 4. 2 Deskripsi slot 0 pada output frame20

Tabel 4. 3 Slot 1 Output Frame.....20

Tabel 4. 4 Slot 2 output frame21

Tabel 4. 5 Slot 3 & 4 Output Frame.....21

Tabel 4. 6 Koefisien *response* ideal filter, koefisien Hamming window dan hasil perkalian keduanya27

Tabel 4. 7 Koefisien *response* ideal filter, koefisien fungsi Blackman window dan hasil perkalian keduanya29

Tabel 4. 8 Koefisien *response* ideal filter, koefisien Hanning window dan hasil perkalian keduanya30

Tabel 5. 1 Penggunaan komponen FPGA pada metode Hamming Window.....35

Tabel 5. 2 Penggunaan komponen FPGA pada metode Blackman Window35

Tabel 5. 3 Penggunaan komponen FPGA pada metode Hanning Window35



ABSTRAK

Rizki Jumadil Putra, Jurusan Teknik Elektro, Fakultas Teknik Universitas Brawijaya, Juli 2013, **Implementasi Filter Digital FIR (Finite Impulse Response) pada Field Programmable Gate Arrays (FPGA)**, Dosen Moch. Rif'an, ST., MT. dan R. Arief Setyawan, ST.,MT.

Pengolahan sinyal secara digital telah diterapkan begitu luas. Dari peralatan instrumentasi dan control, peralatan musik, peralatan kesehatan dan peralatan lainnya. Salah satu bentuk dari pengolahan sinyal itu adalah filter digital. Filter digital merupakan suatu prosedur matematika atau algoritma yang mengolah sinyal masukan dan menghasilkan isyarat keluaran digital yang memiliki sifat tertentu sesuai tujuan filter. Filter digital dapat dibagi menjadi dua menurut tanggapan impulse filternya, yaitu filter digital FIR (*Finite Impulse Response*) dan filter digital IIR (*Infinite Impulse Response*).

Ada banyak sekali metode dalam mengimplementasikan filter digital salah satunya memakai FPGA. FPGA memiliki beberapa kelebihan diantara lain yaitu FPGA mempunyai kemampuan untuk menangani beban komputasi yang berat karena FPGA bekerja secara paralel. Kelebihan yang lain ialah FPGA bisa memadukan komponen-komponen yang lain yang dibutuhkan dalam sistem dan FPGA ini mempunyai daya yang sangat rendah.

Hasil pengujian pada FPGA yang telah terimplementasi Filter FIR menunjukkan ketika filter digital FIR diberi masukan suara musik ditambah dengan sinyal sinusoida sebesar 18KHz, maka sinyal 18KHz tersebut tetap diloloskan dan ketika filter digital FIR diberi input sinyal musik ditambah dengan sinyal sinusoida dengan frekuensi 22KHz, maka sinyal sinusoida tersebut akan teredam. Hal ini menunjukkan kinerja dari filter FIR, baik dengan metode Hamming window, Blackman window maupun Hanning window, filter akan meloloskan sinyal yang frekuensi nya lebih rendah dari frekuensi cut-off yaitu sebesar 20KHz, dan akan meredam frekuensi di atasnya.

Kata kunci : FPGA, Filter digital FIR, Hamming window, Blackman window, Hanning window

BAB I PENDAHULUAN

1.1 Latar Belakang

Pada masa sekarang ini, pengolahan sinyal secara digital telah diterapkan begitu luas. Dari peralatan instrumentasi dan control, peralatan musik, peralatan kesehatan dan peralatan lainnya. Salah satu bentuk dari pengolahan sinyal itu adalah filter digital. Filter digital secara umum berfungsi untuk menyaring sinyal-sinyal yang tidak diinginkan serta melewatkan sinyal yang diinginkan. Bila dibandingkan dengan filter analog, filter digital memiliki tingkat kepresisian yang tinggi, lebih stabil dan reabilitas yang tinggi. Ada beberapa jenis filter berdasarkan pita frekuensinya yaitu lowpass filter, highpass filter, bandpass filter dan notch filter.

Ada banyak sekali metode dalam mengimplementasikan filter digital ini seperti menggunakan *Personal Computer* (PC), *Digital Signal Processor* (DSP), ataupun menggunakan *Field Programmable Gate Arrays* (FPGA).

Diantara perangkat keras tersebut, FPGA memiliki beberapa kelebihan diantara lain yaitu FPGA mempunyai kemampuan untuk menangani beban komputasi yang berat karena FPGA bekerja secara paralel. Kelebihan yang lain ialah FPGA bisa memadukan komponen-komponen yang lain yang dibutuhkan dalam sistem dan FPGA ini mempunyai daya yang sangat rendah.

Berdasarkan keunggulan-keunggulan tersebut, maka penulis tertarik untuk melakukan penelitian tentang pengimplementasian filter digital FIR ke dalam perangkat keras FPGA ini.

1.2 Permasalahan

Berdasarkan latar belakang yang telah dikemukakan sebelumnya, dapat disusun rumusan masalah sebagai berikut:

- 1) Bagaimana kinerja filter digital FIR yang telah ditanam pada FPGA.

1.3 Batasan Masalah

Dengan mengacu pada permasalahan yang telah dirumuskan, maka hal-hal yang berkaitan dengan perancangan akan diberi batasan sebagai berikut:

- 1) Menggunakan FPGA Xilinx Spartan-6 LX45 pada Atlys™ Board
- 2) Menggunakan filter digital FIR (*Finite Impulse Response*) metode windowing

- 3) Menggunakan input dengan frekuensi 20 – 20.000 Hz
- 4) Menggunakan orde 48

1.4 Tujuan

Penelitian ini bertujuan untuk menganalisis kinerja filter digital FIR yang telah ditanam pada FPGA

1.5 Sistematika Penulisan

Penulisan penelitian ini terdiri atas enam bagian dengan sistematika sebagai berikut:

Bab I: Pendahuluan

Berisi tentang uraian latar belakang, tujuan, rumusan masalah, batasan masalah, manfaat serta sistematika penulisan.

Bab II: Tinjauan Pustaka

Membahas teori-teori yang mendukung dalam perencanaan dan pembuatan sistem.

Bab III: Metodologi Penelitian

Membahas tentang metode yang digunakan dalam penyusunan penelitian ini.

Bab IV: Perancangan

Berisi perancangan dan perealisasi sistem yang meliputi spesifikasi, perencanaan diagram blok, prinsip kerja dan realisasi sistem.

Bab V: Pengujian dan Analisis

Membahas tentang proses pengujian dan analisis data yang diperoleh dari sistem yang telah dibuat.

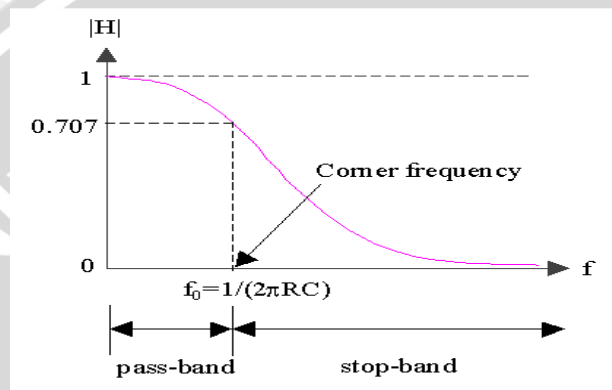
Bab VI: Kesimpulan dan Saran

Memuat kesimpulan dan saran-saran untuk pengembangan lebih lanjut sistem yang telah dibuat.

BAB II TINJAUAN PUSTAKA

2.1 Filter

Filter adalah suatu perangkat yang menghilangkan bagian dari sinyal yang tidak diinginkan. Filter di gunakan untuk mengekstraksi sinyal yang diinginkan dari sinyal noise. Pada era digital ini, filter digital telah diaplikasikan secara luas dalam teknologi komunikasi, suara, gambar, radar, luar angkasa, kedokteran dan sebagainya.



Gambar 2. 1 Kurva umum karakteristik lowpass filter
Sumber : www.cs.wright.edu

Ada beberapa jenis filter berdasarkan pita frekuensinya yaitu *lowpass filter*, *highpass filter*, *bandpass filter* dan *notch filter*. Sebuah lowpass filter membolehkan sinyal-sinyal yang masuk diteruskan (diloloskan) hanya dengan sedikit bahkan tidak ada pelemahan hingga frekuensi-sinyal tertentu, di atas frekuensi ini, filter akan menahan sinyal-sinyal masukan. Gambar 2.1 menunjukkan karakteristik *lowpass filter*.

Keterangan :

$\frac{V_o}{V_i}$ (dB) = *amplitude response* (tanggapan amplitudo), satuannya deci Bell

Fc = frekuensi cut-off

Berdasarkan definisi :

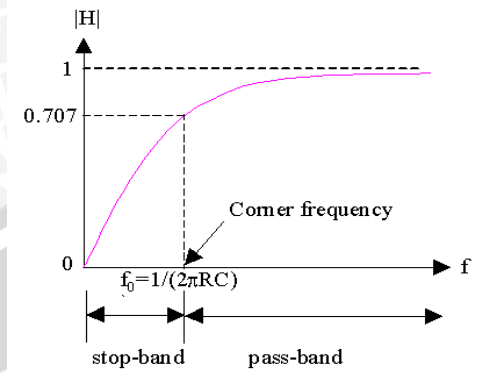
$$dB = 20 \log_{10} \frac{V_o}{V_i}$$

$V_o > V_i$; terjadi penguatan, nilai dB merupakan nilai positif

$V_o < V_i$; terjadi pelemahan (atenuasi), karena dB-nya menjadi negatif



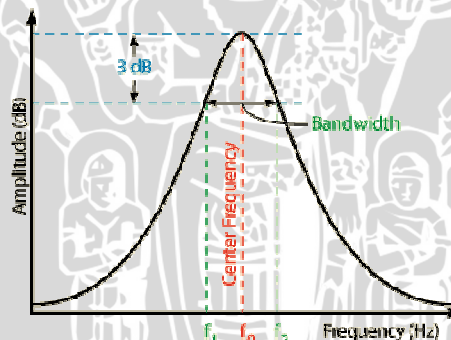
Sedangkan *highpass filter* adalah kebalikan dari *lowpass filter*. Filter ini akan menahan semua sinyal yang frekuensinya di bawah frequency cut-off serta akan meneruskan sinyal di atasnya. Gambar 2 menunjukkan kurva karakteristik *high pass filter*



Gambar 2. 2 Kurva karakteristik *highpass filter* secara umum

Sumber : www.cs.wright.edu

Jenis filter yang ketiga adalah *bandpass filter* yang mana filter ini akan meneruskan sinyal-sinyal dengan frekuensi antara (*median frequency*) dan menahan frekuensi di bawah dan di atas median tersebut. Gambar 3 menunjukkan kurva karakteristik bandpass filter



Gambar 2. 3 Kurva karakteristik *bandpass filter* secara umum

Sumber : www.rane.com

Keterangan gambar :

f_1 : *lower frequency* = frekuensi bawah

f_2 : *upper frequency* = frekuensi atas

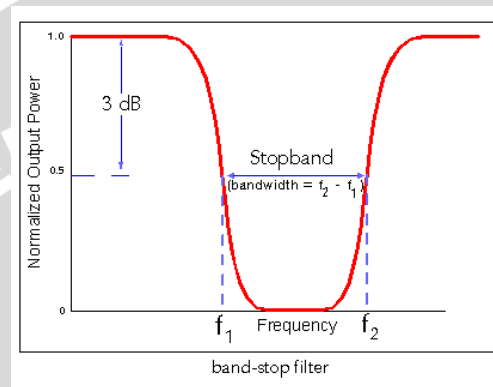
Untuk filter jenis ini dikenal istilah frekuensi tengah (*center frequency*) dan lebar pita (*bandwidth*), dengan pengertian sebagai berikut:

- Frekuensi tengah (f_0) merupakan titik munculnya penguatan tegangan paling besar (maksimum).

- Lebar pita (*bandwidth*) dari suatu penapis lolos-pita adalah perbedaan antara frekuensi atas dan bawah di bawah penguatan tegangannya (*voltage gain*) yaitu 0,707 kali dari nilai maksimum atau 3dB lebih rendah dari penguatan tegangan frekuensi tengah, atau

$$\text{Lebar pita (Bandwidth)} = f_2 - f_1 \quad (2)$$

Dan jenis filter yang terakhir adalah *notch filter* yaitu merupakan kebalikan dari penapis lolos-pita. Penapis ini akan menghalangi atau menahan sinyal-sinyal dengan frekuensi antara (median) dan akan meneruskan sinyal-sinyal dengan frekuensi di bawah dan di atas frekuensi antara. Gambar 4 menunjukkan karakteristik kurva *notch filter*



Gambar 2. 4 Kurva karakteristik *notch filter*
Sumber : www.atiss.org

2.2 Filter Digital

Filter digital merupakan suatu prosedur matematika atau algoritma yang mengolah sinyal masukan dan menghasilkan isyarat keluaran digital yang memiliki sifat tertentu sesuai tujuan filter. Filter digital dapat dibagi menjadi dua, yaitu filter digital FIR (*Finite Impulse Response*) dan filter digital IIR (*Infinite Impulse Response*). Pembagian ini berdasarkan pada tanggapan impulse filter tersebut. FIR memiliki tanggapan impulse yang panjangnya terbatas, sedangkan IIR tidak terbatas. FIR tidak memiliki pole, maka kestabilan dapat dijamin sedangkan pada IIR memiliki pole-pole sehingga lebih tidak stabil.

2.3 Filter Digital Finite Impulse Response

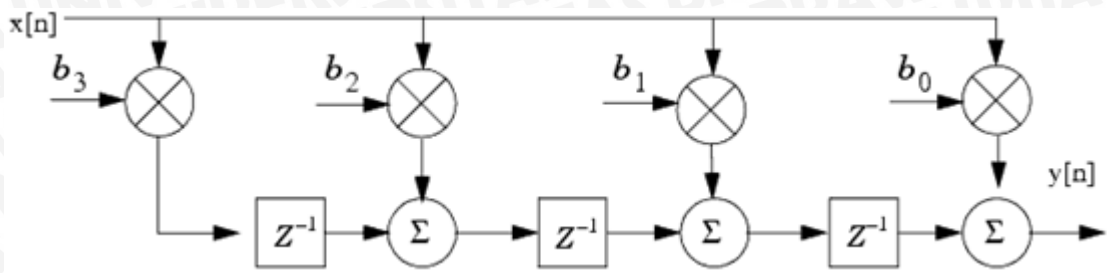
Secara matematis, persamaan filter FIR dapat ditulis :

$$y(n) = \sum_{k=0}^{N-1} h(k) x(n - k) \dots \dots \dots (3)$$

Dengan menggunakan transformasi Z, didapat fungsi alihnya sebagai berikut :

$$H(z) = \sum_{k=0}^{N-1} \binom{n}{k} h(k) Z^{-k} \dots \dots \dots (4)$$

Secara grafis, struktur filter FIR ditunjukkan dalam Gambar 2.5 :



Gambar 2.5 Struktur Filter FIR
Sumber : cp.literature.agilent.com

Ada beberapa metode untuk merancang tapis digital FIR. Salah satunya adalah metode penjendelaan. Dalam metode penjendelaan itu sendiri terdapat beberapa teknik yang tergantung pada jenis jendela yang digunakan. Salah satu metode penjendelaan yang sering digunakan adalah penjendelaan hamming.

2.4 Metode Windowing

Ada beberapa pilihan metode dalam merancang filter digital FIR. Salah satunya metode windowing. Ide dasar metode windowing adalah untuk memperoleh respon frekuensi ideal filter dan menghitung respon impulsenya. Masalahnya respon *impulse* suatu filter panjangnya tak hingga (*infinite*), berlawanan dengan filter yang diinginkan. Untuk mengatasinya dilakukan pemotongan respon *impulse*, namun ternyata mengakibatkan *ripple* berlebihan pada *passband* dan *stopband attenuation* yang buruk. Guna memperbaiki respon filter maka diterapkan teknik *windowing*. Bila dimisalkan $w(n)$ adalah fungsi *window* dan $h_d(n)$ adalah respon impulse dari filter ideal, maka respon impulse dari filter yang sebenarnya (aktual) dapat dirumuskan sebagai :

$$h(n) = h_d(n)w(n)$$

Ada beberapa fungsi window yang tersedia. Masing-masing memiliki karakteristik yang berbeda dalam domain waktu dan domain frekuensi, yaitu :

1. *Rectangular window*. Ini adalah fungsi windowing yang paling sederhana. Fungsi ini didefinisikan sebagai :

$$w(n) = \begin{cases} 1, & 0 \leq n \leq M - 1 \\ 0, & \text{lainnya} \end{cases}$$

2. *Hanning Window*

$$w(n) = \begin{cases} 0.5 \left[1 - \cos \left(\frac{2\pi n}{M-1} \right) \right], & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

3. Hamming Window

$$w(n) = \begin{cases} 0.54 - 0.46 \cos \left(\frac{2\pi n}{M-1} \right), & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

4. Blackman Window

$$w(n) = \begin{cases} 0.42 - 0.5 \cos \left(\frac{2\pi n}{M-1} \right) + 0.08 \cos \frac{4\pi n}{M-1}, & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

2.5 Field Programmable Gate Arrays

FPGA adalah sebuah intergrated circuit yang didesain untuk dapat dikonfigurasi oleh user atau designer setelah keluar dari produksi. Pengkonfigurasi FPGA pada umumnya adalah spesifik menggunakan deskripsi bahasa hardware atau HDL (*Hardware Description Language*). FPGA dapat digunakan untuk diimplementasikan pada semua fungsi logika yang terdapat atau yang dapat dilakukan oleh ASIC (*Application Specification Integrated Circuit* atau IC yang dibuat untuk diciptakan secara khusus hanya untuk fungsi yang spesifik). Kemampuan FPGA dalam pemrograman ulang setelah *shipping* dan kebutuhan biaya yang relative lebih kecil dibanding ASIC, menyebabkan FPGA merupakan sebuah keuntungan pada bermacam-macam aplikasi. Gambar 6 menunjukkan contoh fisik sebuah IC FPGA.

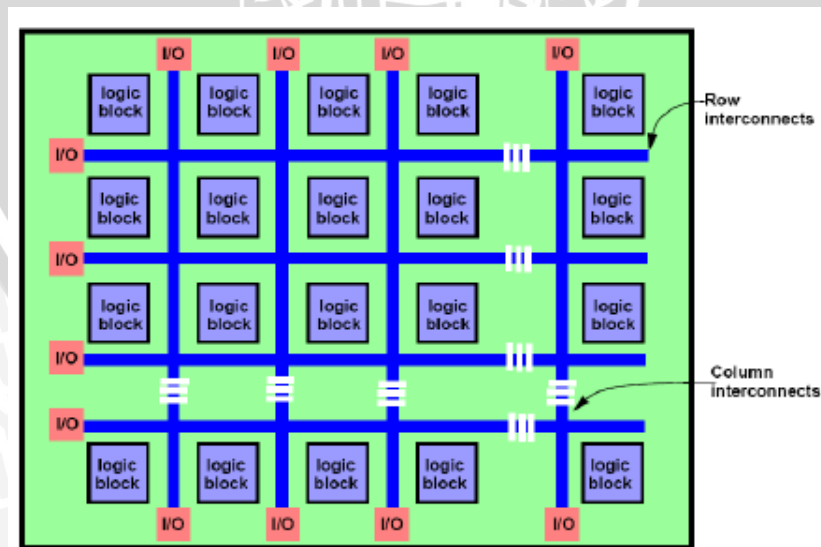


Gambar 2. 6 Bentuk fisik FPGA
Sumber : Altera Stratix IV EP4SGX230 FPGA on a PCB

FPGA terdiri atas kumpulan komponen logika yang dapat diprogram ulang yang disebut dengan “logic block”, dan sebuah hirarki reconfigurable interconnect (koneksi jalur-jalur atau penjaluran yang dapat diatur-atur hubungannya antara jalur satu dan yang lain) sehingga memungkinkan adanya hubungan antar blok yang saling interkoneksi (wired together). Setiap logic block, dapat dikonfigurasi menjadi fungsi kombinasional yang kompleks, atau hanya menjadi sebuah gerbang sederhana (seperti gerbang AND dan XOR). Pada sebagian besar FPGA, dalam setiap logic block terdapat juga elemen-elemen memori seperti flip-flop atau memori blok yang lebih kompleks.

2.3.1 Arsitektur FPGA

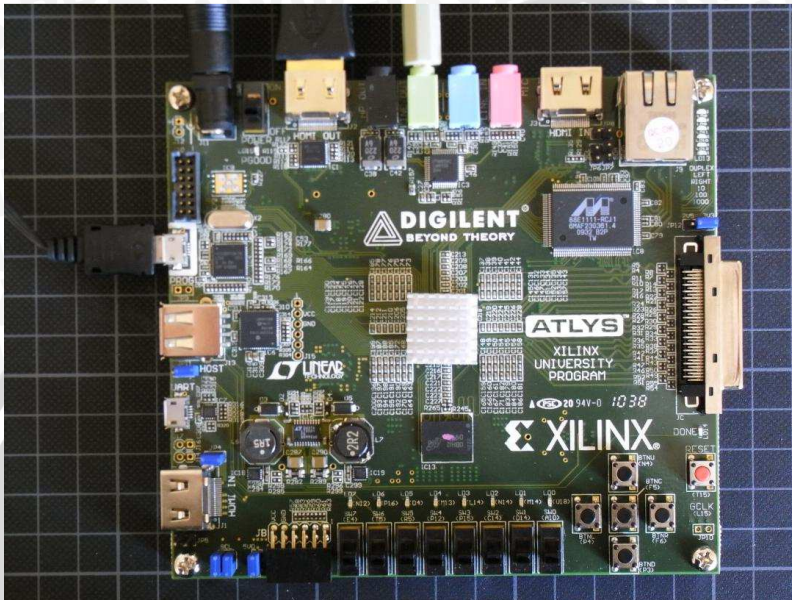
FPGA terdiri atas *Configurable Logic Block (CLB)*, *Input/Output Blocks (IOB)* dan interkoneksi. CLB merupakan blok untuk membangun komponen-komponen combinational/sequential. Untuk dapat membentuk CLB dibutuhkan truth table dalam membangun jalur logika. IOB merupakan blok yang digunakan untuk mengirimkan sinyal keluar dari chip dan sekaligus membaca sinyal yang masuk ke dalam chip. Interkoneksi merupakan penghubung yang bisa di atur sedemikian rupa untuk menghubungkan antara CLB dengan IOB secara horisontal maupun secara vertikal, serta dapat mengeluarkan fan-out (kemampuan untuk mengirimkan data ke banyak sumber untuk dijadikan input sekaligus) untuk multiple output. Arsitektur FPGA pada umumnya ditunjukkan dalam Gambar 2.7, tetapi masing-masing vendor memiliki cara tersendiri dalam mengatur isi dari struktur masing-masing blok.



Gambar 2. 7 Arsitektur FPGA
Sumber : CERN Accelerator School

2.3.2 Atlys Circuit Board

Atlys adalah *circuit board* yang dibuat oleh Digilent yang berbasis pada FPGA Xilinx Spartan-6 LX45. Pada *circuit board* ini terdapat beberapa *peripheral* yaitu Gbit Ethernet, HDMI video, 128 Mbyte 16-bit DDR2 *memory* dan USB serta *audio port*. Atlys cocok dengan segala macam software CAD dari Xilinx. Gambar 8 menunjukkan Atlys *circuit board*



Gambar 2. 8 Atlys *circuit board*
Sumber : stromeko.net

BAB III METODE PENELITIAN

Penyusunan penelitian ini berdasarkan pada implementasi suatu algoritma filter digital ke suatu perangkat keras yaitu FPGA serta telah ditentukan spesifikasi filter digital itu sendiri.

Langkah-langkah yang perlu dilakukan untuk merealisasikan alat yang akan dibuat adalah sebagai berikut:

3.1 Penentuan Spesifikasi Sistem

Penentuan spesifikasi dari alat ini, bertujuan agar dapat dibuat sesuai yang diinginkan dan dapat bekerja dengan efektif serta efisien. Alat yang dirancang memiliki spesifikasi sebagai berikut:

- 1) Jenis filter yang digunakan ialah lowpass filter FIR
- 2) Sinyal masukan berfrekuensi antara 20-20.000 Hz
- 3) Metode yang di gunakan dalam merancang filter digital adalah metode *Hamming window*, *Blackman window*, dan *Hanning window*.

3.2 Studi Literatur

Dalam penyusunan karya tulis ini, pengumpulan data dilakukan dengan melakukan studi literatur (*library research*), penelusuran informasi digital, dan wawancara narasumber dengan sasaran tinjauan antara lain:

- 1) Informasi internet
- 2) Pustaka-pustaka referensi
- 3) Pustaka penunjang.

Studi literatur yang dilakukan bertujuan untuk mengkaji hal-hal yang berhubungan dengan teori-teori yang mendukung dalam perencanaan dan perealisasiian alat. Adapun teori-teori yang dikaji adalah sebagai berikut:

- 1) Teori mengenai pengolahan sinyal digital terutama tentang filter digital
- 2) Teori tentang *Field Programmable Gate Arrays (FPGA)*
- 3) Bahasa deskripsi perangkat keras atau yang disebut VHDL .

3.3 Perancangan Dan Implementasi Filter

Setelah melakukan studi literatur, dilakukan perancangan alat yang terdiri dari :

1). Perancangan Filter Digital FIR

Proses pendesainan filter meliputi identifikasi koefisien-koefisien yang bersesuaian dengan respon frekuensi spesifikasi untuk sistem. Koefisien-koefisien menentukan respon dari filter. Output filter FIR $y[k]$ dapat diekspresikan secara matematis seperti terlihat pada Persamaan (3.1) :

$$y[k] = \sum_{n=0}^{M-1} h[n]x[k - n] \dots\dots\dots(3.1)$$

Keterangan :

- M : panjang filter digital
- $h[n]$: response impulse filter / koefisien filter
- $x[k]$: sampel sinyal masukan
- $x[k-n]$: sampel sinyal masukan yang ditahan dalam TDL
- $y[k]$: output filter digital

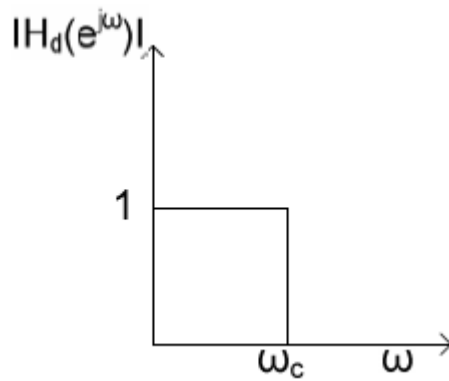
Suatu lowpass filter ideal memiliki response frekuensi sebagai berikut :

$$H_d(e^{j\omega}) = \begin{cases} e^{j\omega} & 0 \leq \omega \leq \omega_c \\ 0 & \omega_c \leq \omega \leq \pi \end{cases} \dots\dots\dots(3.2)$$

Keterangan :

- $H_d(e^{j\omega})$: response frekuensi ideal lowpass filter
- ω_c : frekuensi cutoff dalam radian

Gambar 3.1 menunjukkan respon frekuensi ideal lowpass filter



Gambar 3. 1 Respon frekuensi ideal lowpass filter

Sedangkan response frekuensi aktual filter diperoleh berdasarkan Persamaan (3.3) berikut :

$$H(e^{j\omega}) = \left[\sum_{n=0}^{(M-1)/2} a(n) \cos n\omega \right] e^{-j\omega((M-1)/2)} \dots\dots\dots(3.3)$$



Dimana sekuen $a(n)$ diperoleh dari $h(n)$ sebagai:

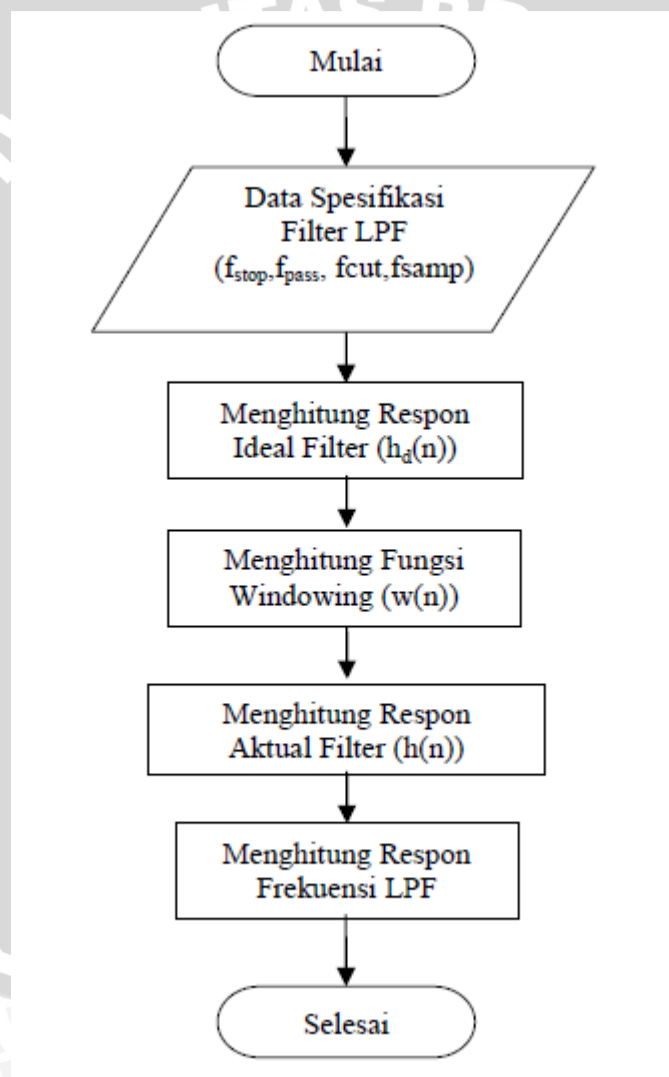
$$a(0) = \left(\frac{M-1}{2}\right); \dots\dots\dots (3.4)$$

$$a(n) = 2h\left(\frac{M-1}{2} - n\right), \quad 1 \leq n \leq \frac{M-1}{2} \dots\dots\dots (3.5)$$

Dari persamaan 3.2 magnitude dari response frekuensi aktual filter dapat dirumuskan sebagai :

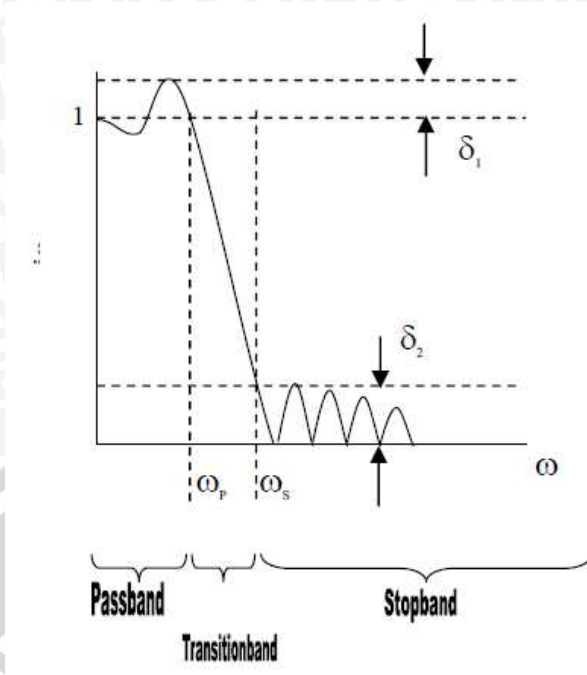
$$|H(ej\omega)| = \left[\sum_{n=0}^{(M-1)/2} a(n) \cos n\omega \right] \dots\dots\dots (3.6)$$

Dalam perancangan filter digital FIR ini ada beberapa tahapan yang di lakukan seperti yang di tunjukkan oleh gambar 3.2 berikut ini :



Gambar 3. 2 Diagram Alir perhitungan rancangan filter FIR LPF dengan metode windowing

- a) Menentukan data spesifikasi filter yaitu frekuensi cutoff (f_c), frekuensi pass (f_{pass}), frekuensi stop (f_{stop}) dan frekuensi sampling (f_{samp}). Gambar 3.2 menunjukkan spesifikasi lowpass filter



Gambar 3. 3 Spesifikasi Lowpass Filter

Untuk perancangan filter menggunakan metode windowing, perhitungan panjang filter tiap-tiap window berbeda dan dipengaruhi oleh transitionband (transitionband width) yang akan dirancang.

- b) Menghitung respon ideal filter ($h_d(n)$)

Response impulse dari filter dengan panjang tak terbatas (infinite) yaitu :

$$h_d(n) = \frac{\sin [\omega_c(n-\alpha)]}{\pi(n-\alpha)} \dots\dots\dots (3.7)$$

Untuk mendapatkan filter FIR dengan fasa linear dan kausal yang memiliki panjang M, maka persamaan 3.7 menjadi :

$$H_d(n) = \begin{cases} H_d(n) & 0 \leq n \leq M-1 \\ 0, & \text{lainnya} \end{cases} \quad (3.8)$$

Untuk $(n-\alpha)=0$ maka $h_d(n) = \frac{\omega_c}{\pi}$, dengan $\omega_c = 2\pi \frac{f_c}{f_{samp}}$ dan

$$\alpha = \frac{M-1}{2} .$$

- c) Menghitung fungsi windowing

Ide dasar metode windowing adalah untuk memperoleh respon frekuensi ideal filter dan menghitung respon impulsenya. Masalahnya respon impulse suatu filter panjangnya tidak terbatas (infinite), berlawanan dengan filter yang diinginkan. Untuk mengatasinya dilakukan pemotongan respon impulse, namun ternyata mengakibatkan ripple berlebihan pada passband dan stopband



attenuation yang buruk. Guna memperbaiki respon filter maka diterapkan teknik windowing. Bila di misalkan $w(n)$ adalah fungsi window dan $h_d(n)$ adalah respon impulse dari filter ideal, maka respon impulse dari filter sebenarnya (aktual) dapat dirumuskan sebagai :

$$H(n) = h_d(n)w(n) \dots\dots\dots (3.9)$$

Untuk metode Hamming window :

$$w(n) = \begin{cases} 0.54 - 0.46 \cos\left(\frac{2\pi n}{M-1}\right), & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Untuk metode Blackman window :

$$w(n) = \begin{cases} 0.42 - 0.5 \cos\left(\frac{2\pi n}{M-1}\right) + 0.08 \cos\frac{4\pi n}{M-1}, & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Untuk metode Hanning window :

$$w(n) = \begin{cases} 0.5 \left[1 - \cos\left(\frac{2\pi n}{M-1}\right)\right], & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Sedangkan untuk menentukan panjang filter (M) dilakukan dengan menggunakan suatu pendekatan nilai transitionband width ($\Delta\omega$) yang besarnya berbeda- untuk tiap window. Untuk hamming window

$$\Delta\omega = \frac{8\pi}{M}$$

Sehingga

$$M = \frac{8\pi}{\Delta\omega}$$

Dimana $\Delta\omega = |\omega_s - \omega_p|$, $\omega_s = 2\pi \frac{fstop}{fsamp}$, $\omega_p = 2\pi \frac{fpass}{fsamp}$

2). Implementasi Filter ke FPGA

Setelah filter dirancang, maka dibuatlah listing program. Listing program ini terdiri dari listing program interface board Atlys dengan masukan dan keluaran, serta listing program filter itu sendiri.

3.4 Pengujian sistem

Untuk menganalisis algoritma filter yang diimplementasikan dilakukan beberapa pengujian. Pengujian alat dilakukan sebagai berikut:

1) Pengujian FPGA

FPGA diujikan dengan masukan berupa sinyal suara yang di tambah dengan suatu sinyal yang tidak diinginkan yang masuk melalui AC-97 audio port pada Atlys™ Board. Gambar 3.4 menunjukkan blok diagram input AC-97.

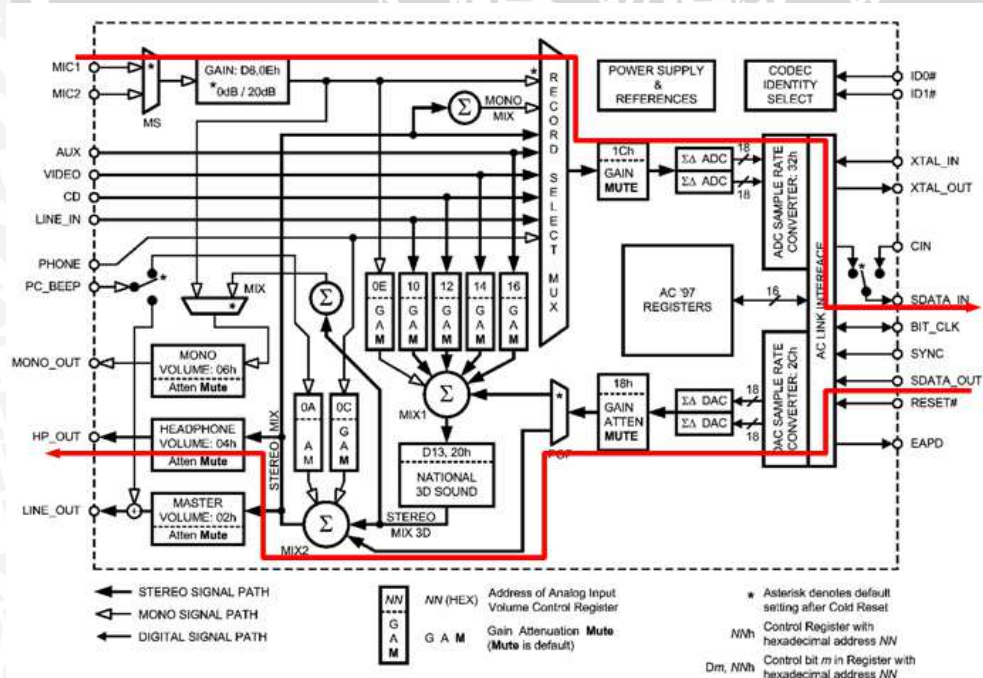
Bagian yang diuji adalah

a) Device FPGA

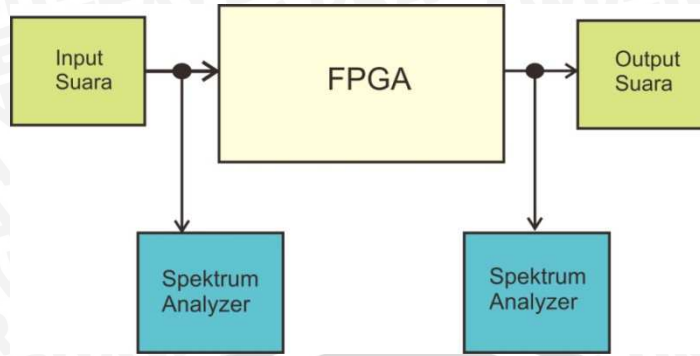
Melihat seberapa banyak penggunaan *resource* yang ada di FPGA. Ini akan menunjukkan jumlah komponen FPGA yang telah di gunakan dalam pemrosesan sinyal. Ada 6 komponen FPGA yang di lihat : Slice registers, Slice LUT, bonded IOB, MUXCY, BUFG/BUFGMUX, DSP48A1.

b) Sinyal output

Menguji sinyal output dari FPGA dan dibandingkan dengan sinyal input. Sinyal output diharapkan dapat meredam frekuensi yang tidak diinginkan. Gambar 3.5 menunjukkan blok diagram dari pengujian sinyal output.



Gambar 3. 4 Blok diagram input AC-97.



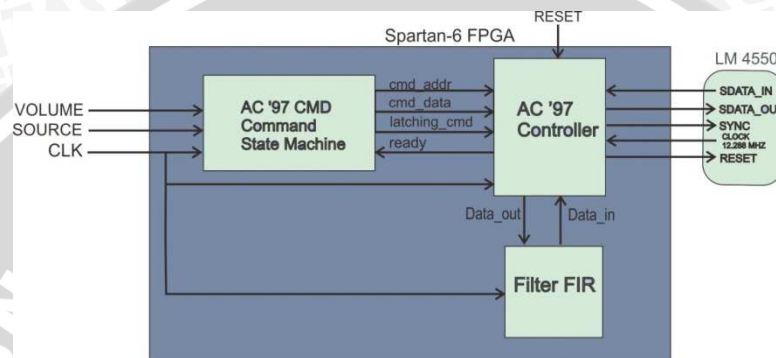
Gambar 3.5 Blok diagram pengujian sinyal output



BAB IV PERANCANGAN SISTEM

4.1 Gambaran Kerja Sistem

Sistem terdiri atas beberapa blok sistem yaitu AC'97 command,, AC'97 Controller, dan blok pemrosesan filter yang menggunakan metode FIR (*Finite Impulse Response*). Berikut gambar 4.1 menunjukkan diagram blok sistem.



Gambar 4. 1 Blok diagram sistem pada Atlys

4.1.1 Input dan Output Sistem

Sistem mempunyai dua input, input pertama dari Codec AC97 LM4550 dan yang kedua dari switch board. I/O dari codec mempunyai 5 port yaitu SDATA_IN, SDATA_OUT, SYNC, BIT_CLOCK dan RESET. Berikut Tabel 4.1 menunjukkan penjelasan masing-masing port. Sedangkan input yang kedua berasal dari switch, yang disediakan oleh board Atlys, berfungsi sebagai pengatur volume output dan pemilih sumber input.

4.1.2.1 AC Link Serial Interface Protocol

AC97 merupakan antarmuka serial, yaitu data di kirimkan dari dan ke codec sejumlah satu bit dalam satu waktu. Pada setiap cycle dari AC97 bit clock, satu bit data dikirim dari controller (FPGA) ke codec melalui jalur SDATA_OUT, dan satu bit data dikirim dari codec ke FPGA melalui jalur SDATA_IN.

4.1.2 Codec AC97 LM4550

Aliran data konstan yang melewati antara FPGA dan codec AC97 dibagi menjadi frame-frame. BIT_CLOCK dihasilkan oleh codec dengan frekuensi 12.288 MHz, karena dalam satu frame ada 256 bit sehingga ada 48.000 frame/detik yang dikirimkan. Setiap frame yang dikirimkan ke codec menyediakan satu sample 20 bit untuk setiap DAC pada codec, dan setiap frame yang dikirimkan oleh codec menyediakan satu sample 20 bit pada setiap codec

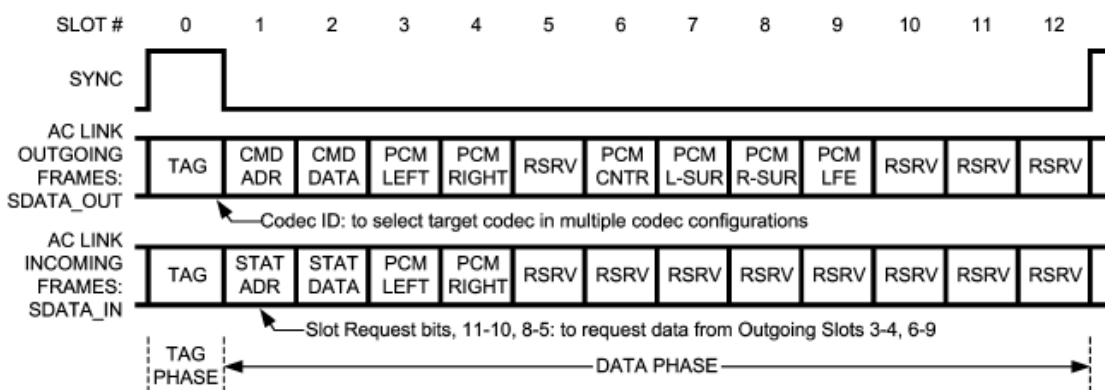
Nama sinyal	Pin FPGA	Fungsi Pin
BIT_CLOCK	L13	adalah serial clock output sebesar 12.288 MHz, yang diambil dari setengah frekuensi 18ontrol input (XTAL_IN) sebesar 24.576 MHz.
SDATA_IN	T18	Serial Data In terdiri dari frame input AC97 link yang berisi konfigurasi dan data PCM audio. SDATA_IN data di picu oleh tepi naik daru BIT_CLOCK.
SDATA_OUT	N16	Serial Data Out dari FPGA. Data SDATA_OUT terdiri 18ontr frame AC97 yang berisi konfigurasi dan data audio DAC. SDATA_OUT di sampling oleh LM4550 pada tepi turun dari BIT_CLOCK.
SYNC	U17	Penanda frame AC link yang menandakan batas frame AC link. Setiap frame berlangsung selama 256 period dari BIT_CLOCK. SYNC biasanya berupa sebuah pulsa positif 48 kHz dengan duty cycle 6.25% (16/256). SYNC di sampling pada tepi naik dari BIT_CLOCK, dan sampling pertama dari SYNC mendefinisikan tanda mulai dari frame AC link yang baru. Jika pulsa SYNC terjadi pada periode 255 BIT_CLOCK pada frame start, maka akan di hiraukan. SYNC juga berperan sebagai Warm Reset yang digunakan untuk membersihkan status power down pada codec interface AC link.
RESET	T17	Berfungsi sebagai Cold Reset yaitu sinyal yang aktif pada logika rendah yang mengakibatkan reset secara hardware yang mengembalikan 18ontrol register dan semua sirkuit internal menjadi kondisi default.

Tabel 4. 1 Input dan output dari LM4550

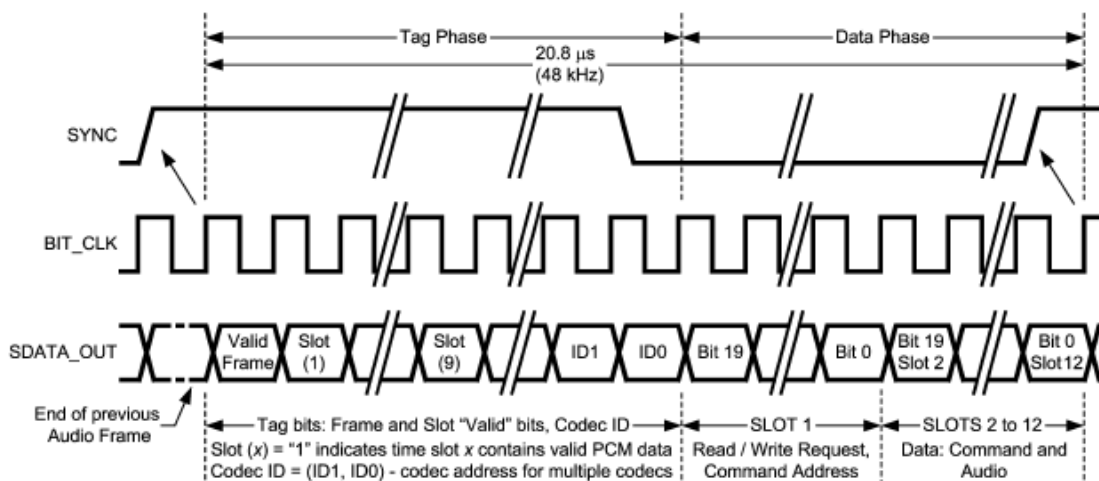
ADC. Satu frame terbagi menjadi 12 slot yang setiap slotnya terdiri dari 20 bit ditambah satu slot pengenalan yang berisi 16 bit, berfungsi sebagai header frame.

4.1.2.1a AC Link Output Frame

AC Link Output frame membawa control dan data PCM ke register control dan stereo DAC. Output frame di bawa pada SDATA_OUT yang merupakan output dari AC '97 Digital Controller dan input ke LM4550 codec. Seperti yang ditunjukkan gambar 4.2 dan gambar 4.3, Output frame di susun dari 13 time slot: satu Tag Slot di ikuti dengan dua belas data slot



Gambar 4.2 AC Link Bidirectional Audio Frame



Gambar 4.3 AC Link Output Frame

- SDATA_OUT : Slot 0 –Tag Phase

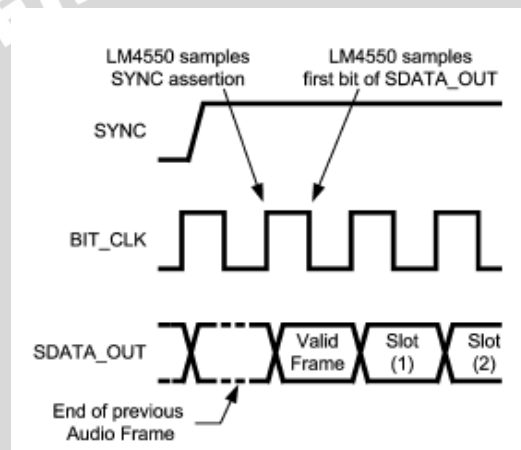
Berikut tabel Slot pengenalan atau Slot 0 untuk output frame

Bit	Deskripsi	Keterangan
15	Valid frame	1 = menandakan frame tersebut valid

14	Control register address	1 = menandakan Control Address pada slot 1 valid
13	Control register data	1 = menandakan Control Data pada slot 2 valid
12	Left DAC data pada Slot 3	1 = menandakan PCM data pada slot 3 valid
11	Right DAC data pada slot 4	1 = menandakan PCM data pada slot 4 valid
10:0		Slot 10 sampai satu tidak digunakan dalam AC link mode primary

Tabel 4. 2 Deskripsi slot 0 pada output frame

Seperti yang ditunjukkan oleh gambar 4.4, awal dari setiap frame ditandai oleh picu tepi naik dari sinyal SYNC. Sinyal SYNC akan berubah menjadi logika tinggi satu cycle saat sebelum bit pertama frame dan akan turun menjadi logika rendah pada saat bersamaan dengan bit terakhir tag field terkirim.



Gambar 4. 4 Start of AC link Output Frame

Slot selanjutnya adalah slot 1 yaitu slot status address atau slot status request yang berisi 7-bit alamat codec control atau status register

- SDATA_OUT : Slot 1 –Read/Write, Control address

Bit	Deskripsi	Keterangan
19	Read/Write	1 = Read 0 = Write
18:12	Register address	Mengidentifikasi status/command register untuk read/write
11:0	Reserved	Controller di set 0

Tabel 4. 5 Slot 1 Output Frame

- SDATA_OUT : Slot 2 – Control data

Slot 2 di gunakan untuk memancarkan 16-bit control data ke LM4550 pada waktu mode 'write'. 4 bit terakhir harus terisi dengan nol oleh AC '97 controller. Jika akses operasi adalah register 'read', maka seluruh slot akan berisi nol.

Bit	Deskripsi	Keterangan
19:4	Control Register Write Data	Controller bernilai '0' jika operasi "read"
3:0	Reserved	di set 0

Tabel 4. 6 Slot 2 output frame

- SDATA_OUT : Slot 3 & 4 – PCM Playback left/right Channel

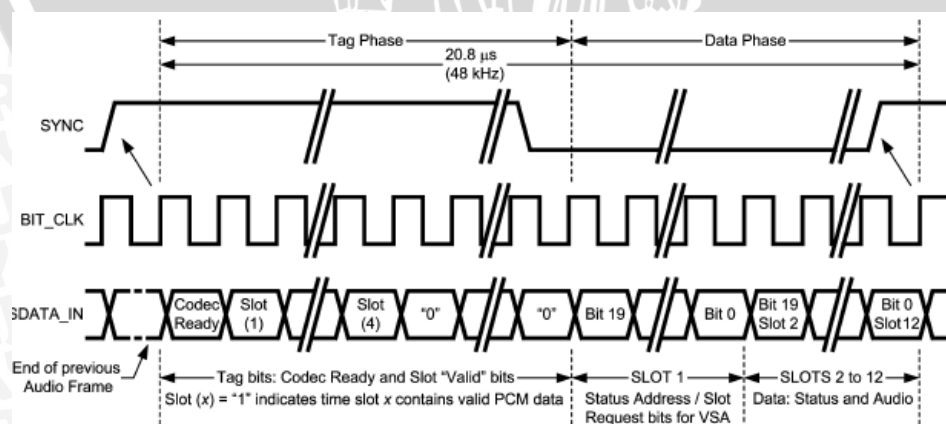
Slot 3 dan 4 digunakan untuk memancarkan 20 bit PCM data ke channel kiri dan kanan, saat codec pada primary mode.

Bit	Deskripsi	Keterangan
19:0	PCM Audio Data (Left/right channels)	Slot digunakan untuk mengalirkan data ke DAC ketika codec pada Primary Mode.

Tabel 4. 7 Slot 3 & 4 Output Frame

4.1.2.1b AC Link Input Frame

AC link input frame berisi status dan data PCM dari LM4550 control register dan stereo ADC. Frame input dibawa pada sinyal SDATA_IN yang mana merupakan input ke AC '97 Digital Audio Controller dan output dari LM4550 codec. Seperti yang ditunjukkan oleh gambar 4.5, input frame tersusun dari 13 slot: satu Tag Slot di ikuti oleh dua belas data slot

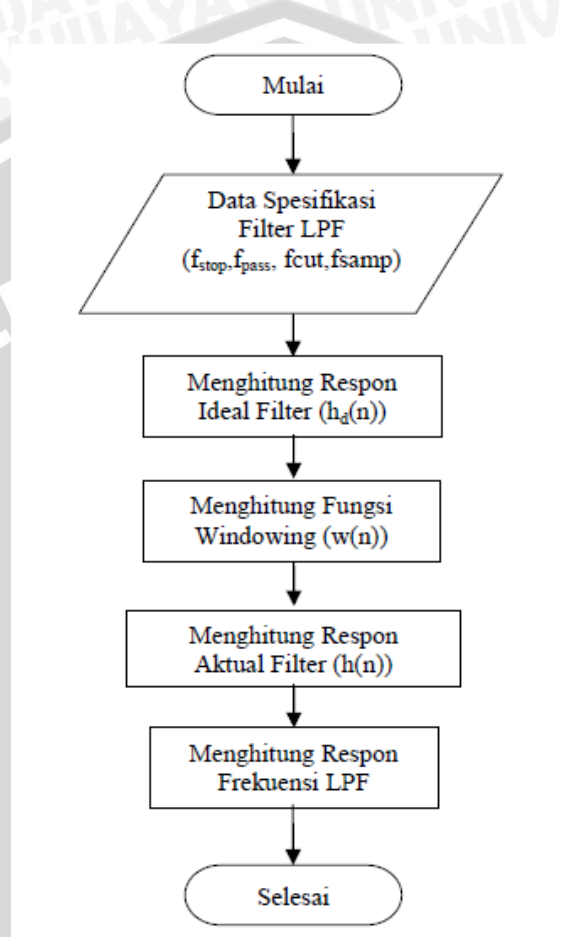


Gambar 4. 5 AC Link Input Frame

4.2 Perancangan Filter FIR

Perancangan filter FIR dimulai dari menentukan data-data spesifikasi yang diperlukan. Setelah menentukan data spesifikasi, selanjutnya adalah menghitung Respon Ideal Filter ($h_d(n)$)

Diagram alir perancangan filter digital FIR dapat dilihat pada gambar 4.6



Gambar 4. 6 Diagram alir perancangan filter digital FIR

4.2.3a Penentuan Spesifikasi Filter FIR

Dalam menentukan response frekuensi ditentukan terlebih dahulu spesifikasi. Ada 4 spesifikasi yang ditentukan dalam merancang sebuah filter digital, di antara nya adalah, frekuensi cutoff (f_c), frekuensi pass (f_{pass}), frekuensi stop (f_{stop}) dan frekuensi sampling (f_{samp}). Pada perancangan filter digital FIR ini penulis menggunakan lowpass filter dengan metode Hamming window, Hanning window dan Blackman window. Frekuensi cutoff (F_c) di dapat dari frekuensi batas pendengaran manusia yaitu 20.000 Hz, sedangkan frekuensi sampling (F_s) di dapat pada spesifikasi audio AC97 yang di sediakan oleh board AtlysTM yaitu sebesar 48.000 Hz. Sehingga didapat frekuensi cut-off dalam radian (ω_c) yaitu :

4.2.3b Penghitungan Respon Ideal Filter

$$h_d(n) = \frac{\sin[\omega_c(n-\alpha)]}{\pi(n-\alpha)}$$

$$= \frac{\sin\left[\frac{40}{48}\pi(n-47,5)\right]}{\pi(n-23,5)}$$

Untuk $n = 0$

$$h_d(0) = \frac{\sin\left[\frac{40}{48}\pi(0-47,5)\right]}{\pi(0-23,5)}$$

$$= -0,0130835633969386$$

Untuk $n=1$

$$h_d(1) = \frac{\sin\left[\frac{40}{48}\pi(1-47,5)\right]}{\pi(1-23,5)}$$

$$= 0,0100035146239678$$

Untuk $n=2$

$$h_d(2) = \frac{\sin\left[\frac{40}{48}\pi(2-47,5)\right]}{\pi(2-23,5)}$$

$$= -0,00383184468785022$$

Untuk $n=3$

$$h_d(3) = \frac{\sin\left[\frac{40}{48}\pi(3-47,5)\right]}{\pi(3-23,5)}$$

$$= -0,00401876394091618$$

Untuk $n=4$

$$h_d(4) = \frac{\sin\left[\frac{40}{48}\pi(4-47,5)\right]}{\pi(4-23,5)}$$

$$= 0,0115425168738091$$

Dengan memakai rumus yang sama maka di dapat data sampai $n=95$, seperti yang telah terdata pada tabel 4.1.

4.2.3c Penghitungan Fungsi Windowing

Penulis menggunakan 3 metode Windowing, diantaranya adalah :

1. Metode Hamming Window

$$w(n) = \begin{cases} 0.54 - 0.46 \cos\left(\frac{2\pi n}{M-1}\right), & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Untuk $n=0$

$$\begin{aligned} w(0) &= 0.54 - 0.46 \cos\left(\frac{2\pi \cdot 0}{M-1}\right) \\ &= 0,08 \end{aligned}$$

Untuk $n = 1$

$$\begin{aligned} w(1) &= 0.54 - 0.46 \cos\left(\frac{2\pi \cdot 1}{M-1}\right) \\ &= 0,0841043554488011 \end{aligned}$$

Untuk $n = 2$

$$\begin{aligned} w(2) &= 0.54 - 0.46 \cos\left(\frac{2\pi \cdot 2}{M-1}\right) \\ &= 0,0963441794749868 \end{aligned}$$

Untuk $n = 3$

$$\begin{aligned} w(3) &= 0.54 - 0.46 \cos\left(\frac{2\pi \cdot 3}{M-1}\right) \\ &= 0,116501052128843 \end{aligned}$$

2. Metode Blackman Window

$$w(n) = \begin{cases} 0.42 - 0.5 \cos\left(\frac{2\pi n}{M-1}\right) + 0.08 \cos\frac{4\pi n}{M-1}, & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Untuk $n = 0$

$$\begin{aligned}
 w(0) &= 0.42 - 0.5 \cos\left(\frac{2\pi \cdot 0}{M-1}\right) \\
 &= -0,08
 \end{aligned}$$

Untuk $n = 1$

$$\begin{aligned}
 w(1) &= 0.42 - 0.5 \cos\left(\frac{2\pi \cdot 1}{M-1}\right) \\
 &= -0,0755387440773901
 \end{aligned}$$

Untuk $n = 2$

$$\begin{aligned}
 w(2) &= 0.42 - 0.5 \cos\left(\frac{2\pi \cdot 2}{M-1}\right) \\
 &= -0,0622345875271883
 \end{aligned}$$

Untuk $n = 3$

$$\begin{aligned}
 w(3) &= 0.42 - 0.5 \cos\left(\frac{2\pi \cdot 3}{M-1}\right) \\
 &= -0,0403249433382144
 \end{aligned}$$

3. Metode Hanning Window

$$w(n) = \begin{cases} 0.5 \left[1 - \cos\left(\frac{2\pi n}{M-1}\right) \right], & 0 \leq n \leq M-1 \\ 0 & \text{lainnya} \end{cases}$$

Untuk $n = 0$

$$\begin{aligned}
 w(0) &= 0.5 \left[1 - \cos\left(\frac{2\pi \cdot 0}{M-1}\right) \right] \\
 &= 0
 \end{aligned}$$

Untuk $n = 1$

$$\begin{aligned}
 w(1) &= 0.5 \left[1 - \cos\left(\frac{2\pi \cdot 1}{M-1}\right) \right] \\
 &= 0.004461255922610
 \end{aligned}$$

Untuk $n = 2$

$$w(2) = 0.5 \left[1 - \cos \left(\frac{2\pi 2}{M-1} \right) \right]$$

$$= 0.017765412472812$$

Untuk $n = 3$

$$w(3) = 0.5 \left[1 - \cos \left(\frac{2\pi 3}{M-1} \right) \right]$$

$$= 0.039675056661786$$

Dengan rumus yang sama dapat di hitung $w(n)$ sampai dengan $n=48$ yang ditunjukkan oleh tabel 4.1, 4.2, dan 4.3

Dari kedua perhitungan di atas, didapat respon impulse aktual ($H(n)$) dari sebuah filter dengan mengalikan respon impulse ideal ($H_d(n)$) dan fungsi masing windowing ($W(n)$).

N	$H_d(n)$	$W(n)$ Metode Hamming	$H(n) = H_d(n) * W(n)$
0	0,00517423170205237	0,08000000000000000	-0,00104668507175500
1	-0,00723444093713077	0,0841043554488011	0,000841339149671469
2	0,00740876481513390	0,0963441794749868	-0,000369175932326516
3	-0,00555750812442655	0,116501052128843	-0,000468190227374189
4	0,00208568761490580	0,144215273540336	0,00166460722830032
5	0,00213986131918915	0,178992282771816	-0,00297479117088561
6	-0,00600210877438073	0,220211483269665	0,00386897406852427
7	0,00842366410487829	0,267137317424497	-0,00364406190199567
8	-0,00866095041769175	0,318932392614125	0,00169517012774638
9	0,00652403127650075	0,374672424494744	0,00212877659302825
10	-0,00245924360563523	0,433362730876937	-0,00722525069301680
11	-0,00253491263965481	0,493955981852915	0,0121498842792750
12	0,00714536758854847	0,555370889423530	-0,0148483835351124
13	-0,0100807783550183	0,616511503108240	0,0132156039368307
14	0,0104224996551884	0,676286767207392	-0,00586480588550757
15	-0,00789751154523777	0,733629990717034	-0,00711057152114110
16	0,00299580584686476	0,787517882455151	0,0236338399613289
17	0,00310885512410492	0,836988811717049	-0,0395913400376562

18	-0,00882663055055985	0,881159968598061	0,0492590435148970
19	0,0125495404011452	0,919243117757210	-0,0459783098573302
20	-0,0130835633969386	0,950558664495545	0,0223747008955149
21	0,0100035146239678	0,974547782139643	0,0321151153816133
22	-0,00383184468785022	0,990782384316830	-0,148669591060247
23	-0,00401876394091618	0,998972764166651	0,614295804114101
24	0,0115425168738091	0,998972764166651	0,614295804114101
25	-0,0166196616123274	0,990782384316830	-0,148669591060247
26	0,0175693565616033	0,974547782139643	0,0321151153816133
27	-0,0136411563054107	0,950558664495546	0,0223747008955149
28	0,00531513940572778	0,919243117757210	-0,0459783098573302
29	0,00568170074405385	0,881159968598061	0,0492590435148969
30	-0,0166725243732797	0,836988811717049	-0,0395913400376562
31	0,0245970991862446	0,787517882455152	0,0236338399613289
32	-0,0267359773763528	0,733629990717034	-0,00711057152114110
33	0,0214361027656453	0,676286767207392	-0,00586480588550757
34	-0,00867206955671373	0,616511503108240	0,0132156039368307
35	-0,00969231303397423	0,555370889423530	-0,0148483835351124
36	0,0300105438719035	0,493955981852915	0,0121498842792750
37	-0,0473021138197011	0,433362730876937	-0,00722525069301680
38	0,0559024981505559	0,374672424494744	0,00212877659302825
39	-0,0500175731198392	0,318932392614126	0,00169517012774638
40	0,0235384745110802	0,267137317424497	-0,00364406190199567
41	0,0329538643155123	0,220211483269665	0,00386897406852427
42	-0,150052719359518	0,178992282771816	-0,00297479117088560
43	0,614927479656115	0,144215273540336	0,00166460722830032
44	0,00517423170205237	0,116501052128843	-0,000468190227374190
45	-0,00723444093713077	0,0963441794749869	-0,000369175932326517
46	0,00740876481513390	0,0841043554488012	0,000841339149671469
47	-0,00555750812442655	0,08000000000000000	-0,00104668507175509

Tabel 4.3 Koefisien *response ideal filter*, koefisien *Hamming window* dan hasil perkalian keduanya

Dari koefisien yang didapat, terbentuk suatu grafik dari respon aktual $h(n)$

N	Hd(n)	W(n) (Metode Blackman)	H(n) = Hd(n)* W(n)
0	0,0100035146239678	0,744516053438976	-0,00078325391098301
1	-0,00383184468785022	0,690743304241261	0,000282930446389441
2	-0,00401876394091618	0,632169508873742	0,000243265666970922
3	0,0115425168738091	0,569839918102391	-0,00044580450168471
4	-0,0166196616123274	0,504866804951139	0,000141244886107187
5	0,0175693565616033	0,438409616163412	0,000514824928993877
6	-0,0136411563054107	0,371654281847525	-0,00101089035360465
7	0,00531513940572778	0,305792052525810	0,000664989078257380
8	0,00568170074405385	0,241998241240818	0,00103072443448105
9	-0,0166725243732797	0,181411250066233	-0,00403472157537837
10	0,0245970991862446	0,125112255294897	0,00752159744634267
11	-0,0267359773763528	0,0741059138222535	-0,00993654047130008
12	0,0214361027656453	0,0293024350202438	0,00939779358552603
13	-0,00867206955671373	-0,00849866197049513	-0,00437824004941211
14	-0,00969231303397423	-0,0386228156786399	-0,00552306686550262
15	0,0300105438719035	-0,0605324598676138	0,0189717507805352
16	-0,0473021138197011	-0,0738366164178156	-0,0326736183974166
17	0,0559024981505559	-0,0782978723404256	0,0416203073004315
18	-0,0500175731198392	0,744516053438976	-0,0396403362168693
19	0,0235384745110802	0,690743304241261	0,0196292731101731
20	0,0329538643155123	0,632169508873742	0,0286026870044393
21	-0,150052719359518	0,569839918102391	-0,134152634060340
22	0,614927479656115	0,504866804951139	0,560618917246152
23	0,614927479656115	0,438409616163412	0,566093362505365
24	-0,150052719359518	0,371654281847525	-0,138136367727145
25	0,0329538643155123	0,305792052525810	0,0300434772275434
26	0,0235384745110802	0,241998241240818	0,0210442594502923
27	-0,0500175731198392	0,181411250066233	-0,0434133300717322
28	0,0559024981505559	0,125112255294897	0,0466183738126982
29	-0,0473021138197011	0,0741059138222535	-0,0374882581985537
30	0,0300105438719035	0,0293024350202438	0,0223433316850669
31	-0,00969231303397423	-0,00849866197049513	-0,00669490033082800
32	-0,00867206955671373	-0,0386228156786399	-0,00548221795258665
33	0,0214361027656453	-0,0605324598676138	0,0122151470444098

34	-0,0267359773763528	-0,0738366164178156	-0,0134981074752452
35	0,0245970991862446	-0,0782978723404256	0,0107836048129749
36	-0,0166725243732797	0,744516053438976	-0,00619641507253664
37	0,00568170074405385	0,690743304241261	0,00173741893236165
38	0,00531513940572778	0,632169508873742	0,00128625438813589
39	-0,0136411563054107	0,569839918102391	-0,00247465921771343
40	0,0175693565616033	0,504866804951139	0,00219814182350238
41	-0,0166196616123274	0,438409616163412	-0,00123161521119815
42	0,0115425168738091	0,371654281847525	0,000338223850664859
43	-0,00401876394091618	0,305792052525810	3,41541162730615e-05
44	-0,00383184468785022	0,241998241240818	0,000147996631088014
45	0,0100035146239678	0,181411250066233	-0,00060553734751042
46	-0,0130835633969386	0,125112255294897	0,000966046051917927
47	0,0125495404011452	0,0741059138222535	-0,00098260231225988

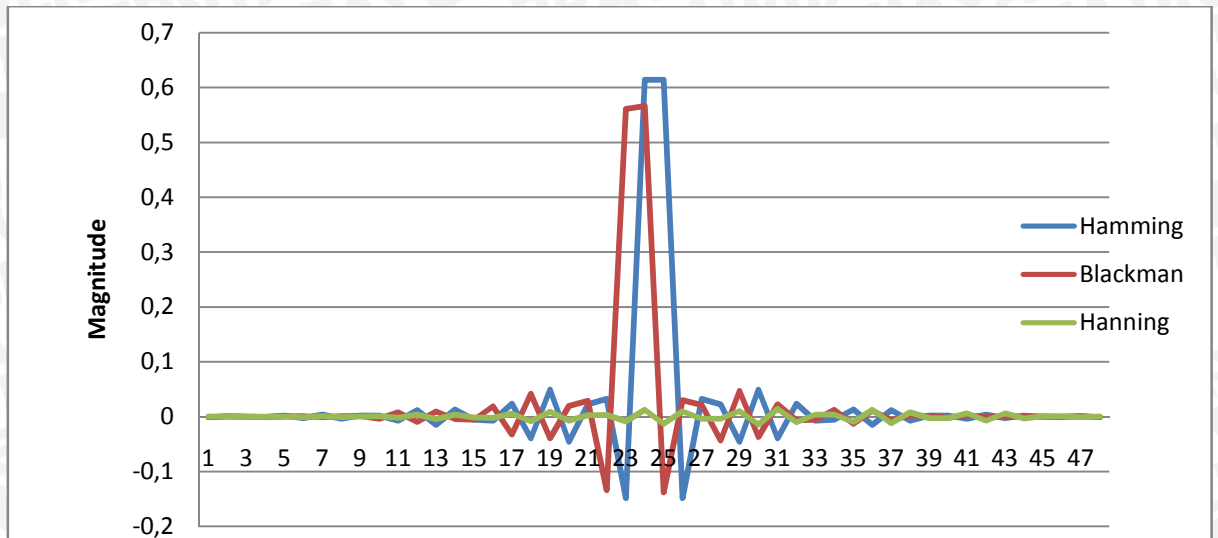
Tabel 4. 4 Koefisien *response* ideal filter, koefisien fungsi Blackman window dan hasil perkalian keduanya

N	Hd(n)	W(n) (Metode Hanning)	H(n) = Hd(n)* W(n)
0	0,00517423170205237	0	0
1	-0,00723444093713077	0,00446125592260993	2,15943091273022e-05
2	0,00740876481513390	0,0177654124728117	-3,21669775900071e-05
3	-0,00555750812442655	0,0396750566617856	-7,34520468507181e-05
4	0,00208568761490580	0,0697992103699303	0,000361157287074316
5	0,00213986131918915	0,107600307360670	-0,000778428068417881
6	-0,00600210877438073	0,152403786162679	0,00112912380861525
7	0,00842366410487829	0,203410127635322	-0,00113045343692395
8	-0,00866095041769175	0,259709122406658	0,000541672100081622
9	0,00652403127650075	0,320296113581244	0,000685389264139117
10	-0,00245924360563523	0,384089924866236	-0,00230534950819087
11	-0,00253491263965481	0,449952154187951	0,00379024581014570
12	0,00714536758854847	0,516707488503837	-0,00447517793838176
13	-0,0100807783550183	0,583164677291565	0,00380458459400064
14	0,0104224996551884	0,648137790442817	-0,00159392871671704
15	-0,00789751154523777	0,710467381214167	-0,00180097274470224
16	0,00299580584686476	0,769041176581686	0,00549508189740596
17	0,00310885512410492	0,822813925779401	-0,00829460481320460
18	-0,00882663055055985	0,870826052823979	0,00907618423528698

19	0,0125495404011452	0,912220780170880	-0,00720427414320534
20	-0,0130835633969386	0,946259417929941	0,00283480949688536
21	0,0100035146239678	0,972334545803959	0,00302284723506687
22	-0,00383184468785022	0,989980852518293	-0,00873819523730725
23	-0,00401876394091618	0,998883439311577	0,0125355280776755
24	0,0115425168738091	0,998883439311577	-0,0130689548043851
25	-0,0166196616123274	0,989980852518293	0,00990328793561486
26	0,0175693565616033	0,972334545803959	-0,00372583496415216
27	-0,0136411563054107	0,946259417929941	-0,00380279322752918
28	0,00531513940572778	0,912220780170880	0,0105293237477617
29	0,00568170074405385	0,870826052823979	-0,0144728343211333
30	-0,0166725243732797	0,822813925779401	0,0144563112458709
31	0,0245970991862446	0,769041176581687	-0,0104906108950477
32	-0,0267359773763528	0,710467381214168	0,00377623317437564
33	0,0214361027656453	0,648137790442817	0,00368252496620837
34	-0,00867206955671373	0,583164677291565	-0,00972282729577943
35	-0,00969231303397423	0,516707488503837	0,0127095053450042
36	0,0300105438719035	0,449952154187951	-0,0120299106148103
37	-0,0473021138197011	0,384089924866236	0,00823339110068163
38	0,0559024981505559	0,320296113581244	-0,00277763017572163
39	-0,0500175731198392	0,259709122406658	-0,00251718211214406
40	0,0235384745110802	0,203410127635323	0,00610444855938935
41	0,0329538643155123	0,152403786162679	-0,00720902123962044
42	-0,150052719359518	0,107600307360669	0,00601512598322906
43	0,614927479656115	0,0697992103699304	-0,00349118710838503
44	0,00517423170205237	0,0396750566617857	0,000933890309959106
45	-0,00723444093713077	0,0177654124728118	0,000585438992138150
46	0,00740876481513390	0,00446125592260999	-0,000669423582946382
47	-0,00555750812442655	0	0

Tabel 4. 5 Koefisien *response* ideal filter, koefisien Hanning window dan hasil perkalian keduanya

Dari tabel didapat grafik respon aktual yang ditunjukkan oleh gambar 4.7

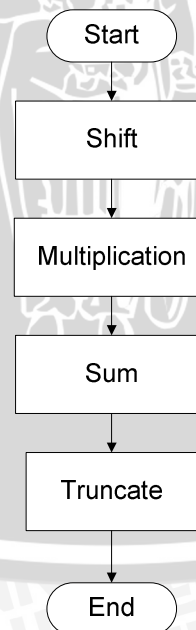


Gambar 4. 7 Respon aktual masing-masing metode dalam satu grafik

4.2.3d Perancangan Filter FIR dengan VHDL

Setelah mendapatkan koefisien response impulse, maka di lanjutkan dengan merancang algoritma dari filter FIR. Pada blok filter FIR terdapat 5 process yaitu process Shift, process *state update and timing*, process untuk kontrol dari *data path flags*, process Sum dan process Truncation.

Gambar 4.8 menunjukkan algoritma filter FIR



Gambar 4. 8 Diagram alir algoritma filter FIR

4.3 Implementasi Filter FIR pada IC FPGA

Sistem yang telah dirancang selanjutnya diimplementasikan ke dalam IC FPGA Xilinx Spartan 6 LX45. Tahap implementasi desain ke dalam arsitektur FPGA terdiri dari beberapa langkah yang dapat dijelaskan sebagai berikut

4.3.1. Pengaturan Relasi Antara I/O Sistem Dengan Kode Pin FPGA

Tahap pertama yang perlu dilakukan adalah proses pengaturan relasi antara I/O sistem dengan kode pin FPGA. Pengaturan relasi antara I/O sistem dengan kode pin FPGA mengacu pada konfigurasi pin IC FPGA Xilinx Spartan-6 LX45.

Relasi yang diperlukan adalah fix input output (switch), clock, input Audio, dan reset. Untuk mengatur relasi tersebut, diperlukan file “.ucf”. File “.ucf” bentuk teks untuk relasi antara I/O sistem dengan konfigurasi pin FPGA ditunjukkan sebagai berikut:

```
NET "SOURCE[2]" LOC = "E4";
NET "SOURCE[1]" LOC = "T5";
NET "SOURCE[0]" LOC = "R5";
NET "VOLUME[4]" LOC = "P12";
NET "VOLUME[3]" LOC = "P15";
NET "VOLUME[2]" LOC = "C14";
NET "VOLUME[1]" LOC = "D14";
NET "clk" LOC = "L15";
NET "BIT_CLK" LOC = "L13";
NET "SDATA_IN" LOC = "T18";
NET "SDATA_OUT" LOC = "N16";
NET "SYNC" LOC = "U17";
NET "AC97_n_RESET" LOC = "T17";
NET "n_reset" LOC = "T15";
NET "VOLUME[0]" LOC = "A10";
```

4.3.2. Synthesize

Proses synthesize berfungsi untuk mengkonversi desain dalam bentuk VHDL Source Code menjadi gerbang-gerbang logika yang dibutuhkan untuk menyusun keperluan sistem. Proses synthesis dilakukan oleh software ISE Design Suite 14.3. Melalui proses synthesis dihasilkan jumlah slices, slice flip-flop, 4 input LUTs, dan GCLKs yang digunakan untuk menyusun sistem.

4.3.3. Mapping, Placing, dan Routing

Proses mapping, placing dan routing desain dalam arsitektur FPGA dilakukan oleh software ISE Design Suite 14.3. Software melakukan pemetaan (mapping)

jalur IOBs, menempatkan (placing) gates kedalam CLBs, dan menghubungkan (routing) antar PSM.

4.3.4. Generate File Bitstream

Gsetelah proses mapping, placing dan routing selesai, software akan menghasilkan file bitstream dengan tipe file “.bit” yang akan di-download ke dalam arsitektur FPGA.

4.3.5. Download File Bitstream

Pada tahap ini file bitstream yang dihasilkan akan di-download ke hardware FPGA. Download dapat dilakukan dengan koneksi serial atau menggunakan kabel JTAG. Pada erancangan ini, proses download menggunakan kabel JTAG yang dihubungkan dengan Atlys Circuit Board.



BAB V

ANALISIS DAN PENGUJIAN

Bab ini membahas tentang pengujian dan analisis dari performansi FPGA yang telah tertanam algoritma Filter FIR. Pengujian ini dilakukan untuk mengetahui seberapa banyak komponen yang terpakai pada FPGA dan melihat hasil output sinyal.

5.1. Pengujian *Device* FPGA

5.1.1. Tujuan Pengujian *Device* FPGA

Pengujian device FPGA bertujuan untuk melihat seberapa banyak penggunaan komponen-komponen yang ada pada FPGA

5.1.2. Peralatan Pengujian *Device* FPGA

Peralatan yang digunakan dalam pengujian device FPGA adalah diantara lain sebagai berikut :

- 1) Komputer
- 2) Software ISE Xilinx Design Suite

5.1.3. Prosedur Pengujian *Device* FPGA

Prosedur dalam melakukan pengujian device FPGA adalah sebagai berikut :

- 1) Menyiapkan peralatan yaitu komputer untuk memrogram
- 2) Program yang telah dibuat dengan menggunakan ISE Xilinx Design Suite 14.3 kemudian di Synthesize kemudian di Mapping, placing, dan routing.
- 3) Kemudian dilihat pada software Xilinx ISE pada bagian Design Summary

5.1.4. Data Hasil Pengujian *Device* FPGA

Pengujian dilakukan sebanyak 3 kali, yaitu pada Filter FIR metode hamming, blackman dan kaiser. Kemudian dilihat perbedaan banyaknya penggunaan komponen di *device* FPGA. Berdasarkan pengujian yang dilakukan, hasil pengujian didapatkan sesuai dengan yang ditunjukkan dalam Tabel 5.1 hingga 5.3.

Selected Device : XC6SLX45	Digunakan	Jumlah tersedia	Persen penggunaan
Number of Slice Registers	4.293	54.576	7%
Number of Slice LUTs	2.520	27.288	9%
Number of MUXCYs	1.896	13.644	13%
Number of bonded IOBs	15	218	6%
Number of BUFG/BUFGMUXs	4	16	25%
Number of DSP48A1s	50	58	86%

Tabel 5. 1 Penggunaan komponen FPGA pada metode Hamming Window

Selected Device : XC6SLX45	Digunakan	Jumlah tersedia	Persen penggunaan
Number of Slice Registers	5.529	54.576	10%
Number of Slice LUTs	3.099	27.288	11%
Number of MUXCYs	2.792	13.644	20%
Number of bonded IOBs	15	218	6%
Number of BUFG/BUFGMUXs	4	16	25%
Number of DSP48A1s	58	58	100%

Tabel 5. 2 Penggunaan komponen FPGA pada metode BlackmanWindow

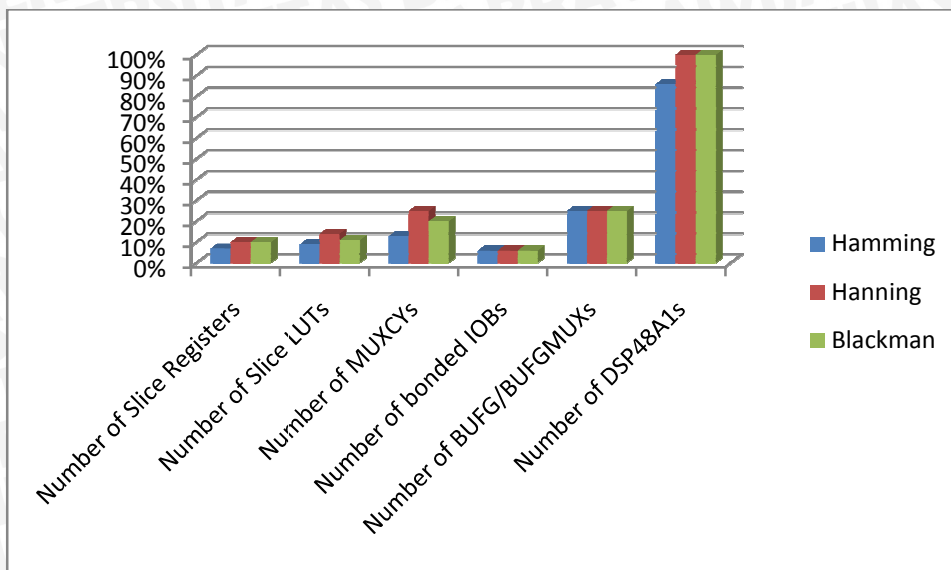
Selected Device : XC6SLX45	Digunakan	Jumlah tersedia	Persen penggunaan
Number of Slice Registers	5.585	54.576	10%
Number of Slice LUTs	3.889	27.288	14%
Number of MUXCYs	3.472	13.644	25%
Number of bonded IOBs	15	218	6%
Number of BUFG/BUFGMUXs	4	16	25%
Number of DSP48A1s	58	58	100%

Tabel 5. 3 Penggunaan komponen FPGA pada metode Hanning Window

5.1.5. Analisis Hasil Pengujian Device FPGA

Berdasarkan hasil pengujian yang dilakukan, pemakaian komponen yang ada di FPGA terbesar adalah dengan menggunakan metode *Hanning*, yaitu penggunaan Slice Registers sebesar 10%, slice of LUTs 14%, MUXCYs 25%, bonded IOBs 6% BUFG/BUFGMUXs 25% dan DSP48A1 100%. dan yang paling hemat penggunaannya adalah dengan metode Hamming dengan penggunaan Slice Registers sebesar 7%, slice of LUTs 9%, MUXCYs 13%, bonded IOBs 6% BUFG/BUFGMUXs 25% dan DSP48A1 86%.

Gambar 5.1 menunjukkan perbandingan pemakaian komponen FPGA pada masing-masing metode dalam persen masing-masing jumlah komponen keseluruhan.



Gambar 5. 1 Grafik perbandingan antara ketiga metode window

5.2. Pengujian Output Filter FIR

5.2.1. Tujuan Pengujian Output Filter FIR

Pengujian Output Filter bertujuan untuk melihat sinyal output yang telah melalui pemrosesan filter FIR dan dibandingkan dengan sinyal input.

5.2.2. Peralatan Pengujian Output Filter FIR

Peralatan dalam melakukan pengujian output filter FIR adalah sebagai berikut:

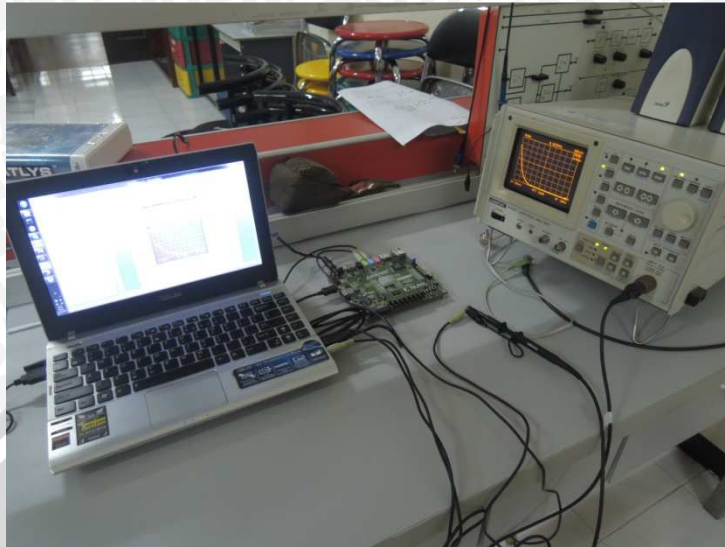
- 1) FPGA Xilinx Spartan 6 LX45 Board Atlys
- 2) Komputer dengan dukungan USB 2.0 dengan daya 500mA
- 3) Software Xilinx ISE Design Suite 14.3
- 4) Software Adept Digilent
- 5) Software Audacity
- 6) *Oscilloscope*

5.2.3. Prosedur Pengujian Output Filter FIR

Prosedur dalam melakukan pengujian output filter FIR adalah sebagai berikut:

- 1) Menyiapkan peralatan yaitu FPGA, Komputer dan *oscilloscope*
- 2) Melakukan pengujian sinyal input. Input dihasilkan oleh software Audacity berupa sinyal sinusoida dengan frekuensi 20-20.000 Hz Kabel AC97 langsung dihubungkan dengan *oscilloscope*, kemudian di lihat sinyal keluarannya.
- 3) Melakukan pengujian sinyal output. Kabel AC97 dari komputer dimasukkan ke FPGA sebagai input dan dari FPGA dihubungkan ke *oscilloscope*,. FPGA

kemudian di download program filter FIR. Lalu sinyal input dihidupkan. Pengujian sinyal output ditunjukkan pada gambar 5.2

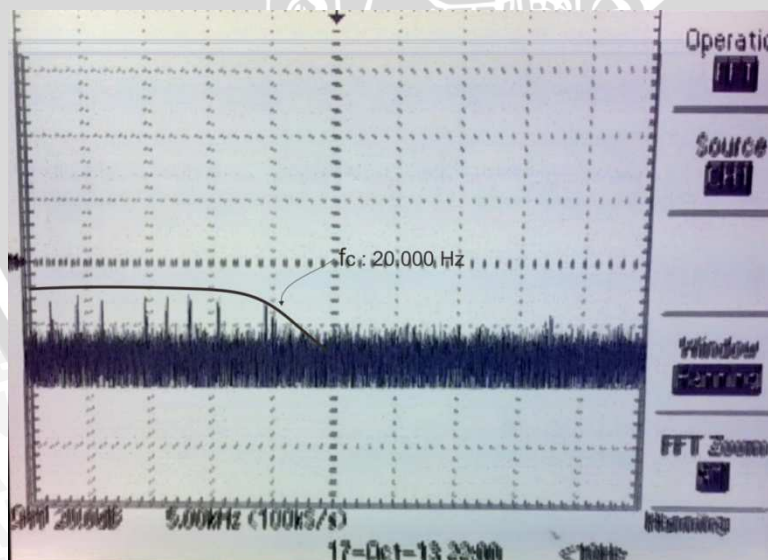


Gambar 5.2 Pengujian sinyal output

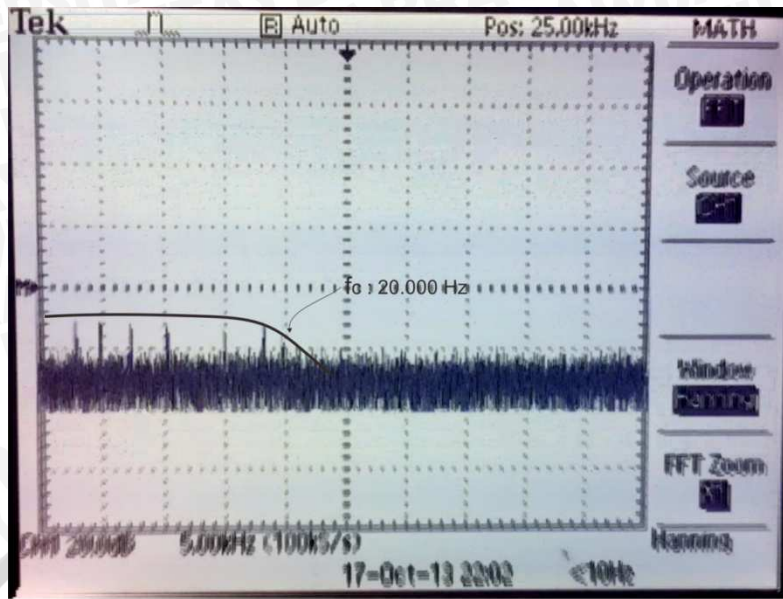
5.2.4. Data Hasil Pengujian Output Filter FIR

Pengujian ini dilakukan sebanyak 3 kali yaitu pada filter FIR metode Hamming, Blackman, dan Kaiser.

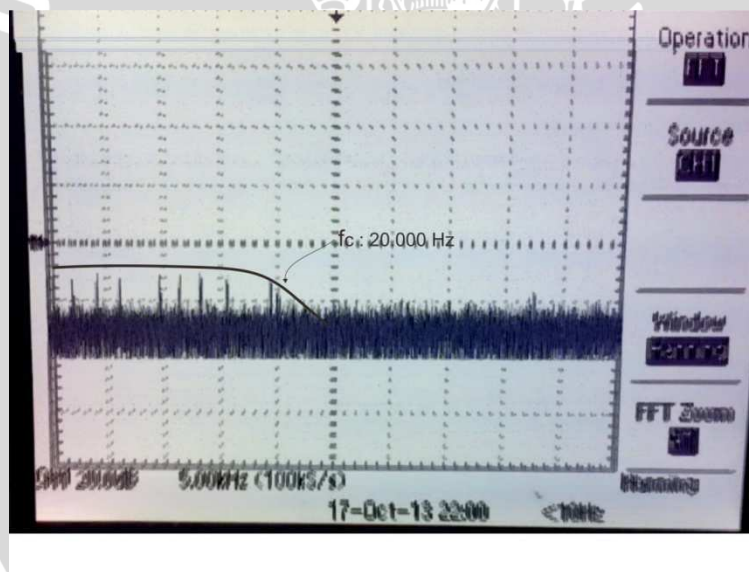
Sinyal output masing-masing dari metode Hamming, Blackman dan Hanning ditunjukkan pada gambar 5.5 sampai 5.10



Gambar 5.3 Output filter metode Hamming window



Gambar 5.4 Output filter metode Hanning window



Gambar 5.5 Output filter metode Blackman window

5.2.5. Analisis Hasil Pengujian Output Filter FIR

Dari pengujian output filter dapat dilihat bahwa ketika filter digital FIR diberi masukan sinyal sinusoida dengan frekuensi 20 – 22.000 Hz, maka sinyal yang diatas 20.000 Hz (frekuensi cut-off) akan diredam. Hal ini menunjukkan kinerja dari filter FIR, baik dengan metode Hamming window, Blackman window maupun Hanning window, filter akan meloloskan sinyal yang frekuensi nya lebih rendah dari frekuensi cut-off yaitu sebesar 20KHz, dan akan meredam frekuensi diatasnya.

BAB VI

KESIMPULAN DAN SARAN

6.1. Kesimpulan

Berdasarkan pengujian dan analisis implementasi filter FIR pada FPGA, dapat ditarik kesimpulan sebagai berikut:

1. Algoritma filter FIR telah dapat di implementasikan pada FPGA dan output filter telah sesuai dengan spesifikasi yaitu dengan frekuensi cut-off 20KHz, ini dapat dilihat dari pengujian output filter bahwa ketika filter digital FIR diberi masukan sinyal sinusoida dengan frekuensi 20 – 22.000 Hz, maka sinyal yang diatas 20.000 Hz (frekuensi cut-off) akan diredam. Hal ini menunjukkan kinerja dari filter FIR, baik dengan metode Hamming window, Blackman window maupun Hanning window, filter akan meloloskan sinyal yang frekuensi nya lebih rendah dari frekuensi cut-off yaitu sebesar 20KHz, dan akan meredam frekuensi diatasnya.
2. Dari ketiga metode *Windowing* yang penulis pakai pada percobaan disimpulkan bahwa pemakaian komponen yang ada di FPGA terbesar adalah dengan menggunakan metode *Hanning*, yaitu penggunaan Slice Registers sebesar 10%, slice of LUTs 14%, MUXCYs 25%, bonded IOBs 6% BUFG/BUFGMUXs 25% dan DSP48A1 100%. dan yang paling hemat penggunaannya adalah dengan metode Hamming dengan penggunaan Slice Registers sebesar 7%, slice of LUTs 9%, MUXCYs 13%, bonded IOBs 6% BUFG/BUFGMUXs 25% dan DSP48A1 86%

6.2.Saran

Saran-saran dalam pengimplementasian maupun peningkatan unjuk kerja sistem ini dapat diuraikan sebagai berikut:

1. Untuk mengimplementasikan filter dengan orde yang lebih tinggi, penulis menyarankan untuk menggunakan FPGA yang lain.
2. Frekuensi audio yang digunakan sebagai input terlalu rendah. Untuk penggunaan FPGA yang maksimal bisa digunakan frekuensi yang lebih tinggi seperti frekuensi radio.

DAFTAR PUSTAKA

- Baese, U. Meyer. 2007. *Digital Signal Processing with Field Proramable Gate Arrays*, New York : Springer.
- Datasheet of LM4550. National Semiconductor. www.national.com
- Mooniarsih, Neilcy T.2010. *Desain dan Simulasi Filter FIR Menggunakan Metode Windowing*, Jurnal ELKHA Vol.2, No.1 : 41-47.
- Putra , Agfianto Eko.2012. *DSP & Embedded Electronics*
http://agfi.staff.ugm.ac.id/pdf/sampel_tapis.pdf. (diakses 26 Maret 2012).
- Smith, Steven W. 1999. *The Scientist and Engineer's Guide to Digital Signal Processing*. California: California Technical Publishing.
- Sudarmilah, Endah. *Implementasi Filter Digital Finite Impulse Response Metode Penjendelaan Hamming pada DSP*
http://eprints.ums.ac.id/2/1/Emitor_EDS_ImplementasiFilterDigital.pdf (diakses 26 Maret 2013)
- Storey, Tony and Scott Larson. 2012. *AC'97 Codec Hardware Driver Example*.
<http://eewiki.net/display/LOGIC/AC%2797+Codec+Hardware+Driver+Example> , (diakses 16 Mei 2013)
- Wang, Yishu.2005. *Implementation of Digital Filter by Using FPGA*,. Unpublished Thesis of Bachelor. Bentley: Curtin University of Technology.
- Wilson, Peter R. 2007. *Design Recipes for FPGAs*. United Kingdom : Newnes
- Wood, Roger. 2008. *FPGA-Based Implementation of Complex Signal Processing Systems*. United Kingdom: John Wiley and Sons, Ltd.

LAMPIRAN
LISTING PROGRAM



LAMPIRAN

DATASHEET LM4550



LAMPIRAN
ATLYS BOARD
REFERENCE MANUAL

