

## BAB VI

### KESIMPULAN DAN SARAN

#### 6.1 Kesimpulan

Berdasarkan hasil analisis dan hasil simulasi rangkaian Multiplexer 16 to 1 HCMOS dapat diambil kesimpulan sebagai berikut:

1. IC Multiplexer 16 to 1 HCMOS tersusun dari 5 gerbang inverter yang terdiri atas 10 transistor PMOS dan NMOS, 16 gerbang NAND 5 input yang terdiri atas 160 transistor PMOS dan NMOS, 1 gerbang NAND 16 input yang terdiri atas 32 transistor PMOS dan NMOS dan 1 inverter kaskada yang tersusun dari 4 transistor PMOS dan NMOS, sehingga jumlah transistor CMOS yang dibutuhkan untuk membentuk IC Multiplexer 16 to 1 HCMOS adalah 206 transistor MOS dengan masing-masing berjumlah 103 transistor untuk PMOS dan NMOS.
2. Perancangan Multiplexer 16 to 1 HCMOS mempunyai karakteristik transfer tegangan (VTC) yang simetris dengan *noise margin* logika tinggi ( $N_{MH}$ ) dan *noise margin* logika rendah ( $N_{ML}$ ) masing-masing sebesar 1,65 dengan  $V_{IL} = 2,075$  V,  $V_{IH} = 2,925$  V,  $V_{OL} = 0,425$  V, dan  $V_{OH} = 4,575$  V, sedangkan hasil simulasi dengan menggunakan program *Pspice* memperoleh nilai VTC sebagai berikut:  $V_{IL} = 2,92$  V,  $V_{IH} = 2,94$  V,  $V_{OL} = 0$  V, dan  $V_{OH} = 5$  V sehingga nilai  $N_{MH} = 2,06$  dan  $N_{ML} = 2,92$ .
3. Simulasi Multiplexer 16 to 1 HCMOS dengan menggunakan perangkat lunak *Pspice* pada nilai  $C_L = 5$  pF diperoleh nilai *propagation delay* yang lebih baik dari hasil perhitungan yaitu sebesar 9,79 ns.
4. Simulasi Multiplexer 16 to 1 HCMOS dengan membandingkan pada nilai kapasitansi yang sama ( $C_L = 15$  pF untuk TTL dan  $C_L = 50$  pF untuk CMOS) diperoleh nilai *propagation delay* dan disipasi daya yang lebih baik dari IC TTL DM74150 dan IC CMOS MM54C150N.

5. IC Multiplekser 16 to 1 HCMOS mempunyai *layout* tanpa *pad* I/O dengan luasan  $610 \mu\text{m} \times 210 \mu\text{m}$  dan menggunakan *pad* I/O dengan luasan  $1625,5 \mu\text{m} \times 1625,5 \mu\text{m}$ .

## 5.2 Saran

1. Hasil simulasi yang dikemukakan dalam perancangan ini akan menghasilkan keluaran yang simetris, akan tetapi pada kenyataannya tidak simetris, sehingga untuk menghasilkan keluaran yang simetris maka harus dilakukan desain ulang dengan nilai W dan L.
2. Hasil dari penelitian ini dapat digunakan sebagai salah satu referensi bagi perancangan rangkaian terintegrasi lainnya.

