

## BAB V

### SIMULASI DAN PEMBUATAN LAYOUT

Bab ini membahas mengenai simulasi dan penggambaran *layout* MULTIPLEKSER 16 to 1 HCMOS. Hasil analisis dan perhitungan matematis dalam Bab IV perlu disimulasikan untuk mengetahui kebenaran perancangan yang dilakukan. Proses simulasi yang dilakukan yaitu:

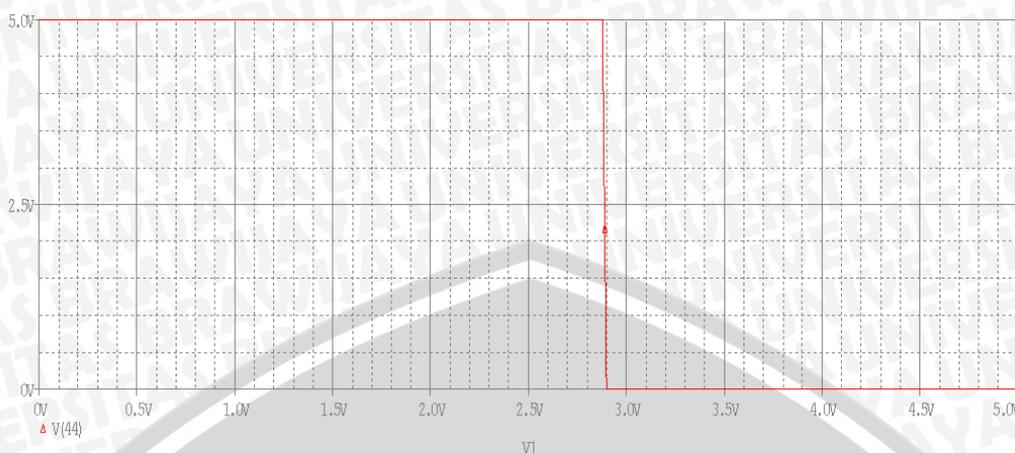
1. Simulasi karakteristik alih tegangan (VTC) untuk mengetahui besarnya  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OH}$ , dan  $V_{OL}$ , serta *noise margin* dengan menggunakan perangkat lunak *Pspice*. Dalam simulasi ini yang digunakan adalah analisis DC.
2. Simulasi unit step untuk mengetahui besarnya  $t_{PLH}$ ,  $t_{PHL}$ ,  $t_r$ , dan  $t_f$  dengan frekuensi sinyal masuka tertentu dengan *Pspice*.

Pada pemograman *Pspice* terdapat 3 macam level, yaitu level 1, level 2, dan level 3. Pemilihan level yang digunakan sesuai dengan kebutuhan pengguna *Pspice*. Pada simulasi ini dipilih level 1 karena pada level ini model yang digunakan sederhana dan kondisi ideal. Berikut informasi singkat mengenai *Pspice* level 2 dan level 3. Level 2 merupakan model yang menggabungkan efek panjang gelombang dan daerah transisi antara saturasi dan *ohmic*. Sedangkan untuk level 3 merupakan model *semi-empirical*. Model ini menawarkan reduksi waktu untuk menghitung daerah transisi antara daerah linier dan saturasi.

#### 5.1 Simulasi Karakteristik Alih Tegangan (VTC)

Simulasi alih tegangan (VTC) dilakukan dengan memberikan tegangan catu yang berupa tegangan DC 5V. Pada simulasi ini rangkaian diuji dengan menggunakan beban kapasitas ( $C_c$ ) 5 pF yang hanya berfungsi untuk mengetahui respon waktu. Hal ini dilakukan sebagai pembanding dari parameter yang terdapat dalam *datasheet*. Sedangkan variasi beban kapasitor yang lain tidak diberikan karena memiliki hasil VTC yang sama. Dengan menggunakan *listing program* yang benar dan sesuai dengan perancangan, dapat menampilkan grafik VTC sesuai dengan kondisi yang diharapkan. *Listing program* dapat dilihat dalam gambar Lampiran VTC.

Gambar 5.1. Grafik Alih Tegangan (VTC) Multiplexer 16 to 1



Gambar 5.1. menunjukkan grafik alih tegangan (VTC) IC Multiplexer 16 to 1, berdasarkan grafik tersebut dapat diketahui nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$ . Kondisi ideal terjadi ketika nilai  $V_{OL}$  mendekati nilai tegangan *ground* sedangkan nilai  $V_{OH}$  mendekati nilai tegangan  $V_{DD}$  yaitu 5V dan selisih antara nilai  $V_{IL}$  dan  $V_{IH}$  sangat kecil. Grafik dalam Gambar 5.1 menunjukkan nilai  $V_{IL}$ ,  $V_{IH}$ ,  $V_{OL}$  dan  $V_{OH}$  sebagai berikut:

$$V_{OH} = 5V$$

$$V_{IL} = 2,92 V$$

$$V_{IH} = 2,94 V$$

$$V_{OL} = 0 V$$

*Noise Margin* yaitu  $NM_H$  batasan logika tinggi *noise margin* batasan logika rendah  $NM_L$  dapat diperoleh dengan menggunakan Persamaan (2.28) dan (2.29)

$$NM_H = V_{OH} - V_{IH} \quad (2.28)$$

$$NM_H = 5 - 2,94 = 2,06 V$$

$$NM_L = V_{IL} - V_{OL} \quad (2.29)$$

$$NM_L = 2,92 - 0 = 2,92$$

*Noise margin* hasil simulasi, dimana tegangan input yang dinyatakan sebagai logika *LOW* adalah 0 V – 2,94 V dan *range* tegangan input yang dinyatakan sebagai logika *HIGH* adalah 2,92 V – 5V. Sedangkan tegangan output yang dinyatakan sebagai logika *LOW* adalah 0 V dan *range* tegangan output yang dinyatakan sebagai logika *HIGH* adalah 5 V. Dengan demikian amplitudo sinyal masukan *Noise* yang diperbolehkan masuk ke rangkaian maksimal 2,94 V. *Noise* diharapkan tidak melampaui kondisi tersebut agar tidak merubah batas logika tinggi dan rendah IC.

## 5.2 Simulasi Unit Step

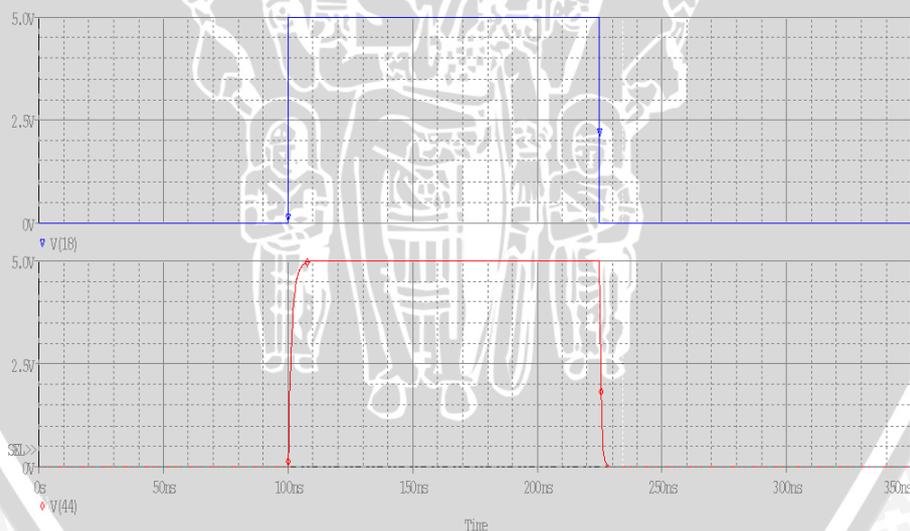
Simulasi *unit step* dilakukan untuk mendapatkan nilai *propagation delay*. Masukan yang diberikan berupa gelombang pulsa (step). Nilai *propagation delay* diperoleh dari sinyal output yang berupa nilai  $t_{PLH}$ ,  $t_{PHL}$ , *rise time* ( $t_r$ ) dan *fall time* ( $t_f$ ). Dalam simulasi unit step diberikan variasi kapasitor pada keluaran untuk mengetahui respon waktu rangkaian IC yaitu 0,5pF, 1pF, 5pF, 15pF dan 50pF. Selain itu digunakan variasi frekuensi yang berbeda yaitu 1MHz, 4MHz, 10MHz, 20MHz, dan 25MHz.

Kondisi ideal yang diharapkan dalam simulasi *unit step* ini adalah menghasilkan nilai *propagation delay* yang lebih cepat,  $V_{OL}$  mendekati tegangan *ground* (0V) dan  $V_{OH}$  mendekati tegangan catu (5V).

### 5.2.1 Simulasi Unit Step IC MULTIPLEKSER 16 to 1 dengan $C_L = 0,5 \text{ pF}$

#### 1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 2, listing program unit step  $C_L = 0,5 \text{ pF}$  frekuensi 1MHz.



Gambar 5.2. Grafik Unit Step IC Multiplexer 16 to 1  $C_L=0,5 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 0,5 \text{ pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.2. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* a grafik tersebut adalah:

$$t_{PLH} = 1,028 \text{ ns}$$

$$t_r = 3,13 \text{ ns}$$

$$t_{PHL} = 0,396 \text{ ns}$$

$$t_f = 1,25 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{1,028 \text{ ns} + 0,396 \text{ ns}}{2} = 0,7 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5 \text{ pF}$ ,  $t_{PD} = 0,7 \text{ ns}$ , maka::

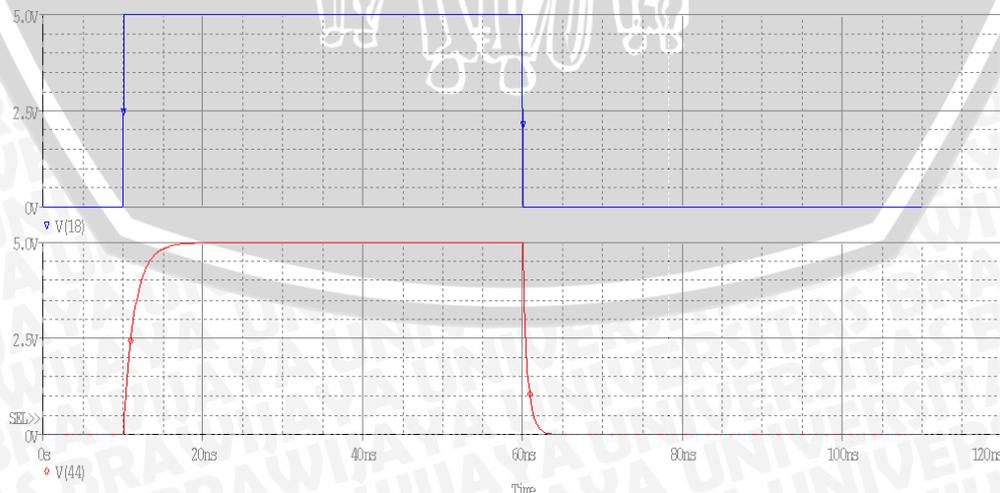
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 1.10^6 = 12,5 \times 10^{-6} = 0,0125 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,7 \times 10^{-9} \times 12,5 \times 10^{-6} = 8,75 \times 10^{-15} = 8,75 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,0125 mW dan PDP adalah 8,75 fJ.

## 2) Frekuensi 4MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5 \text{ pF}$  frekuensi 4MHz.



Gambar 5.3. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 0,5 \text{ pF}$   
Frekuensi 4MHz

Grafik simulasi unit step  $C_L = 0,5\text{pF}$  frekuensi 4MHz ditunjukkan dalam Gambar 5.3. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,97 \text{ ns} \quad t_r = 3,14 \text{ ns}$$

$$t_{PHL} = 0,39 \text{ ns} \quad t_f = 1,23 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,97 \text{ ns} + 0,39 \text{ ns}}{2} = 0,69 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{pF}$ ,  $t_{PD} = 0,38 \text{ ns}$ , maka::

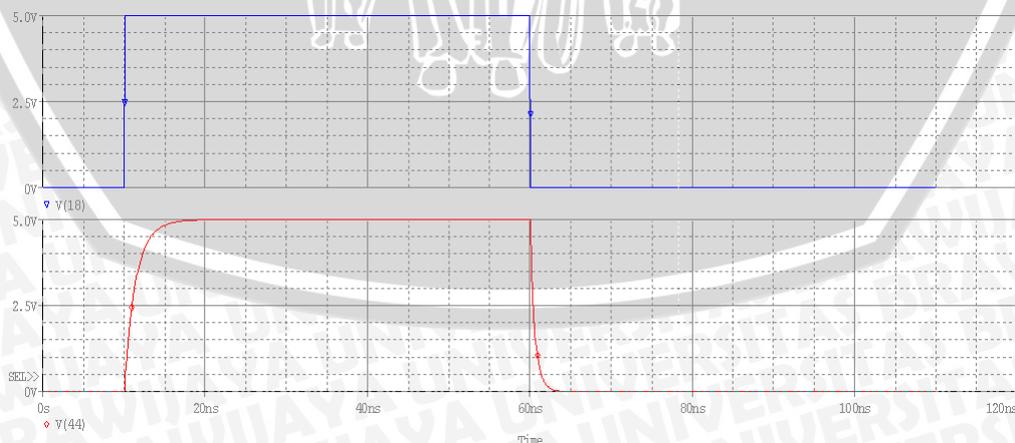
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 4 \cdot 10^6 = 50 \times 10^{-6} = 0,05 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,69 \times 10^{-9} \times 50 \times 10^{-6} = 34,5 \times 10^{-15} = 34,5 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,05 mW dan PDP adalah 34,5 fJ.

### 3) Frekuensi 10MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5\text{pF}$  frekuensi 10MHz.



Gambar 5.4. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 0,5\text{pF}$   
Frekuensi 10MHz

Grafik simulasi unit step  $C_L = 0,5\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.4. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,98 \text{ ns}$$

$$t_r = 3,13 \text{ ns}$$

$$t_{PHL} = 0,39 \text{ ns}$$

$$t_f = 1,22 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,39\text{ns} + 0,98\text{ns}}{2} = 0,69 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{pF}$ ,  $t_{PD} = 0,69 \text{ ns}$ , maka::

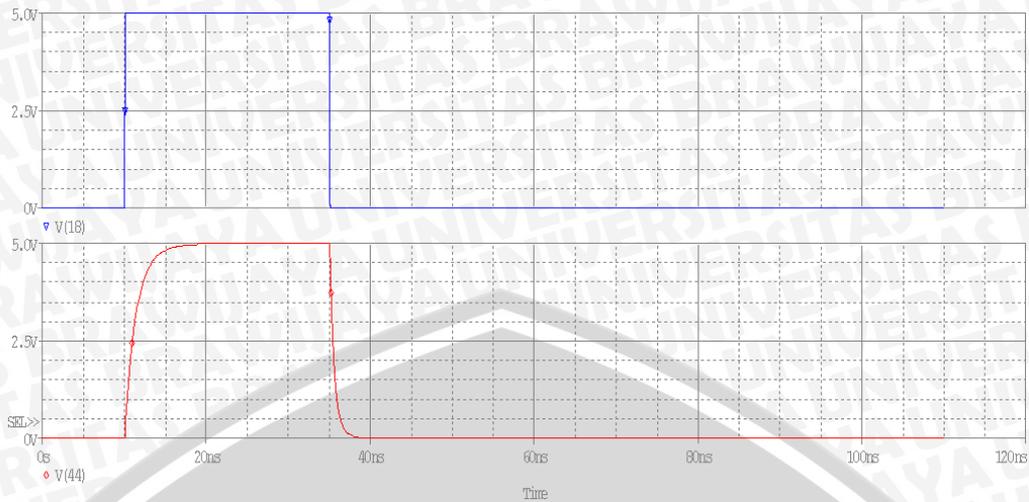
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,69 \times 10^{-9} \times 125 \times 10^{-6} = 86,25 \times 10^{-15} = 86,25 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 86,25 fJ.

#### 4) Frekuensi 20MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5\text{pF}$  frekuensi 20MHz.



Gambar 5.5. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 0,5\text{pF}$   
Frekuensi 20MHz

Grafik simulasi unit step  $C_L = 0,5\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.5. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 0,98 \text{ ns}$$

$$t_{PHL} = 0,39 \text{ ns}$$

$$t_r = 3,09 \text{ ns}$$

$$t_f = 1,22 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,39\text{ns} + 0,98\text{ns}}{2} = 0,69 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{pF}$ ,  $t_{PD} = 0,69 \text{ ns}$ , maka::

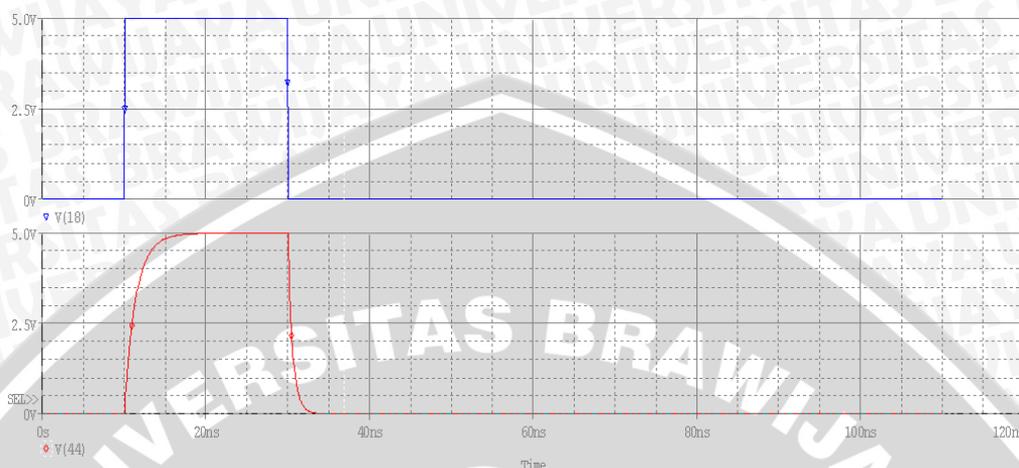
$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 0,69 \times 10^{-9} \times 250 \times 10^{-6} = 85 \times 10^{-15} = 172,5 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 172,5 fJ.

## 5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran 2, *listing program* unit step  $C_L = 0,5\text{pF}$  frekuensi 25MHz.



Gambar 5.6. Grafik Unit step IC MULTIPLESER 16 to 1  $C_L = 0,5\text{pF}$   
Frekuensi 25MHz

Grafik simulasi unit step  $C_L = 0,5\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.6. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 1,03 \text{ ns}$$

$$t_r = 3,09 \text{ ns}$$

$$t_{PHL} = 0,39 \text{ ns}$$

$$t_f = 1,25 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,39 \text{ ns} + 1,03 \text{ ns}}{2} = 0,72 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 0,5\text{pF}$ ,  $t_{PD} = 0,72 \text{ ns}$ , maka::

$$PD = C_L V_{DD}^2 f = 0,5 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 313 \times 10^{-6} = 0,313 \text{ mW}$$

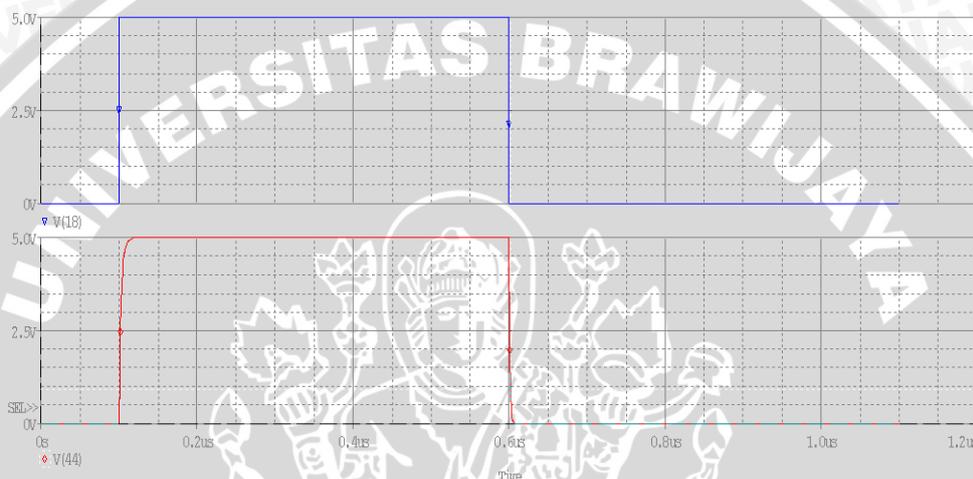
$$PDP = t_{pD} \cdot PD = 0,72 \times 10^{-9} \times 313 \times 10^{-6} = 109,6 \times 10^{-15} = 225,3 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,313 mW dan PDP adalah 225,3 fJ.

### 5.2.2 Simulasi Unit Step IC MULTIPLEKSER 16 to 1 dengan $C_L = 1 \text{ pF}$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 3, listing program unit step  $C_L = 1 \text{ pF}$  frekuensi 1MHz.



Gambar 5.7. Grafik Unit Step IC MULTIPLEKSER 16 to 1  $C_L=1 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 1 \text{ pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.7. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PLH} = 1,96 \text{ ns}$$

$$t_r = 6,27 \text{ ns}$$

$$t_{PHL} = 0,78 \text{ ns}$$

$$t_f = 2,511 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{pD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,78 \text{ ns} + 1,96 \text{ ns}}{2} = 1,37 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan

(2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1\text{pF}$ ,  $t_{pD} = 1,37\text{ ns}$ , maka::

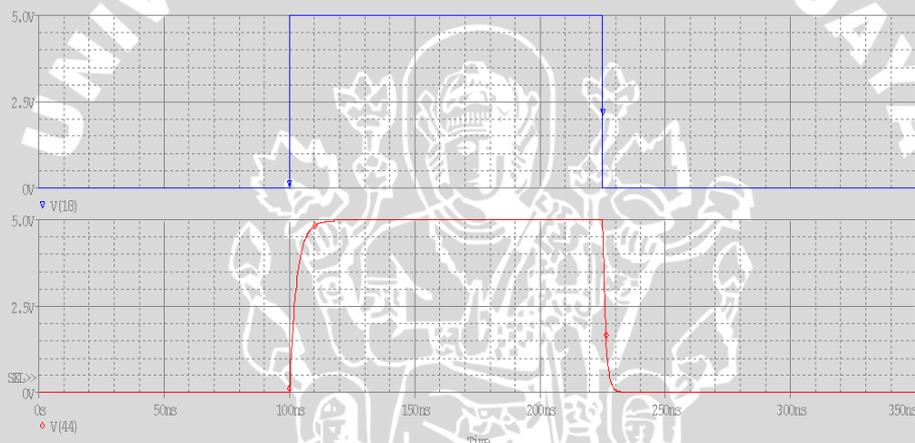
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 1.10^6 = 25 \times 10^{-6} = 0,025 \text{ mW}$$

$$PDP = t_{pD}.PD = 1,37 \times 10^{-9} \times 25 \times 10^{-6} = 1 \times 10^{-15} = 34,25 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,025 mW dan PDP adalah 1 fJ.

## 2) Frekuensi 4MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1\text{pF}$  frekuensi 4MHz.



Gambar 5.8. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 1\text{pF}$  Frekuensi 4MHz

Grafik simulasi unit step  $C_L = 1\text{pF}$  frekuensi 4MHz ditunjukkan dalam Gambar 5.8.

Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 1,96 \text{ ns}$$

$$t_r = 6,28 \text{ ns}$$

$$t_{PHL} = 0,78 \text{ ns}$$

$$t_f = 2,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{pD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,78\text{ns} + 1,96\text{ns}}{2} = 1,37 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1\text{pF}$ ,  $t_{PD} = 1,37\text{ ns}$ , maka:

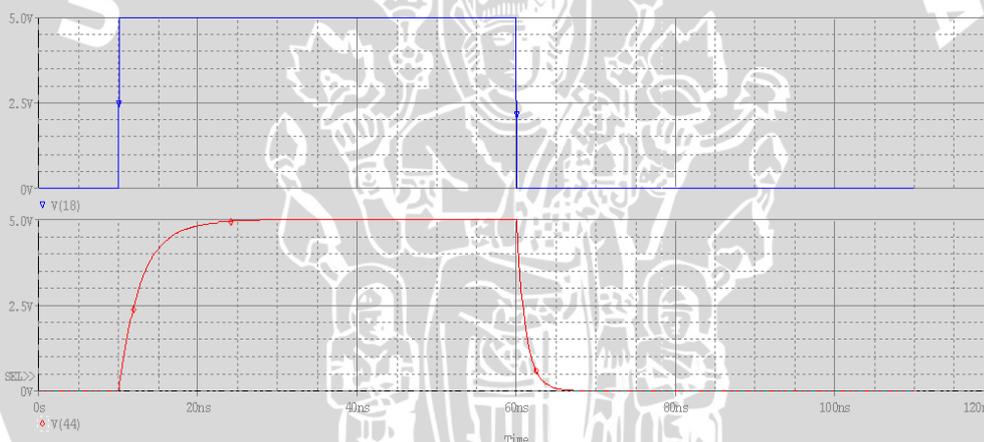
$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 4.10^6 = 100 \times 10^{-6} = 0,1\text{ mW}$$

$$PDP = t_{PD} \cdot PD = 1,37 \times 10^{-9} \times 100 \times 10^{-6} = 137 \times 10^{-15} = 137\text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,1 mW dan PDP adalah 137 fJ.

### 3) Frekuensi 10MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1\text{pF}$  frekuensi 10MHz.



Gambar 5.9. Grafik Unit step IC MULTIPLEXER 16 to 1  $C_L = 1\text{pF}$  Frekuensi 10MHz

Grafik simulasi unit step  $C_L = 1\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.9. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 1,96\text{ ns}$$

$$t_r = 6,23\text{ ns}$$

$$t_{PHL} = 0,78\text{ ns}$$

$$t_f = 2,5\text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,78\text{ ns} + 1,96\text{ ns}}{2} = 1,37\text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1\text{pF}$ ,  $t_{\text{PD}} = 1,37\text{ns}$ , maka:

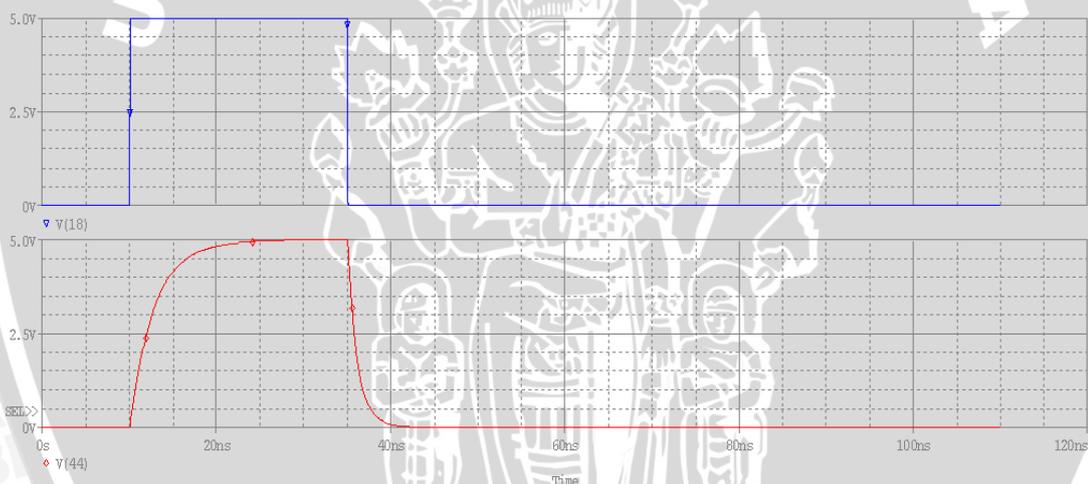
$$PD = C_L V_{\text{DD}}^2 f = 1 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 250 \times 10^{-6} = 0,25 \text{ mW}$$

$$PDP = t_{\text{PD}} \cdot PD = 1,37 \times 10^{-9} \times 250 \times 10^{-6} = 342,5 \times 10^{-15} = 342,5 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,25 mW dan PDP adalah 342,5 fJ.

#### 4) Frekuensi 20MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1\text{pF}$  frekuensi 20MHz.



Gambar 5.10. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 1\text{pF}$  Frekuensi 20MHz

Grafik simulasi unit step  $C_L = 1\text{pF}$  frekuensi 20MHz ditunjukkan dalam Gambar 5.10. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{\text{PLH}} = 1,96\text{ns}$$

$$t_r = 6,23 \text{ ns}$$

$$t_{\text{PHL}} = 0,78 \text{ ns}$$

$$t_f = 2,48 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{\text{PD}} = \frac{t_{\text{PHL}} + t_{\text{PLH}}}{2} = \frac{0,78\text{ns} + 1,96\text{ns}}{2} = 1,37 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1\text{pF}$ ,  $t_{\text{PD}} = 1,37\text{ns}$ , maka:

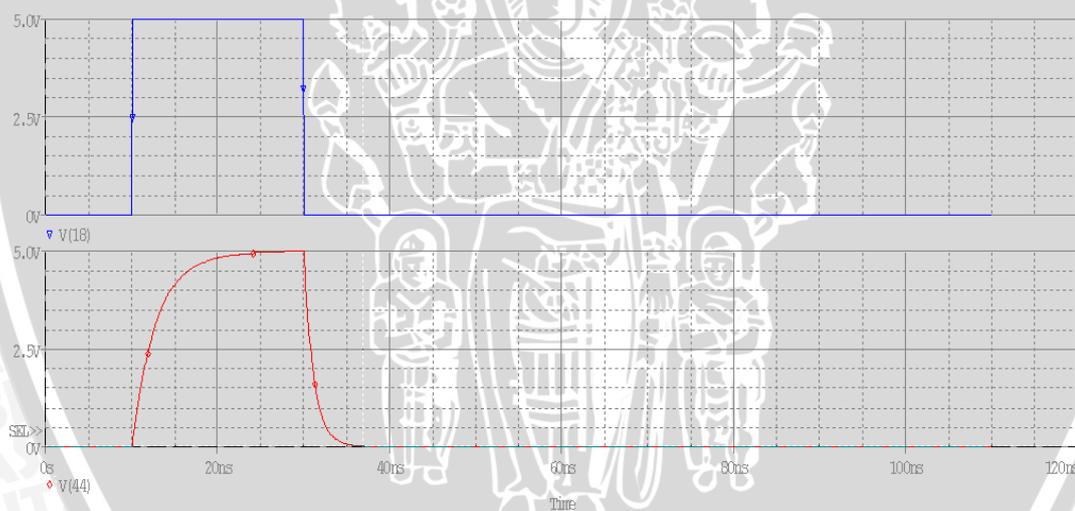
$$PD = C_L V_{\text{DD}}^2 f = 1 \times 10^{-12} \times 5^2 \times 20 \cdot 10^6 = 500 \times 10^{-6} = 0,5 \text{ mW}$$

$$PDP = t_{\text{PD}} \cdot PD = 1,37 \times 10^{-9} \times 500 \times 10^{-6} = 685 \times 10^{-15} = 685 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,5 mW dan PDP adalah 685 fJ.

#### 5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran 3, *listing program* unit step  $C_L = 1\text{pF}$  frekuensi 25MHz.



Gambar 5.11. Grafik Unit step IC MULTIPLESER 16 to 1  $C_L = 1\text{pF}$  Frekuensi 25MHz

Grafik simulasi unit step  $C_L = 1\text{pF}$  frekuensi 25MHz ditunjukkan dalam Gambar 5.11. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{\text{PLH}} = 1,96\text{ns}$$

$$t_r = 6,23 \text{ ns}$$

$$t_{\text{PHL}} = 0,78 \text{ ns}$$

$$t_f = 2,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{0,78ns + 1,96ns}{2} = 1,37 ns$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 1pF$ ,  $t_{PD} = 1,37ns$ , maka:

$$PD = C_L V_{DD}^2 f = 1 \times 10^{-12} \times 5^2 \times 25 \cdot 10^6 = 625 \times 10^{-6} = 0,625 mW$$

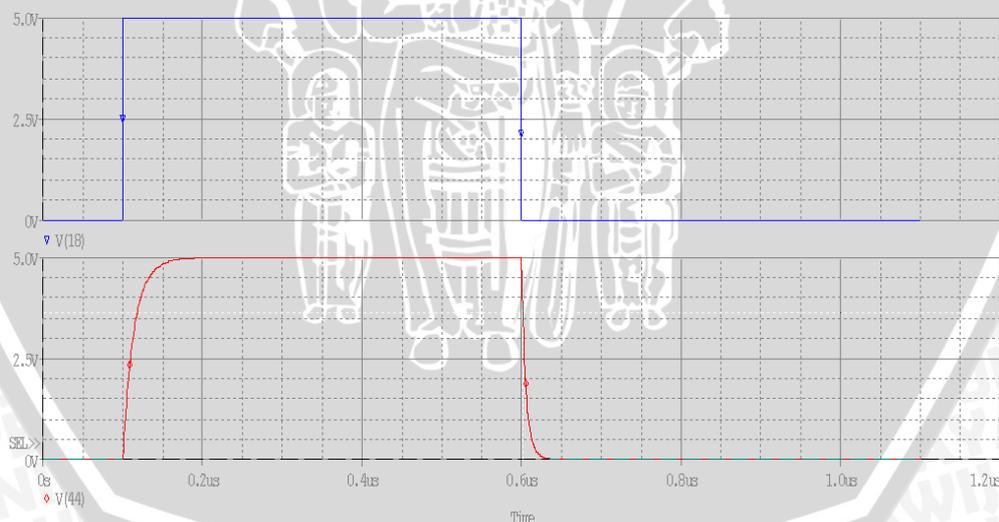
$$PDP = t_{PD} \cdot PD = 1,37 \times 10^{-9} \times 625 \times 10^{-6} = 437,5 \times 10^{-15} = 856,25 fJ$$

Diperoleh nilai disipasi daya adalah 0,625 mW dan PDP adalah 856,25 fJ

### 5.2.3 Simulasi Unit Step IC MULTIPLEXER 16 to 1 dengan $C_L = 5 pF$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 4, listing program unit step  $C_L = 5pF$  frekuensi 1MHz.



Gambar 5.12. Grafik Unit Step IC MULTIPLEXER 16 to 1  $C_L=5pF$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 5pF$  frekuensi 1MHz ditunjukkan dalam Gambar 5.12. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PLH} = 9,8 \text{ ns}$$

$$t_r = 31,36 \text{ ns}$$

$$t_{PHL} = 3,9 \text{ ns}$$

$$t_f = 12,5 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,9 \text{ ns} + 9,8 \text{ ns}}{2} = 6,85 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5 \text{ pF}$ ,  $t_{PD} = 6,85 \text{ ns}$ , maka::

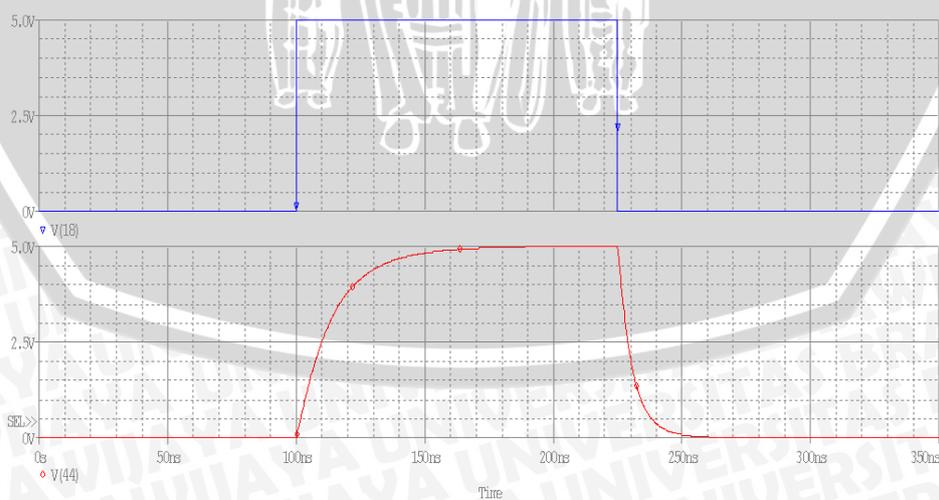
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 1.10^6 = 125 \times 10^{-6} = 0,125 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,85 \times 10^{-9} \times 125 \times 10^{-6} = 382,5 \times 10^{-15} = 856,25 \text{ fJ}$$

Diperoleh nilai disipasi daya adalah 0,125 mW dan PDP adalah 856,25 fJ.

## 2) Frekuensi 4MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5 \text{ pF}$  frekuensi 4MHz.



Gambar 5.13. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 5 \text{ pF}$   
Frekuensi 4MHz

Grafik simulasi unit step  $C_L = 5\text{pF}$  frekuensi 4MHz ditunjukkan dalam Gambar 5.13. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 9,79 \text{ ns}$$

$$t_r = 31,4 \text{ ns}$$

$$t_{PHL} = 3,92 \text{ ns}$$

$$t_f = 12,37 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,92 \text{ ns} + 9,79 \text{ ns}}{2} = 6,85 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{pF}$ ,  $t_{PD} = 6,85\text{ns}$ , maka:

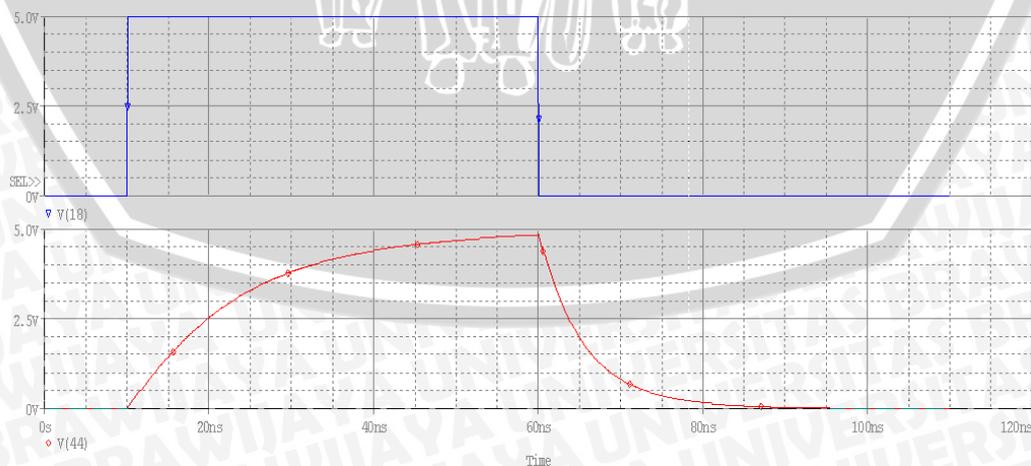
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 4,10^6 = 500 \times 10^{-6} = 0,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,85 \times 10^{-9} \times 500 \times 10^{-6} = 3,425 \times 10^{-12} = 3,425 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,5 mW dan PDP adalah 1,74 pJ.

### 3) Frekuensi 10MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5\text{pF}$  frekuensi 10MHz.



Gambar 5.14. Grafik Unit step IC MULTIPLEXER 16 to 1  $C_L = 5\text{pF}$   
Frekuensi 10MHz

Grafik simulasi unit step  $C_L = 5\text{pF}$  frekuensi 10MHz ditunjukkan dalam Gambar 5.14. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 9,76 \text{ ns}$$

$$t_r = 31,45 \text{ ns}$$

$$t_{PHL} = 3,68 \text{ ns}$$

$$t_f = 12,43 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{3,68\text{ns} + 9,76\text{ns}}{2} = 6,72 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 5\text{pF}$ ,  $t_{PD} = 6,72 \text{ ns}$ , maka:

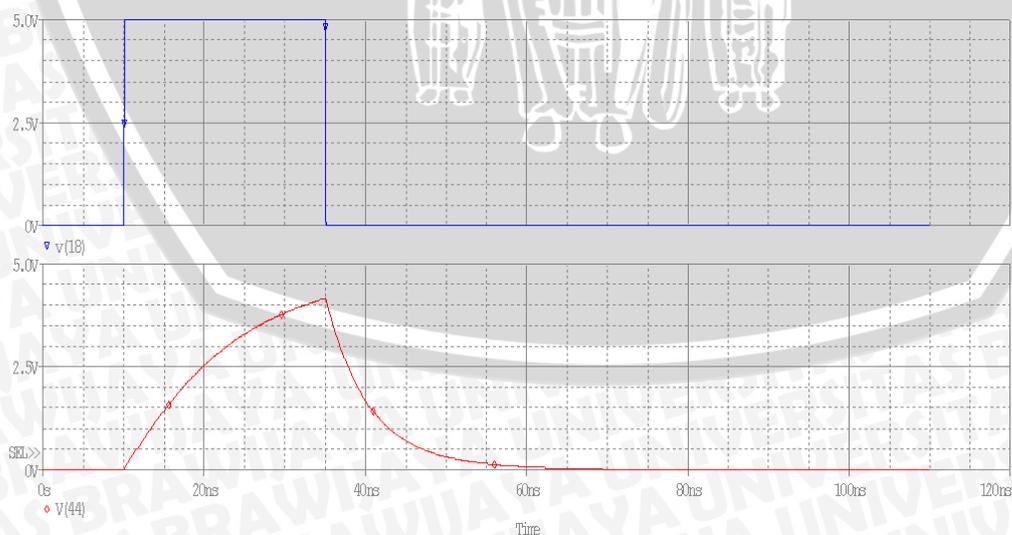
$$PD = C_L V_{DD}^2 f = 5 \times 10^{-12} \times 5^2 \times 10 \cdot 10^6 = 1250 \times 10^{-6} = 1,25 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 6,72 \times 10^{-9} \times 1250 \times 10^{-6} = 8,4 \times 10^{-12} = 8,4 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1,25 mW dan PDP adalah 8,4 pJ.

#### 4) Frekuensi 20MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5\text{pF}$  frekuensi 20MHz.

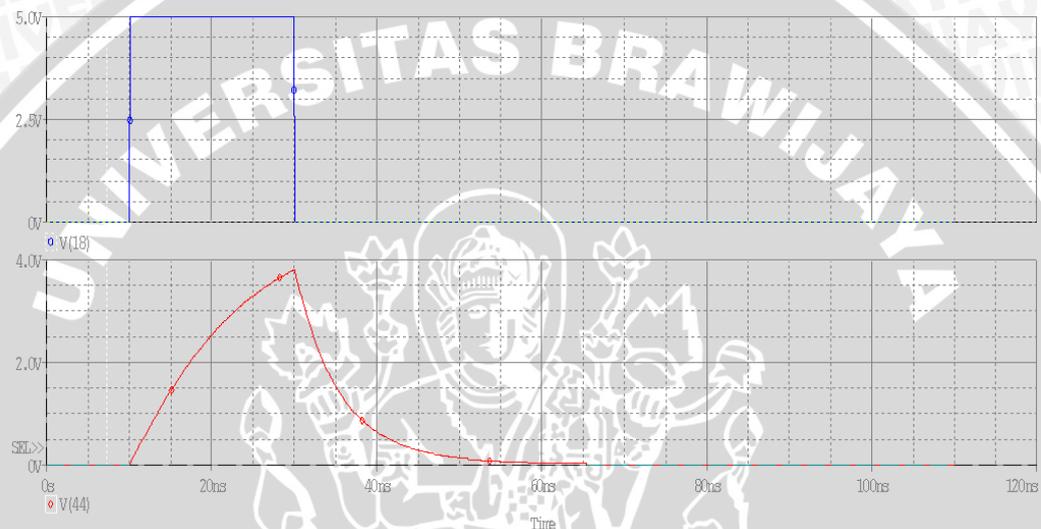


Gambar 5.15. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 5\text{pF}$   
Frekuensi 20MHz

Berdasarkan data yang yang ditunjukkan dalam Gambar 5.15, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran 4, *listing program* unit step  $C_L = 5\text{pF}$  frekuensi 25MHz.



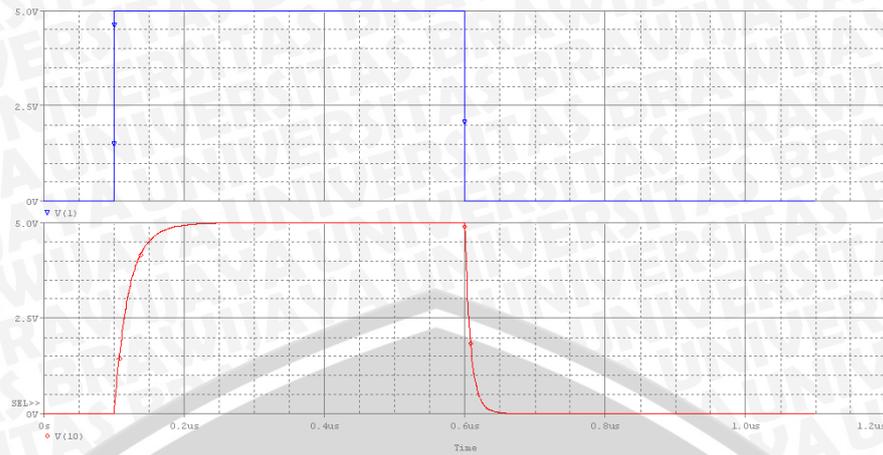
Gambar 5.16 Grafik Unit step IC MULTIPLEXER 16 to 1  $C_L = 5\text{pF}$   
Frekuensi 25MHz

Berdasarkan data yang yang ditunjukkan dalam Gambar 5.16, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.2.5 Simulasi Unit Step IC MULTIPLEXER 16 to 1 dengan $C_L = 15\text{ pF}$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 15\text{pF}$  frekuensi 1MHz.



Gambar 5.17. Grafik Unit Step IC MULTIPLEKSER 16 to 1  $C_L=15\text{pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 15\text{pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.17. Nilai *propagation delay* rangkaian, rise time dan fall time a grafik tersebut adalah:

$$t_{PLH} = 29,38 \text{ ns} \qquad t_r = 94,17 \text{ ns}$$

$$t_{PHL} = 11,75 \text{ ns} \qquad t_f = 37,65 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{11,75\text{ns} + 29,38\text{ns}}{2} = 20,57 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15\text{pF}$ ,  $t_{PD} = 20,57\text{ns}$ , maka::

$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 1.10^6 = 375 \times 10^{-6} = 0,375 \text{ mW}$$

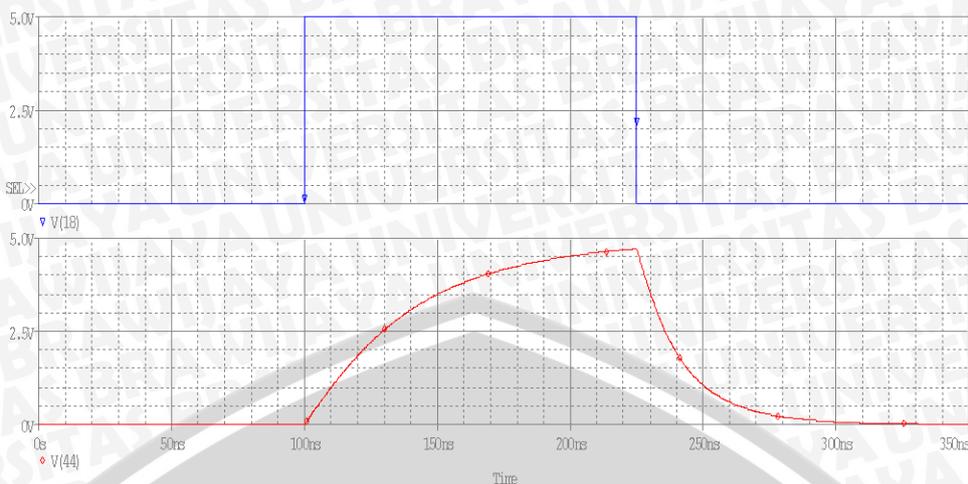
$$PDP = t_{PD}.PD = 20,57 \times 10^{-9} \times 375 \times 10^{-6} = 7,7 \times 10^{-12} = 7,7 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 0,375 mW dan PDP adalah 7,7 pJ.

2) Frekuensi 4MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 15\text{pF}$  frekuensi 4MHz.





Gambar 5.18. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 15\text{pF}$   
Frekuensi 4MHz

Grafik simulasi unit step  $C_L = 15\text{pF}$  frekuensi 4MHz ditunjukkan dalam Gambar 5.18. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* dari grafik tersebut adalah:

$$t_{PLH} = 29,49 \text{ ns}$$

$$t_r = 94,3 \text{ ns}$$

$$t_{PHL} = 10,67 \text{ ns}$$

$$t_f = 37,17 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* :

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{10,67 \text{ ns} + 29,49 \text{ ns}}{2} = 20,08 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 15\text{pF}$ ,  $t_{PD} = 20,08 \text{ ns}$ , maka:

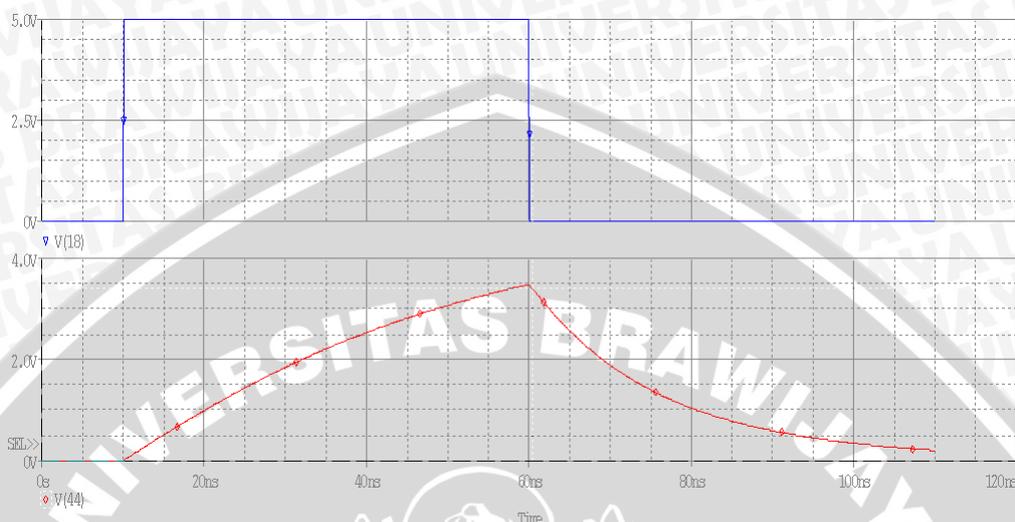
$$PD = C_L V_{DD}^2 f = 15 \times 10^{-12} \times 5^2 \times 4 \cdot 10^6 = 1500 \times 10^{-6} = 1,5 \text{ mW}$$

$$PDP = t_{PD} \cdot PD = 20,08 \times 10^{-9} \times 1500 \times 10^{-6} = 30,12 \times 10^{-12} = 30,12 \text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1,5 mW dan PDP adalah 30,12pJ.

## 3) Frekuensi 10MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 15\text{pF}$  frekuensi 10MHz.

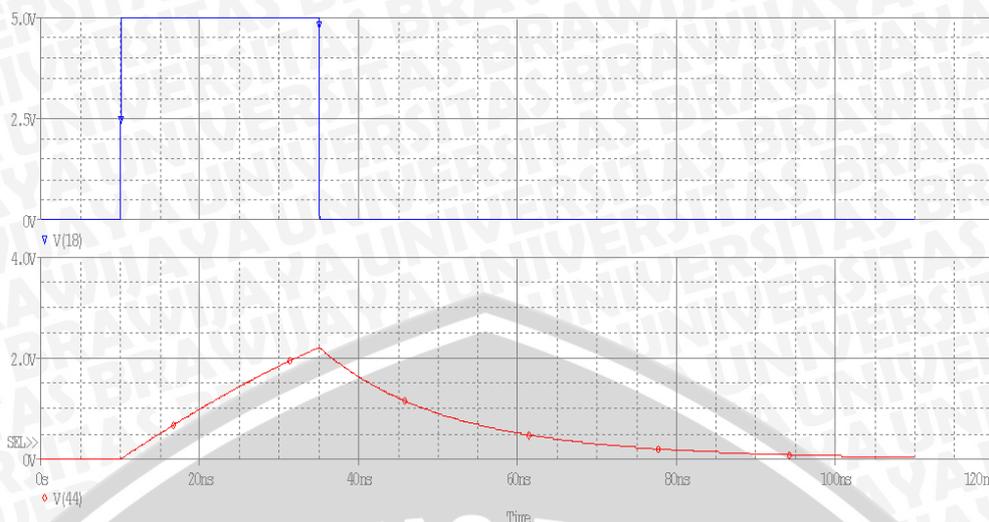


Gambar 5.19. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 15\text{pF}$   
Frekuensi 10MHz

Berdasarkan data yang ditunjukkan dalam Gambar 5.19, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

## 4) Frekuensi 20MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 15\text{pF}$  frekuensi 20MHz.

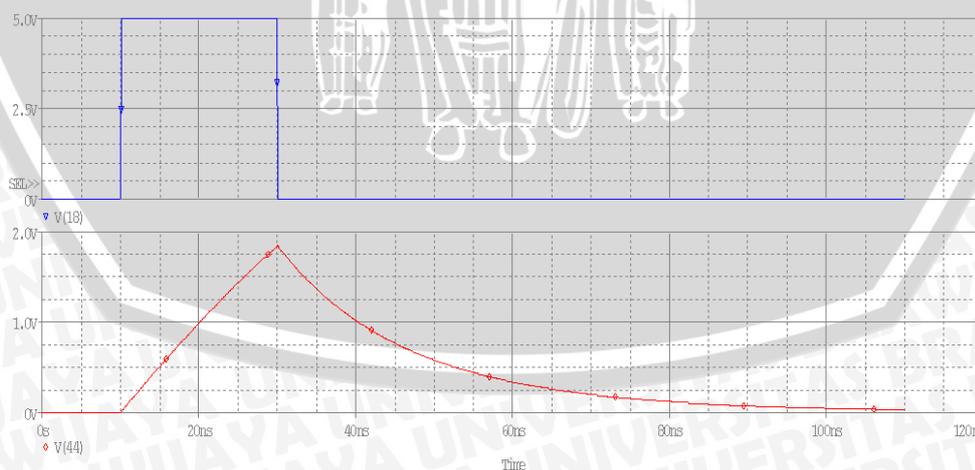


Gambar 5.20. Grafik Unit step IC MULTIPLEXER 16 to 1  $C_L = 15\text{pF}$   
 Frekuensi 20MHz

Berdasarkan data yang ditunjukkan dalam Gambar 5.20, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, yaitu 3,47 V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran 5, *listing program* unit step  $C_L = 15\text{pF}$  frekuensi 25MHz.



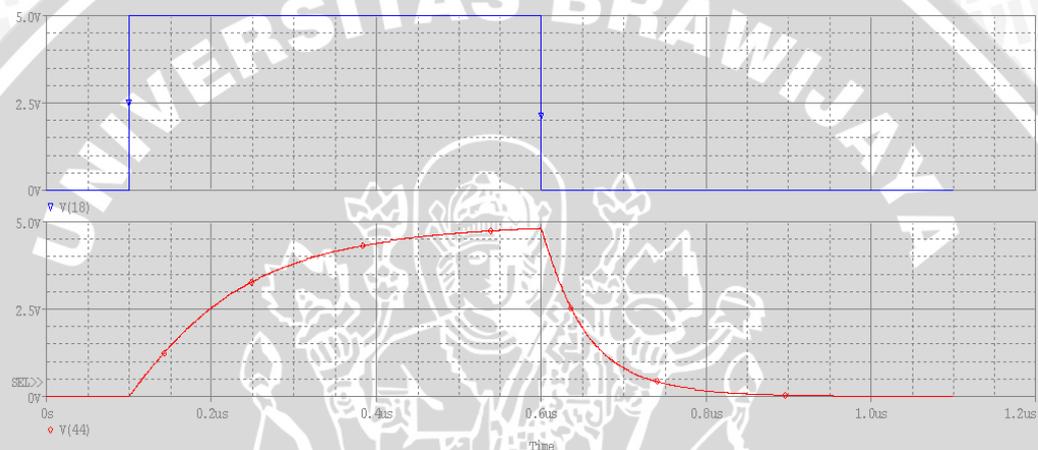
Gambar 5.21. Grafik Unit step IC MULTIPLEXER 16 to 1  $C_L = 15\text{pF}$   
 Frekuensi 25MHz

Berdasarkan data yang ditunjukkan dalam Gambar 5.21, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.2.6 Simulasi Unit Step IC MULTIPLEKSER 16 to 1 dengan $C_L = 50 \text{ pF}$

1) Frekuensi 1 MHz

Listing program ditunjukkan dalam Lampiran 6, listing program unit step  $C_L = 50 \text{ pF}$  frekuensi 1MHz.



Gambar 5.22. Grafik Unit Step IC MULTIPLEKSER 16 to 1  $C_L=50 \text{ pF}$  frekuensi 1 MHz

Grafik simulasi unit step  $C_L = 50 \text{ pF}$  frekuensi 1MHz ditunjukkan dalam Gambar 5.22. Nilai *propagation delay* rangkaian, *rise time* dan *fall time* a grafik tersebut adalah:

$$t_{PLH} = 97,95 \text{ ns}$$

$$t_r = 312,65 \text{ ns}$$

$$t_{PHL} = 37,05 \text{ ns}$$

$$t_f = 124,79 \text{ ns}$$

Berdasarkan data tersebut dapat diperoleh nilai rata-rata *propagation delay* yaitu:

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2} = \frac{37,05 \text{ ns} + 97,95 \text{ ns}}{2} = 67,5 \text{ ns}$$

Dalam PSPICE tidak terdapat fasilitas simulasi untuk mengetahui disipasi daya, sehingga nilai disipasi daya diperoleh dengan menggunakan persamaan (2.36) dan (2.38) untuk nilai *Power Delay Product* (PDP). Dengan mensubstitusikan  $C = 50\text{pF}$ ,  $t_{\text{PD}} = 67,5\text{ ns}$ , maka::

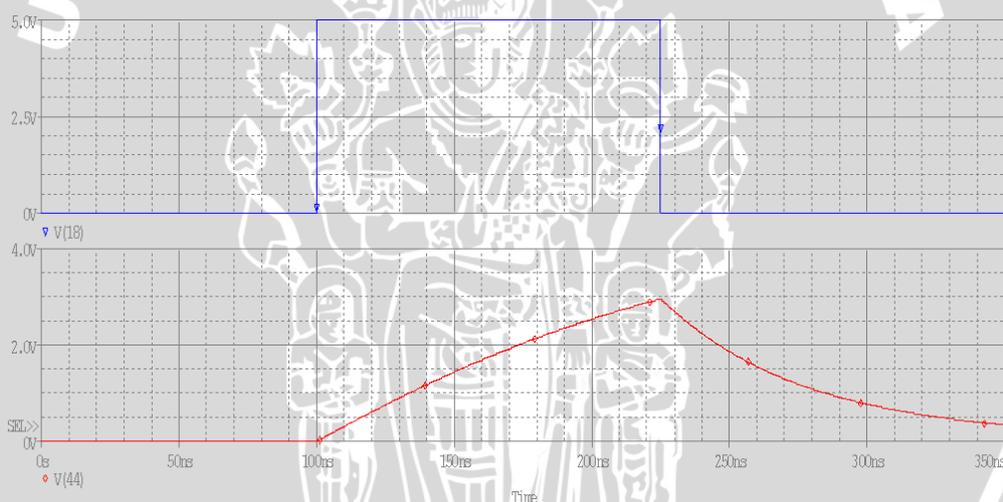
$$PD = C_L V_{\text{DD}}^2 f = 50 \times 10^{-12} \times 5^2 \times 1.10^6 = 1250 \times 10^{-6} = 1,25\text{ mW}$$

$$PDP = t_{\text{PD}} \cdot PD = 67,5 \times 10^{-9} \times 1250 \times 10^{-6} = 84,37 \times 10^{-12} = 84,37\text{ pJ}$$

Diperoleh nilai disipasi daya adalah 1,25 mW dan PDP adalah 84,37 pJ.

### 3) Frekuensi 4MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 50\text{pF}$  frekuensi 4MHz.

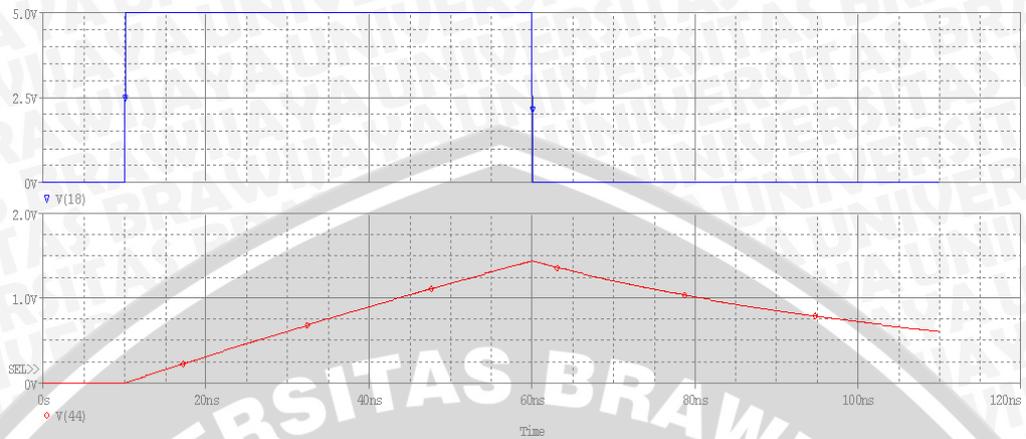


Gambar 5.23. Grafik Unit step IC MULTIPLESER 16 to 1  $C_L = 50\text{pF}$   
Frekuensi 4MHz

Berdasarkan data yang yang ditunjukkan dalam Gambar 5.23, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{\text{OH}}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

## 5) Frekuensi 10MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 50\text{pF}$  frekuensi 10MHz.

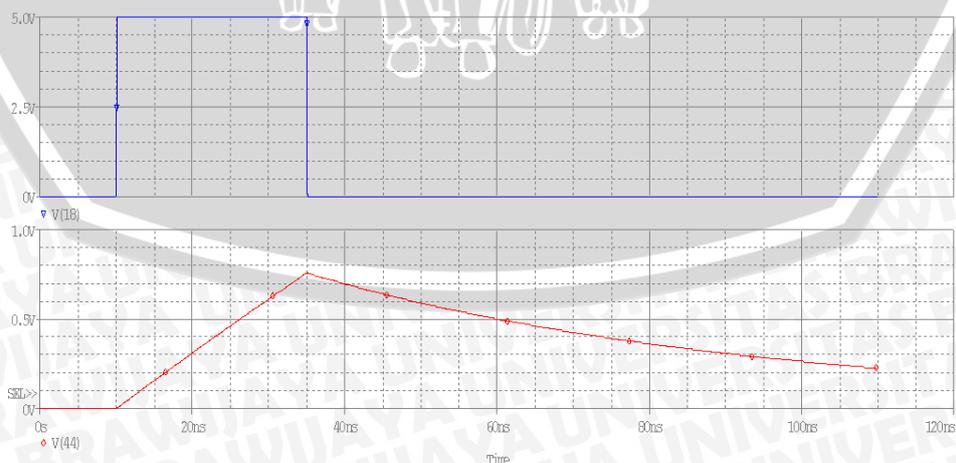


Gambar 5.24. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 50\text{pF}$   
Frekuensi 10MHz

Berdasarkan data yang yang ditunjukkan dalam Gambar 5.24, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

## 4) Frekuensi 20MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 50\text{pF}$  frekuensi 20MHz.

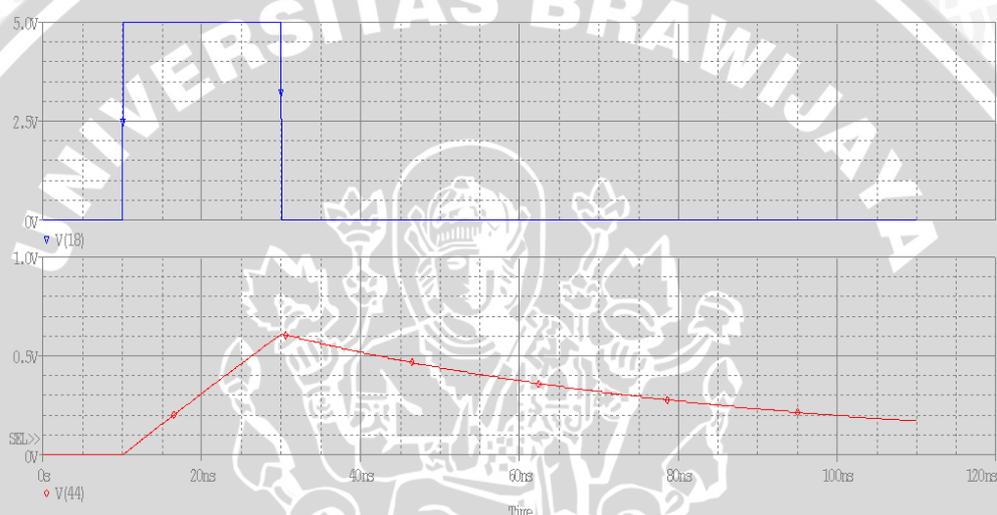


Gambar 5.25. Grafik Unit step IC MULTIPLEKSER 16 to 1  $C_L = 50\text{pF}$   
Frekuensi 20MHz

Berdasarkan data yang ditunjukkan dalam Gambar 5.25, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

5) Frekuensi 25MHz

Listing program ditunjukkan dalam Lampiran 6, *listing program* unit step  $C_L = 50\text{pF}$  frekuensi 25MHz.



Gambar 5.26. Grafik Unit step IC MULTIPLEKSER 16 to1  $C_L = 50\text{pF}$   
Frekuensi 25MHz

Berdasarkan data yang ditunjukkan dalam Gambar 5.26, diperoleh grafik yang tidak simetris, dimana nilai dari  $V_{OH}$  tidak mencapai 5V, sehingga *propagation delay*, *rise time*, *fall time*, serta nilai dari PD dan PDP tidak dapat ditentukan secara tepat.

### 5.3 Perbandingan Data Hasil Analisis Perhitungan, Simulasi dan Datasheet

Berdasarkan hasil simulasi IC MULTIPLEKSER 16 to 1 HCMOS dalam subbab 5.2 diperoleh data simulasi yang dapat menjadi perbandingan dengan data analisis perhitungan serta *datasheet* yang telah ditetapkan. Tabel 5.1 menunjukkan data hasil simulasi IC MULTIPLEKSER 16 to 1 HCMOS.

Tabel 5.1. Data Hasil Simulasi IC MULTIPLEKSER 16 to 1 HCMOS

$C_L$	Parameter	Frekuensi (MHz)				
		1	4	10	20	25
0,5pF	$t_{PLH}(ns)$	1,028	0,977	0,978	0,978	1,03
	$t_{PHL}(ns)$	0,396	0,396	0,396	0,396	0,396
	$t_r(ns)$	3,136	3,193	3,126	3,093	3,093
	$t_f(ns)$	1,255	1,255	1,216	1,255	1,255
	$t_{FD}(ns)$	0,712	0,69	0,69	0,69	0,713
	PD(mW)	0,0125	0,05	0,125	0,25	0,313
	PDP(fJ)	8,75	34,5	86,25	172,5	225,3
1pF	$t_{PLH}(ns)$	1,956	1,956	1,956	1,956	1,956
	$t_{PHL}(ns)$	0,787	0,787	0,787	0,787	0,785
	$t_r(ns)$	6,277	6,277	6,234	6,234	6,234
	$t_f(ns)$	2,5	2,508	2,508	2,489	2,5
	$t_{FD}(ns)$	1,371	1,371	1,371	1,371	1,37
	PD(mW)	0,025	0,05	0,1	0,25	0,625
	PDP(fJ)	34,25	137	342,5	685	856,25
5pF	$t_{PLH}(ns)$	9,793	0,793	9,756	-	-
	$t_{PHL}(ns)$	3,921	3,919	3,688	-	-
	$t_r(ns)$	31,36	31,986	31,456	-	-
	$t_f(ns)$	12,554	12,376	12,432	-	-
	$t_{FD}(ns)$	6,857	6,856	6,722	-	-
	PD(mW)	0,125	0,5	1,25	-	-
	PDP(fJ)	856,25	3425	8400	-	-
15pF	$t_{PLH}(ns)$	29,384	29,496	-	-	-
	$t_{PHL}(ns)$	11,757	10,671	-	-	-
	$t_r(ns)$	94,175	94,291	-	-	-
	$t_f(ns)$	37,665	37,128	-	-	-
	$t_{FD}(ns)$	20,57	20,083	-	-	-
	PD(mW)	0,375	1,5	-	-	-
	PDP(fJ)	7700	30,12	-	-	-
50pF	$t_{PLH}(ns)$	97,953	-	-	-	-
	$t_{PHL}(ns)$	37,052	-	-	-	-
	$t_r(ns)$	312,65	-	-	-	-
	$t_f(ns)$	124,793	-	-	-	-
	$t_{FD}(ns)$	67,502	-	-	-	-
	PD(mW)	1,25	-	-	-	-
	PDP(fJ)	84370	-	-	-	-

Berdasarkan Tabel 5.1 diperoleh nilai *average propagation delay* yang semakin besar jika nilai kapasitor yang digunakan juga besar. Sedangkan nilai *Power Dissipation* dan *Power Delay Product* semakin besar jika kapasitor yang digunakan bernilai besar dan frekuensi yang diberikan semakin besar. Kombinasi nilai kapasitor dan frekuensi yang besar dapat menghasilkan nilai *propagation delay* yang tidak simetris sehingga menghasilkan nilai  $V_{OH} < 5V$  dan  $V_{IL} > 0V$ . Hal ini menyebabkan nilai *Power Disipation* dan *Power Delay Product* tidak dapat dihasilkan seperti terdapat dalam  $C_L = 5pF$  pada  $f = 25Mhz$ , pada  $f = 20Mhz$  dan  $f = 25 MHz$ ,  $C_L = 15pF$  pada  $f = 20Mhz$  dan  $f = 25 MHz$ ,  $C_L = 50pF$  pada  $f = 2Mhz$ ,  $f = 10Mhz$ ,  $f = 20Mhz$ , dan  $f = 25 MHz$ .

Pada Tabel 5.2 menunjukkan perbandingan hasil perhitungan, simulasi VTC dan *Noise Margin* dengan perhitungan % *error* ditunjukkan dalam persamaan (5.1).

$$\% \text{ Error} = | (\text{Nilai parameter simulasi} - \text{Nilai perhitungan}) | \times 100\% \quad (5.1)$$

Tabel 5.2 Perbandingan Data Hasil Perhitungan dan Simulasi VTC dengan Datasheet IC Multiplexer TTL DM74150 dan IC CMOS MM54C150

Parameter	Datasheet		Perhitungan	Simulasi	%Error
	DM74150 Vcc = 5V	MM54C150 Vcc = 5V			
$V_{IH}$ (V)	2	3,5	2,925	2,94	0,015
$V_{IL}$ (V)	0,8	1,5	2,075	2,92	0,845
$V_{OH}$ (V)	2,4	4,5	4,575	5	0,425
$V_{OL}$ (V)	0,4	0,5	0,425	0	0,425
$N_{MH}$ (V)	0,4	1	1,65	2,06	0,41
$N_{ML}$ (V)	0,4	1	1,65	2,92	1,27

Berdasarkan Tabel 5.2 dapat diketahui bahwa hasil simulasi dan perhitungan nilai VTC dan *Noise Margin* tidak memiliki perbedaan besar yang signifikan dan persentase *error* yang kecil dan diperoleh *Noise Margin* dengan nilai yang besar dalam simulasi. Tabel perbandingan nilai *propagation delay*, *rise time*, *fall time* pada  $C_L = 50\text{pF}$  ditunjukkan dalam Tabel 5.3.

Tabel 5.3 Data Hasil Perbandingan Nilai *Propagation Delay*, *Rise Time* dan *Fall time*, dan  $T_{PD}$  dengan Datasheet IC Decoder TTL DM74150 dan IC CMOS MM54C150 pada  $f = 1\text{MHz}$

Parameter	Datasheet		Simulasi					Perhitungan	
	DM74150 Vcc = 5V CL=15pF	MM54C150 Vcc = 5V CL = 50pF	0,5pF	1pF	5pF	15pF	50pF	CL = 15pF	CL = 50pF
$t_{PLH}$ (ns)	35	250	1,028	1,956	9,793	29,384	97,953	60	200
$t_{PHL}$ (ns)	33	290	0,396	0,787	3,921	11,757	37,052	60	200
$t_r$ (ns)	70	500	3,136	6,277	31,36	94,175	312,65	120	400
$t_f$ (ns)	70	500	1,255	2,5	12,554	37,665	124,793	120	400
$t_{PD}$ (ns)	34	220	0,712	1,371	6,857	20,57	67,5	60	200

Berdasarkan Tabel 5.3 diperoleh perbandingan nilai *propagation delay* dan *average propagation delay*. Data yang dipergunakan dalam kolom

perhitungan dan *datasheet* merupakan data dengan nilai  $C_L = 15\text{pF}$  dan  $f = 1\text{MHz}$ , data tersebut dibandingkan dengan data hasil simulasi dengan variasi nilai kapasitor dan frekuensi yang sama. Berdasarkan Tabel 5.3 diperoleh nilai *propagation delay* dan *average propagation delay* jauh lebih kecil dari hasil perhitungan dan *datasheet*, hal ini menunjukkan bahwa IC Multiplekser 16 to 1 HCMOS ini memiliki proses kerja yang cepat, dengan kecilnya nilai *propagation delay*. Selain itu pada hasil perhitungan hanya dilakukan dengan parameter yang terbatas dari pada simulasi, sehingga dihasilkan data yang jauh berbeda antara perhitungan dan simulasi. Batas nilai kapasitansi maksimal yang dapat digunakan adalah  $15\text{pF}$ , dengan menggunakan  $C_L = 50\text{pF}$ , nilai *average propagation delay* yang dihasilkan menjadi lebih besar dari parameter pembandingan yang ditentukan.

Tabel 5.4 Data Hasil Perbandingan *Power Disipation* dan *Power Delay Product* dengan *Datasheet* IC Multiplekser TTL DM74150 dan CMOS MM54C150 pada  $C_L = 15\text{pF}$  dan  $C_L=50\text{pF}$  dengan  $f = 1\text{MHz}$

Parameter	DM74150 Vcc = 5V	MM54C150 Vcc = 5V	Simulasi $C_L=15\text{pF}$	Simulasi $C_L=50\text{pF}$	Perhitungan $C_L=15\text{pF}$	Perhitungan $C_L=50\text{pF}$
$T_{PD}(ns)$	34	220	20,57	67,5	60	200
PD (mW)	200	500	0,375	1,25	0,375	1,25
PDP(pJ)	6800	110000	7,7	84,37	22,5	250

#### 5.4 Pembuatan Stick Diagram dan Layout

Setelah mengetahui nilai W dan L masing-masing transistor penyusun gerbang-gerbang Multiplekser 16 to 1, hasil simulasi sesuai dengan spesifikasi yang ditentukan, tahapan selanjutnya adalah penggambaran *stick diagram* dan tata letak (*layout*). Penggambaran *stick diagram* bertujuan untuk memudahkan dalam penggambaran *layout*, yaitu memberikan gambaran awal posisi transistor yang akan didesain, namun belum memuat nilai W dan L transistor. Dalam *stick diagram*, untuk membedakan antara lapisan yang satu dengan yang lain, digunakan warna yaitu warna merah untuk *polysilicon*, kuning untuk *difusi-p*, hijau untuk *difusi-n*, biru muda untuk *metal 1*, biru tua untuk *metal 2*, dan hitam untuk *contact*.

Penggambaran dilakukan dengan menggunakan *default process Microwind* (0,6 $\mu$ m CMOS *process*) dengan nilai  $\lambda = 0,6\mu\text{m} / 2 = 0,3\mu\text{m}$ . *Layout* akan digambarkan dalam bentuk gerbang Multiplekser 16 to 1 tanpa *pad I/O*, digambarkan dengan skala 1:30 $\mu$ m (1 grid senilai dengan 30 $\mu$ m), sedangkan gerbang dengan *pad I/O* digambarkan dengan skala 1:60 $\mu$ m (1 grid senilai 60 $\mu$ m). Gambar *stick diagram*, *layout*, serta IC dengan *pad I/O* dapat dilihat dalam lampiran 7 dan 8.

