

repository.ub.ac

PENGUAT AUDIO SUBWOOFER KELAS D

SKRIPSI

Diajukan untuk memenuhi sebagian persyaratan
memperoleh gelar Sarjana Teknik



Disusun oleh :

ERLI PUSPITA W.

NIM. 0110630046

**DEPARTEMEN PENDIDIKAN NASIONAL
UNIVERSITAS BRAWIJAYA
FAKULTAS TEKNIK
JURUSAN ELEKTRO
MALANG
2007**

PENGUAT AUDIO SUBWOOFER KELAS D

SKRIPSI

Diajukan untuk memenuhi sebagian persyaratan
memperoleh gelar Sarjana Teknik



Disusun oleh :

ERLI PUSPITA W

NIM. 0110630046

DOSEN PEMBIMBING :

Ir. Nanang S.
NIP. 132 090 389

Adharul M., ST, MT.
NIP. 132 311 886



PENGUAT AUDIO *SUBWOOFER* KELAS D

Disusun oleh:

ERLI PUSPITA W.
NIM. 0110630046 - 63

Skripsi ini telah diuji dan dinyatakan lulus pada
Tanggal 07 Februari 2007

DOSEN PENGUJI

M. Julius Setioprano, Ir. MS.
NIP. 131 124 655

Ponco Siwindarto, Ir. MS.
NIP. 131 837 966

Waru Djuratno, ST, MT.
NIP. 132 158 733

Moch. Rif'an, ST, MT.
NIP. 132 283 659

Mengetahui,
Ketua Jurusan Teknik Elektro

Ir. PURWANTO, MT.
NIP. 131 574 847

PENGANTAR

Puji syukur kepada Allah SWT. yang telah memberikan pertolongan-Nya pada hamba-Nya yang lemah ini, sehingga penyusunan skripsi ini dapat terselesaikan. Shalawat dan salam senantiasa tercurah untuk Nabi Muhammad SAW beserta keluarga beliau. Semoga skripsi ini dapat memberikan manfaat baik bagi penulis maupun untuk umat ini. Amin.

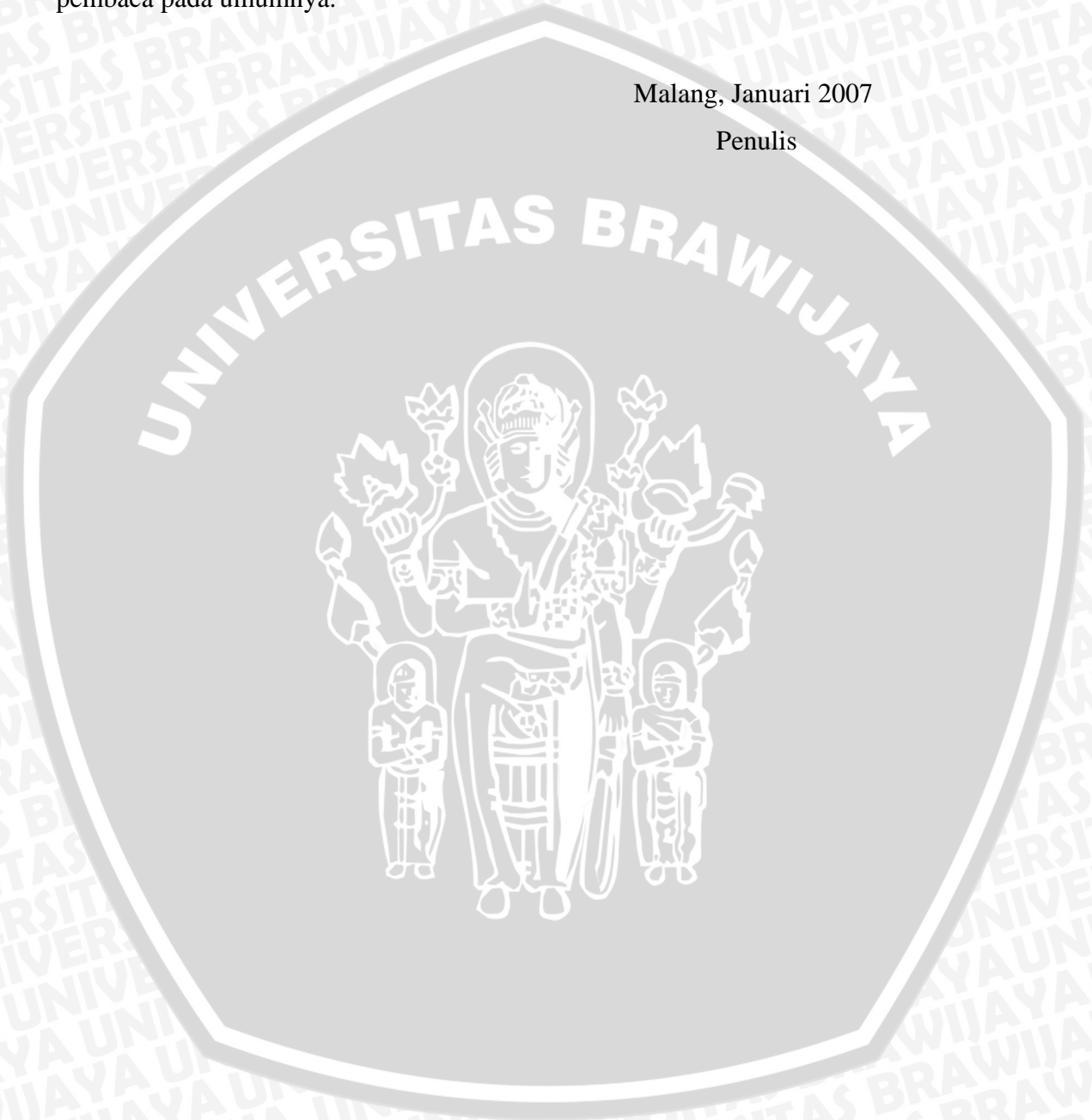
Skripsi berjudul “Penguat Audio *Subwoofer* Kelas D” ini dibuat sebagai salah satu syarat untuk mendapatkan gelar Sarjana Teknik di Jurusan Teknik Elektro, Fakultas Teknik, Universitas Brawijaya. terselesainya skripsi ini tentunya tidak lepas juga dari bantuan berbagai pihak. Oleh sebab itu, dengan segala kerendahan hati penulis menyampaikan terima kasih kepada :

1. Ir. Purwanto, MT selaku Ketua Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya Malang.
2. Ir. Heri Purnomo, MT selaku Sekretaris Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya Malang.
3. Ir. Ponco Siwindarto, MS selaku KKDK Elektronika Jurusan Teknik Elektro Fakultas Teknik Universitas Brawijaya Malang.
4. Ir. Nanang S. selaku dosen pembimbing I dan Adharul M., ST. MT selaku dosen pembimbing II atas bantuan dan motivasi serta bimbingannya selama ini.
5. Papa, Mama, mbak nana dan mbah yang selalu memberi dukungan dan semangat lahir dan batin.
6. Mas Yayan atas segala bantuan dan dukungannya selama ini.
7. Teman-temanku seperjuangan Alim, Ambar, Citra, Dian, Endra, May, Vita dan Malik.
8. Mas Mulyadi selaku Laboran Lab. Elektronika yang telah memberikan bantuan selama penyusunan skripsi
9. Asisten laboratorium Elektronika angkatan 2001,2002,2003 dan 2004 yang telah memberikan motivasi selama ini.
10. Teman-teman TEUB angkatan 2001.
11. Semua pihak yang telah membantu terselesaikannya skripsi ini.

Penulis menyadari bahwa masih terdapat berbagai kekurangan dalam penyusunan skripsi ini. Oleh karena itu, segala saran dan kritik yang membangun sangat diharapkan. Akhir kata, penyusun mengharapkan semoga skripsi ini dapat bermanfaat bagi rekan-rekan mahasiswa dan bagi seluruh pembaca pada umumnya.

Malang, Januari 2007

Penulis



ABSTRAK

ERLI PUSPITA W., 2007, *Penguat Audio Subwoofer Kelas D*, Jurusan Teknik Elektro, Fakultas Teknik, Universitas Brawijaya, Malang. Pembimbing: Ir. Nanang S. Dan Adharul M., ST, MT.

Penguat kelas D merupakan salah satu penguat yang dikenal memiliki efisiensi tinggi jika dibandingkan dengan penguat daya linier seperti penguat kelas A, B dan AB. Secara teoritis efisiensi dari penguat kelas D ini bisa mencapai 90%. Tingginya efisiensi berarti tidak banyak daya yang terbuang dipenguat sehingga hal ini akan memperkecil ukuran *heat sink* dari penguat tersebut.

Penguat Kelas D yang dirancang terdiri dari komparator, *driver*, saklar elektronik dan *low pass filter* pasif LC. Sistem penguat kelas D ini seluruhnya menggunakan komponen diskrit dengan komponen utama MOSFET yang berfungsi sebagai saklar. Penguat kelas D ini tidak bekerja di daerah linier tetapi bekerja pada kondisi saturasi dan *cut off*. Sinyal masukan memiliki jangkauan frekuensi sebesar 20-120 Hz ke penguat kelas D di konversikan dulu dengan metode *Pulse Width Modulation* (PWM) menjadi sinyal pulsa. Untuk mendapatkan sinyal aslinya, sinyal keluaran penguat kelas D harus diumpankan ke sebuah *Low Pass Filter* (LPF). Daya keluaran maksimum penguat kelas D tersebut sebesar 75 W.

Dari pengujian didapatkan efisiensi penguat kelas D bergantung pada efisiensi saklar elektronik dan efisiensi filter. Efisiensi saklar elektronik sekitar 90% dan efisiensi filter sekitar 80% sehingga efisiensi total penguat kelas D mencapai 70%. Hasil simulasi menunjukkan bahwa nilai persentase *total harmonic distortion* (THD) penguat kelas D ini sebesar 16,12%.



DAFTAR ISI

Halaman Judul	i
Halaman Pengesahan	ii
Pengantar	iii
Abstrak	v
Daftar Isi	vi
Daftar Gambar	ix
Daftar Tabel	xii

BAB I : PENDAHULUAN

1.1. Latar Belakang	1
1.2 Batasan Masalah	2
1.3. Rumusan Masalah	3
1.4. Tujuan	3
1.5. Sistematika Penulisan	3

BAB II : TINJAUAN PUSTAKA

2.1. Komparator	4
2.1.1. Penguat <i>Diferensial</i>	5
2.1.2. Cermin Arus	6
2.2. Pembangkit sinyal Segitiga	7
2.3. <i>Pulse Width Modulation</i>	10
2.3.1. Modulasi Lebar Pulsa.....	10
2.3.2. Metoda Lebar Pulsa	10
2.4. Penguat Kelas D.....	14
2.4.1. Konsep Dasar Penguat Kelas D	14
2.4.2. Konfigurasi Penguat Kelas D.....	17
2.4.3. MOSFET Daya	18
2.4.4. Karakteristik <i>Switching</i>	19
2.4.5. Rangkaian <i>Bootstrap</i>	20



2.4.6. Rangkaian <i>Snubber</i>	21
2.5. <i>Low Pass Filter</i>	23
2.5.1. Perubahan Bentuk dari Sinyal Persegi ke Sinyal Sinusoida	23
2.5.2. <i>Low Pass Filter</i>	26
2.5.3. Respon <i>Butterworth</i>	27

BAB III : METODOLOGI PENELITIAN

3.1. Studi Literatur	30
3.2. Perencanaan dan Pembuatan Alat	30
3.3. Pengujian	31
3.4. Pengambilan Kesimpulan	31

BAB IV : PERENCANAAN DAN PEMBUATAN ALAT

4.1. Perencanaan Sistem	32
4.2. Spesifikasi Alat	33
4.3. Perencanaan Blok PWM	33
4.3.1. Rangkaian Pembangkit Sinyal Segitiga	33
4.3.2. Rangkaian Komparator	35
4.4. Perencanaan Blok <i>Stage Output</i>	38
4.4.1. Catu Tegangan <i>Driver</i> MOSFET	38
4.4.2. Rangkaian <i>Driver</i> MOSFET	40
4.4.3. Saklar Elektronik.....	44
4.4.4. Rangkaian <i>Snubber</i>	45
4.5. Perencanaan <i>Low Pass Filter</i>	47

BAB V : PENGUJIAN DAN ANALISIS DATA

5.1. Pengujian Rangkaian Pembangkit Sinyal Segitiga	49
5.2. Pengujian Rangkaian Komparator	51
5.2.1. Pengujian Rangkaian Komparator	51
5.2.2. Pengujian Resistansi <i>Deadtime</i>	53
5.3. Pengujian Rangkaian <i>Driver</i> MOSFET	55
5.4. Pengujian Rangkaian Saklar Elektronik.....	57

5.5. Pengujian Rangkaian *Low Pass Filter* 59

 5.5.1. Pengujian Respon *Low Pass Filter* 59

 5.5.2. Pengujian Efisiensi *Low Pass Filter* 60

5.6. Pengujian Keseluruhan Sistem..... 62

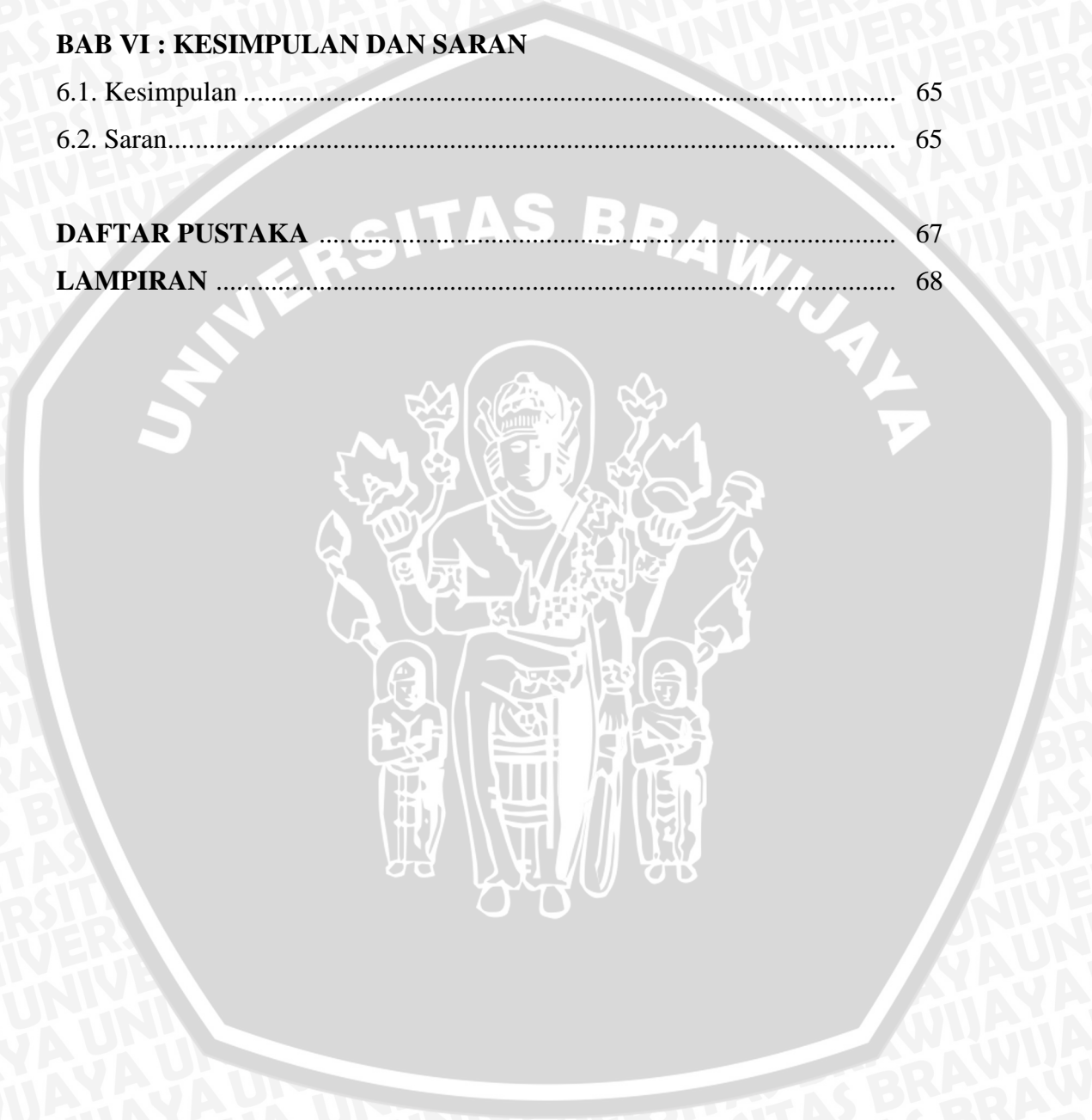
BAB VI : KESIMPULAN DAN SARAN

6.1. Kesimpulan 65

6.2. Saran..... 65

DAFTAR PUSTAKA 67

LAMPIRAN 68



DAFTAR GAMBAR

Gambar 2.1.a. Blok komparator secara umum	4
Gambar 2.1.b. Grafik keluaran pada komparator.....	4
Gambar 2.2. Penguat diferensial.....	5
Gambar 2.3. Cermin arus	6
Gambar 2.4. Cermin arus dengan kompensasi arus basis.....	7
Gambar 2.5. Blok diagram XR-2206	8
Gambar 2.6. Susunan pin XR-2206	8
Gambar 2.7. Rangkaian pembangkit sinyal segitiga	9
Gambar 2.8. Sinyal PWM secara umum	10
Gambar 2.9. Metoda pemodulasi lebar pulsa	10
Gambar 2.10. <i>single sided</i> dan <i>double sided</i> dalam modulasi PWM.....	11
Gambar 2.11. Gelombang segitiga.....	12
Gambar 2.12. Hubungan masukan dan keluaran pembanding pada PWM	12
Gambar 2.13. Duty cycle 0%, 25%, 50% dan 100%	13
Gambar 2.14.a.Sinyal PWM dengan duty cycle 50%.....	14
Gambar 2.14.b.Sinyal PWM dengan duty cycle 75%.....	14
Gambar 2.15. Konsep Dasar Penguat Kelas D	15
Gambar 2.16. Kelinearan waktu <i>switching</i>	15
Gambar 2.17. Konfigurasi <i>half bridge</i> Penguat Kelas D.....	17
Gambar 2.18. Konfigurasi <i>full bridge</i> Penguat Kelas D.....	18
Gambar 2.19. Karakteristik <i>switching</i>	19
Gambar 2.20. Rangkaian <i>bootstrap</i>	20
Gambar 2.21. <i>Snubber</i> RC	22
Gambar 2.22. <i>Snubber</i> RCD	22
Gambar 2.23. Bentuk gelombang sinusoida	23
Gambar 2.24. Bentuk gelombang persegi.....	24
Gambar 2.25. Bentuk gelombang persegi.....	24
Gambar 2.26. Respon ideal <i>low pass filter</i>	26
Gambar 2.27. Respon <i>butterworth</i> untuk <i>low pass filter</i>	27
Gambar 2.28. Satu seksi filter LC.....	28

Gambar 4.1.	Blok diagram Penguat Audio Subwoofer Kelas D	32
Gambar 4.2.	Rangkaian pembangkit sinyal segitiga.....	34
Gambar 4.3.	Rangkaian komparator	35
Gambar 4.4.	Transistor sebagai regulator tegangan.....	39
Gambar 4.5.	Rangkaian <i>driver</i> MOSFET	40
Gambar 4.6.	Rangkaian <i>driver</i> MOSFET M_2 saat MOSFET M_2 transisi saturasi	41
Gambar 4.7.	Rangkaian <i>driver</i> MOSFET M_2 saat MOSFET M_2 saturasi	42
Gambar 4.8.	Rangkaian <i>driver</i> MOSFET M_2 saat MOSFET M_2 <i>cut off</i>	44
Gambar 4.9.	Saklar elektronik	45
Gambar 4.10.	Rangkaian <i>snubber</i> RCD.....	46
Gambar 4.11.	Filter LC orde 2.....	47
Gambar 5.1.	Blok diagram pengujian rangkaian pembangkit sinyal segitiga	49
Gambar 2.2.	Sinyal segitiga pada frekuensi 20kHz.....	50
Gambar 5.3.	Blok diagram pengujian rangkaian komparator	51
Gambar 5.4.	Sinyal masukan komparator.....	51
Gambar 5.5.	Rangkaian komparator dengan $R_{pull\ up}$	52
Gambar 5.6.	Sinyal keluaran komparator	53
Gambar 5.7.	Blok diagram pengujian resistansi <i>deadtime</i>	53
Gambar 5.8.	Sinyal keluaran <i>driver</i> MOSFET untuk $R_{DT} 68\Omega$	54
Gambar 5.9.	Sinyal keluaran <i>driver</i> MOSFET untuk $R_{DT} 100\Omega$	55
Gambar 5.10.	Blok diagram pengujian rangkaian <i>driver</i> MOSFET.....	55
Gambar 5.11.	Sinyal keluaran dari kedua <i>driver</i> MOSFET	56
Gambar 5.12.	Blok diagram pengujian rangkaian saklar elektronik.....	57
Gambar 5.13.	Sinyal keluaran dari saklar elektronik untuk <i>duty cycle</i> 50% ..	58
Gambar 5.14.	Blok diagram pengujian respon rangkaian LPF.....	59
Gambar 5.15.	Sinyal <i>input</i> dan <i>output</i> filter pada frekuensi 20kHz	60
Gambar 5.16.	Blok diagram pengujian efisiensi rangkaian LPF	60
Gambar 5.17.	Blok diagram pengujian keseluruhan sistem.....	62
Gambar 5.18.	Sinyal masukan dan keluaran penguat pada frekuensi 100 Hz	63
Gambar 5.19.	Blok diagram pengujian THD.....	64
Gambar 5.20.	Grafik tegangan vs frekuensi dalam <i>spektrum analyser</i>	64

DAFTAR TABEL

Tabel 2.1. Deskripsi pin 9

Tabel 2.2. Faktor Denominator Butterworth..... 26

Tabel 5.1. Pengaruh nilai R_{DT} terhadap keluaran komparator 54

Tabel 5.2. Pengaruh nilai resitansi deadtime terhadap kondisi MOSFET 54

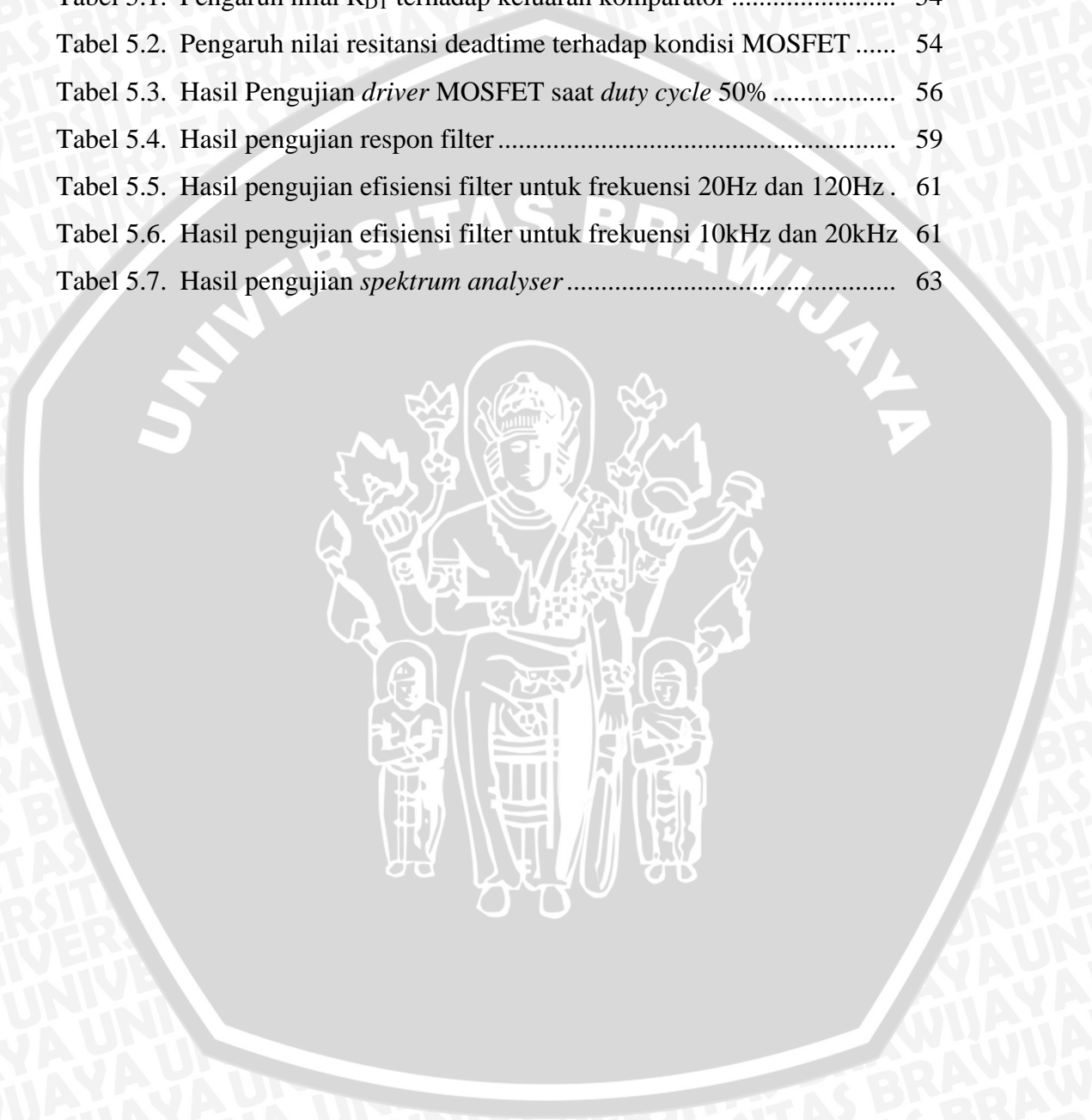
Tabel 5.3. Hasil Pengujian *driver* MOSFET saat *duty cycle* 50% 56

Tabel 5.4. Hasil pengujian respon filter 59

Tabel 5.5. Hasil pengujian efisiensi filter untuk frekuensi 20Hz dan 120Hz . 61

Tabel 5.6. Hasil pengujian efisiensi filter untuk frekuensi 10kHz dan 20kHz 61

Tabel 5.7. Hasil pengujian *spektrum analyser* 63



BAB I PENDAHULUAN

1.1 Latar Belakang

Salah satu faktor penting dalam menentukan kualitas sistem audio adalah penguat audio. Penggunaan penguat audio mempunyai tujuan untuk memperoleh penguatan arus dan tegangan yang akan disalurkan ke beban. Penguat audio dirancang berdasarkan pertimbangan daya keluaran, daya masukan, disipasi daya, distorsi, dan efisiensi daya (Schilling & Charles, 1989:250). Ada beberapa jenis penguat audio antara lain penguat audio kelas A, B, C, D, T, G, H dan beberapa kategori lainnya. Penguat linier seperti kelas A,B dan AB mempunyai efisiensi yang rendah. Penguat tidak linear seperti penguat kelas D mengurangi disipasi daya pada transistor karena bekerja di *cut off* dan saturasi sehingga mempunyai efisiensi tinggi (Schilling dan Charles, 1989:254).

Keuntungan utama dari Penguat audio kelas D adalah mempunyai efisiensi tinggi sehingga tidak banyak daya yang terbuang di penguat daya. Kenaikan efisiensi berarti juga memperkecil ukuran pembuangan panas (*heat sink*) dari penguat audio itu sendiri (Leach, 2001). Jika dibandingkan dengan penguat kelas A yang mempunyai efisiensi maksimum 25% (Schilling & Charles, 1989: 225), penguat kelas B efisiensi maksimum 78,5% (Schilling dan Charles, 1989: 235) dan penguat kelas C efisiensi maksimum 90% (Price, 1996: 595). Penguat Kelas D dapat meningkatkan efisiensi sampai dengan 100% (Price, 1996: 598). Kelebihan ini sesuai untuk peralatan elektronik yang *portable* catu dayanya.

Dalam sistem audio biasanya terdapat dua kanal penguat (*stereo*), karena itu dibutuhkan suatu penguat daya dengan kualitas tinggi (*hi-fi*) untuk bisa menghasilkan sinyal audio dengan spektrum frekuensi terendah (*bass*), frekuensi menengah (*middle*) sampai frekuensi tinggi (*treble*). Sehingga dibutuhkan lebih banyak *speaker* karena setiap spektrum frekuensi membutuhkan speaker khusus di setiap kanalnya. Karena ada dua kanal maka akan dibutuhkan 6 *speaker*. Namun dalam aplikasi biasanya speaker untuk frekuensi menengah dan frekuensi tinggi biasanya digabung, sehingga dibutuhkan 4 *speaker*. Dalam sistem audio modern jumlah kanalnya mencapai 6 (sistem *surround*). Dan pemisahan penguat bukan hanya berdasarkan kanal tetapi juga berdasarkan frekuensi audio yang dikuatkan. Sinyal audio dengan frekuensi sangat rendah (*Extended Low Frequency*) menggunakan penguat terpisah.

Penguat khusus ini harus memiliki daya keluaran (*power output*) yang sangat besar, agar bisa menggerakkan *speaker woofer* dan menghasilkan suara bass dengan kualitas tinggi. Penguat daya kelas D sangat cocok digunakan karena efisiensinya yang sangat tinggi. Penggunaan penguat kelas D akan sangat menguntungkan karena sinyal audio yang dikuatkan mempunyai frekuensi sangat rendah.

Prinsip Kerja penguat audio kelas D berdasarkan dua kondisi, yaitu jenuh (*saturation*) dan putus (*cutoff*) (Schilling & Charles, 1989:255). Kondisi saturasi dan *cut off* ini mirip dengan perilaku saklar yaitu *on* dan *off*. MOSFET mempunyai keunggulan respon *switching* yang lebih cepat dibandingkan dengan BJT sehingga untuk penguat kelas D ini menggunakan MOSFET.

Sinyal masukan diperlukan untuk membuat penguat jenuh atau putus. Karena itu untuk menghasilkan dua kondisi tersebut diperlukan sinyal masukan yang hanya mempunyai dua kondisi pula. Sinyal audio yang masuk ke penguat dikonversikan dulu dengan metode *Pulse Width Modulation* (PWM). Untuk mendapatkan sinyal aslinya, sinyal keluaran penguat harus diumpankan ke sebuah *Low Pass Filter* (LPF). Hal ini dimaksudkan untuk menghilangkan spektrum frekuensi tinggi yang terdapat pada penguat.

Kerugian penggunaan penguat kelas D adalah mempunyai distorsi yang tinggi akibat dari pensaklaran, karena itu sinyal pensaklaran harus dipilih setinggi mungkin, jauh diatas frekuensi -3dB dari *low pass filter*, tetapi frekuensi -3dB juga harus dipilih setinggi mungkin untuk mengurangi ukuran *low pass filter*, karena sinyal audio yang dikuatkan mempunyai frekuensi sangat rendah maka frekuensi pensaklaran yang tidak terlalu tinggi bisa digunakan tetapi tetap harus diatas frekuensi audio untuk mengurangi noise EMI-nya. Frekuensi pensaklaran yang tinggi akan menghasilkan rugi-rugi yang lebih tinggi akibat sifat-sifat ketidakidealan saklar elektronik.

1.2 Batasan Masalah

Dalam perencanaan dan pembuatan skripsi ini perlu dilakukan pembatasan masalah. Pembatasan masalah yang diajukan dalam skripsi ini antara lain:

1. Penguat audio *subwoofer* menghasilkan 75 watt.
2. Frekuensi yang masuk penguat audio 20-120 Hz.
3. Impedansi beban 8 ohm.
4. Penguat Kelas D menggunakan konfigurasi *half bridge*.

1.3 Rumusan Masalah

Dari latar belakang masalah di atas dapat dirumuskan permasalahan sebagai berikut:

1. Bagaimana membuat suatu penguat kelas D
2. Bagaimana membuat *Pulse Width Modulation*
3. Bagaimana menentukan besarnya frekuensi *switching*
4. Bagaimana membuat *Low Pass Filter*

1.4 Tujuan

Tujuan penyusunan skripsi ini adalah merealisasikan suatu penguat audio *subwoofer* kelas D.

1.5 Sistematika Penulisan

Sistematika penulisan dalam skripsi ini sebagai berikut:

BAB I Pendahuluan

Memuat latar belakang, batasan masalah, rumusan masalah, tujuan, dan sistematika penulisan.

BAB II Tinjauan Pustaka

Membahas teori-teori yang mendukung dalam perencanaan dan pembuatan alat.

BAB III Metodologi Penelitian

Berisi tentang metode penelitian dan perencanaan alat serta pengujian.

BAB IV Perencanaan dan Pembuatan Alat

Membahas tentang perancangan dan perealisasiian Penguat Audio *Subwoofer* Kelas D

BAB V Pengujian Alat

Berisi hasil pengujian terhadap alat yang telah direalisasikan.

BAB VI Kesimpulan dan Saran

Berisi tentang kesimpulan dan saran-saran.

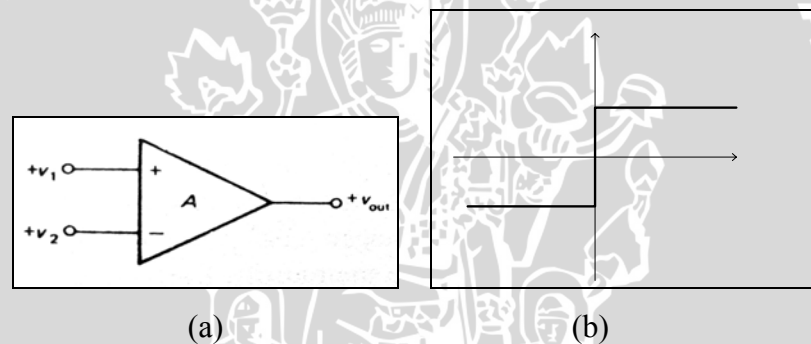
BAB II

TINJAUAN PUSTAKA

Dalam merancang dan merealisasikan alat ini dibutuhkan pemahaman tentang berbagai hal yang mendukung. Pemahaman ini akan bermanfaat untuk merancang perangkat keras sistem yang dirancang.

2.1 Komparator

Rangkaian komparator adalah rangkaian yang digunakan untuk membandingkan dua sinyal masukan analog dan menghasilkan sinyal keluaran digital. Sebuah pembanding membandingkan tegangan isyarat pada satu masukan dengan suatu tegangan acuan pada masukan yang lain. Gambar 2.1 menunjukkan blok diagram dan grafik keluaran rangkaian komparator.



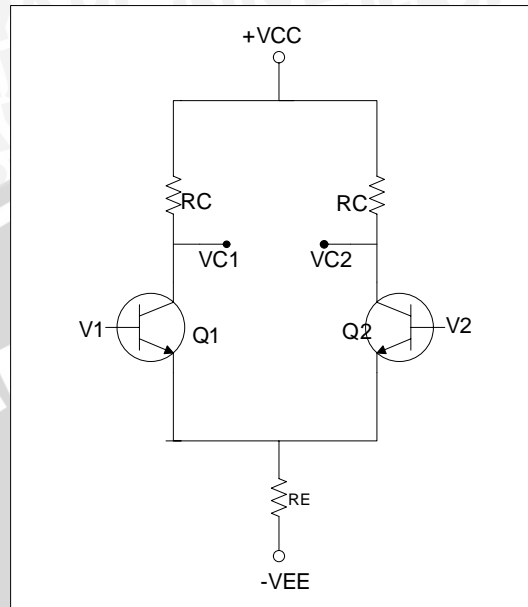
Gambar 2.1. (a). Blok komparator secara umum (b). Grafik keluaran pada komparator.
Sumber: Malvino, 1995: 530

Kedua terminal masukan dalam blok komparator adalah terminal masukan pembalik (-) dan terminal masukan tak membalik (+). Jika pada terminal masukan tak membalik diberi tegangan masukan, maka tegangan keluarannya akan sefasa dengan masukannya. Sebaliknya jika pada terminal masukan membalik diberi tegangan masukan maka tegangan keluarannya akan berlawanan fasa dengan masukannya.

Rangkaian komparator biasanya menggunakan op-amp sebagai komponen utamanya karena lebih praktis, tetapi dalam skripsi ini menggunakan penguat diferensial sebagai komparator. Dasar pemilihan memakai penguat diferensial menggunakan rangkaian diskrit karena diperlukan komparator yang tegangan keluarannya diatas 30 V, sedangkan IC komparator yang tersedia di pasaran hanya mampu dicatu maksimum 30

V. Disamping itu dibutuhkan komparator yang mempunyai dua keluaran agar mempunyai respon yang sama untuk diumpankan ke driver atas dan bawah.

2.1.1 Penguat Diferensial



Gambar 2.2. Penguat diferensial
Sumber: Malvino, 1997: 415

Konfigurasi dasar penguat *diferensial* ditunjukkan pada Gambar 2.2. Rangkaian penguat *diferensial* memiliki dua masukan yaitu V_1 dan V_2 serta tiga keluaran, V_{C1} , V_{C2} , dan $V_{C1}-V_{C2}$ (Schilling & Charles, 1989:330). Secara ideal rangkaian tersebut simetris; tiap paruhan identik dengan paruhan lainnya. Penguat *diferensial* disebut juga pasangan ekor panjang karena terdiri dari sepasang transistor yang identik yang dihubungkan ke resistor emitor bersama (Malvino,1979:15). Besarnya arus ekor dc dari rangkaian penguat *diferensial* pada Gambar 2.2:

$$I_T \cong \frac{V_{EE}}{R_E} \quad (2.1)$$

Jika kedua transistor identik, arus ekor terbagi sama diantaranya. Besarnya arus emiter dc dalam tiap transistor adalah setengah dari arus ekor.

$$I_E = \frac{I_T}{2} \quad (2.2)$$

Sedangkan secara pendekatan besarnya arus I_C sama dengan I_E

$$I_C \cong I_E \quad (2.3)$$

Dalam gambar, tegangan dc dari kolektor Q_1 ke tanah sama dengan tegangan catu V_{CC} dikurangi penurunan tegangan pada resistor kolektor.

$$V_{C1} = V_{CC} - I_C R_C \quad (2.4)$$

Demikian juga, tegangan dc dari kolektor Q_2 ke tanah adalah

$$V_{C2} = V_{CC} - I_C R_C \quad (2.5)$$

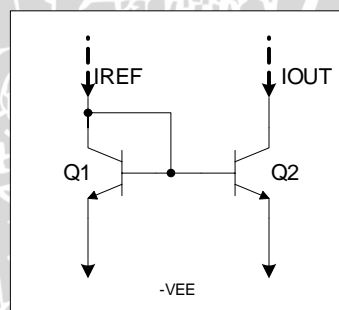
Jika transistor dan kolektor identik, V_C sama dengan V_{C2} , jadi antara kolektor tidak ada tegangan.

$$V_{C1} - V_{C2} = 0 \quad (2.6)$$

2.1.2 Cermin Arus

Untuk meningkatkan kemampuan penguat *diferensial*, langkah yang harus dilakukan adalah menggantikan R_C dengan sumber arus. Bentuk cermin arus dapat menggantikan resistor R_C pada penguat diferensial (Price, 1997: 358). Tujuan utama dari penggunaan cermin arus adalah untuk mendapatkan sumber arus yang konstan.

Konfigurasi cermin arus yang paling sederhana terdiri dari dua transistor seperti yang ditunjukkan pada Gambar 2.3. Satu transistor sebagai sumber arus konstan, sedangkan transistor yang lainnya menjaga nilai dari V_{be} .



Gambar 2.3. Cermin arus
Sumber: Malvino, 1997: 2

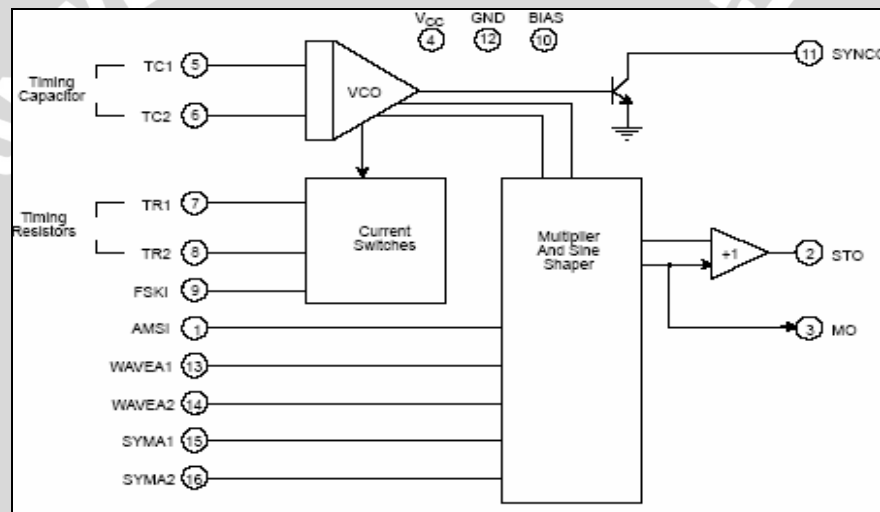
Efek *Early* menyebabkan arus keluaran dapat menjadi lebih besar daripada arus masukan/referensi. Efek ini dapat dikurangi dengan menambahkan transistor ketiga sebagai kompensasi arus basis. Dalam konfigurasi ini arus basis Q_1 dan Q_2 disediakan oleh transistor Q_3 yang berlaku sebagai pengikut emitor. Gambar 2.4 menunjukkan cermin arus dengan kompensasi arus basis. Jika diasumsikan semua transistor identik maka besarnya arus I_{REF} dapat dicari melalui persamaan:

$$I_{REF} = I_O + \frac{2I_O}{\beta(1 + \beta)} \quad (2.7)$$

timing resistor currents dan route VCO. Gambar 2.5 menunjukkan blok diagram dari XR-2206.

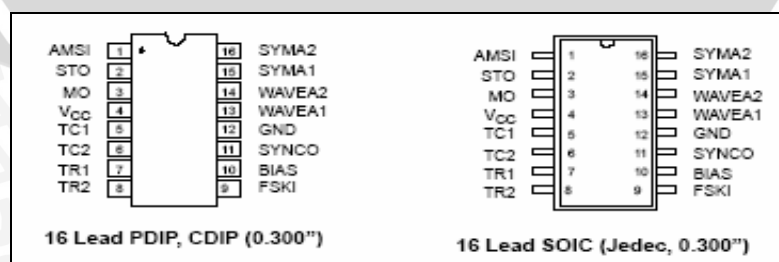
Fitur yang disediakan oleh XR-2206 adalah:

- Distorsi rendah sinyal sinusoida, 0.5% (tipikal)
- Temperatur yang stabil, 20ppm/EC (tipikal)
- *Wide sweep range*, 2000:1 (tipikal)
- Sensitivitas catu tegangan rendah, 0.01%V (tipikal)
- Modulasi Amplitudo yang linier
- TTL sesuai dengan FSK kontrol
- Catu tegangan 10V-26V
- *Duty cycle*, 1%-99%



Gambar 2.5. Blok Diagram XR-2206
Sumber: EXAR, 1997:2

Komponen ini memiliki kaki sebanyak 16 buah, yang dideskripsikan seperti yang diperlihatkan pada Tabel 2.1. Sedangkan susunan dari pin XR-2206 diperlihatkan oleh Gambar 2.6.

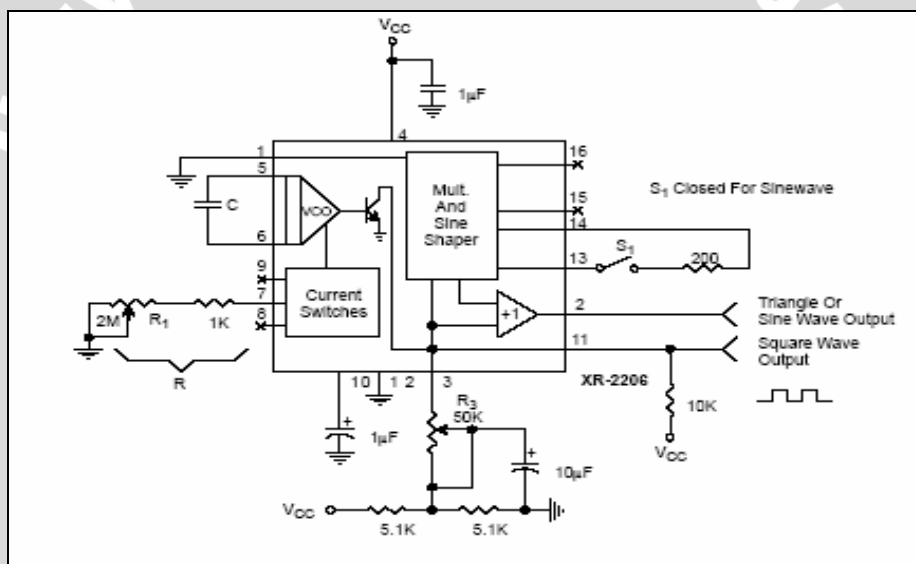


Gambar 2.6. Susunan pin XR-2206
Sumber: EXAR, 1997:3

Tabel 2.1 Deskripsi pin

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V _{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V _{CC} .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

Sumber: EXAR, 1997:3



Gambar 2.7. Rangkaian Pembangkit sinyal sinusoida

Sumber: EXAR, 1997:8

Gambar 2.7 menunjukkan rangkaian untuk membangkitkan sinyal sinusoida dari XR-2206. Potensiometer R₁ di pin7 digunakan untuk mengubah frekuensi sesuai dengan yang diinginkan. Rangkaian diatas dapat juga digunakan untuk membangkitkan sinyal segitiga dengan tidak menghubungkan saklar S₁ pada pin13 dan pin 14. Untuk frekuensi osilasi (f_o) dipengaruhi oleh nilai kapasitor C yang terhubung pada pin 5 dan 6 serta nilai resistor R pada pin 7. Perhitungan nilai frekuensi diberikan oleh persamaan:

$$f_o = \frac{1}{RC} \text{ Hz} \quad (2.9)$$

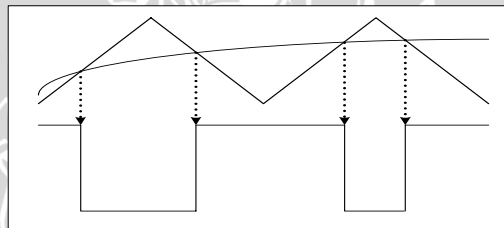
Sedangkan untuk amplitudo keluaran tergantung dari resistor pada pin3. Untuk sinyal segitiga, puncak amplitudonya rata-rata 160 mV peak per k Ω .

2.3 Pulse Width Modulation

2.3.1 Modulasi Lebar Pulsa

Modulasi pulsa secara garis besar dapat dibagi dalam dua golongan yaitu modulasi pulsa analog dan modulasi pulsa digital. Modulasi amplitudo pulsa (*pulse amplitude modulation*) dan modulasi waktu pulsa (*pulse time amplitude*) termasuk golongan modulasi pulsa analog. Sedangkan modulasi kode pulsa (*pulse code modulation*) dan modulasi delta termasuk golongan modulasi pulsa digital.

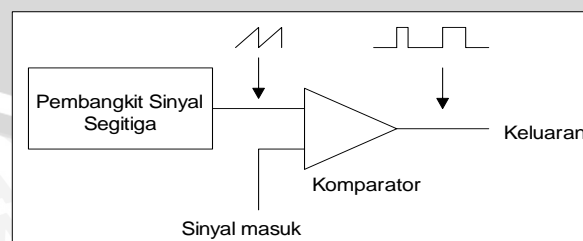
Modulasi lebar pulsa (PWM) yang juga diistilahkan sebagai modulasi lamanya pulsa (*pulse duration modulation*), merupakan salah satu bagian dari modulasi waktu pulsa. Amplitudo dan periode dari modulasi lebar pulsa dibuat tetap sedangkan duty cycle-nya berubah-ubah sesuai dengan sinyal pemodulasinya. Bentuk gelombang modulasi lebar pulsa ditunjukkan dalam Gambar 2.8. Tampak bahwa lebar dari tiap-tiap pulsa berbeda-beda sesuai sinyal pemodulasinya.



Gambar 2.8. Sinyal PWM secara umum
Sumber: Ledwich, 1998: 1

2.3.2 Metoda modulasi lebar pulsa

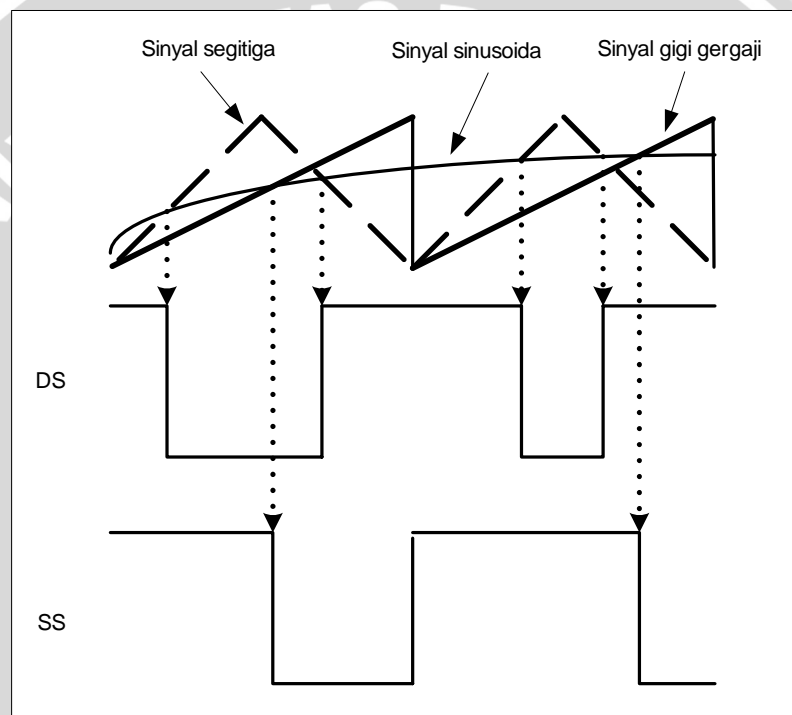
Salah satu metoda modulasi lebar pulsa adalah dengan menggunakan metoda pembandingan tegangan seperti ditunjukkan dalam Gambar 2.9. Blok diagram modulasi lebar pulsa terdiri dari pembangkit gelombang sinyal segitiga dan rangkaian pembandingan tegangan (*comparator*).



Gambar 2.9. Metoda Pemodulasi lebar pulsa
Sumber: Krauss, 1990: 519

Sinyal referensi atau sinyal pembawa pada PWM bisa menggunakan sinyal segitiga atau sinyal gigi gergaji. Klasifikasi PWM ini berdasarkan satu atau kedua tepi

yang dimodulasi. Jika menggunakan sinyal gigi gergaji maka hanya satu sisi yang dimodulasi yang disebut *single sided modulation*. Jika menggunakan sinyal segitiga maka kedua sisi tepi dimodulasi yang disebut *double sided modulation*. Gambar 2.10 menunjukkan *single sided* dan *double sided* dalam modulasi PWM. *Double sided modulation* sinyal dicuplik sebanyak dua kali tiap periodenya. Penggunaan *double side modulation* dapat mengelimiasi sejumlah distorsi yang dihasilkan oleh keluaran PWM jika dibandingkan dengan *single side modulation* untuk frekuensi yang sama (Vassilevsky, 2006). Untuk itu dalam metoda lebar pulsa ini menggunakan sinyal segitiga sebagai sinyal pembawa.



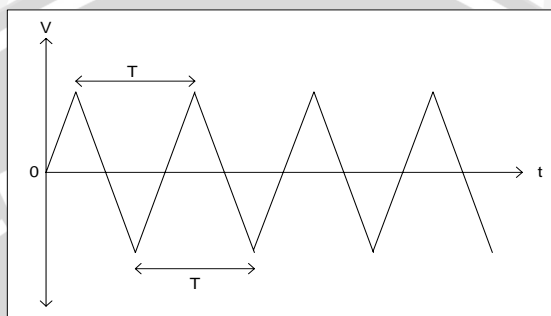
Gambar 2.10. *single sided* dan *double sided* dalam modulasi PWM

Sinyal segitiga merupakan sinyal pembawa dalam modulasi lebar pulsa. Sinyal segitiga terdiri dari kemiringan yang sama menuju positif dan negatif yang ditunjukkan dalam Gambar 2.11. Periode gelombang segitiga dapat dihitung dari satu puncak ke puncak selanjutnya. Frekuensi untuk gelombang segitiga didefinisikan yaitu:

$$f = \frac{1}{T} \quad (2.10)$$

Frekuensi gelombang segitiga ini menentukan frekuensi sampling atau frekuensi *switching* dari modulasi lebar pulsa. Frekuensi sinyal pembawa dipilih setinggi mungkin diatas sinyal audio tetapi tidak bisa terlalu tinggi karena semakin tinggi frekuensi *switching* maka meningkatkan daya yang hilang. Secara praktis pemilihan frekuensi

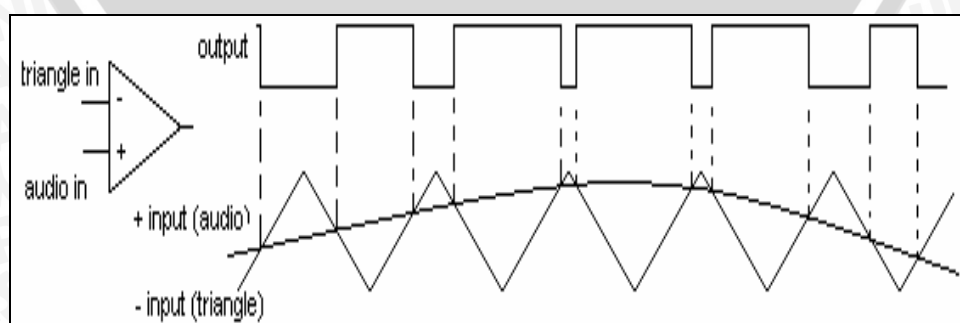
switching minimal 10 kali lebih besar dari frekuensi sinyal audio yang dilewatkan. Jika sinyal audio tertinggi *subwoofer* yang dilewatkan adalah 120 Hz maka frekuensi *switching*nya minimal 1,2 kHz. Tetapi frekuensi *switching* sebesar 1,2 kHz masih dalam jangkauan sinyal audio dikhawatirkan sinyal frekuensi *switching* akan terdengar di perangkat audio. Selain itu frekuensi *switching* yang terlalu rendah juga mengakibatkan frekuensi *cut off* filter juga rendah sehingga mempengaruhi ukuran filter. Untuk itu frekuensi *switching* ditentukan jangkauannya antara 20 kHz - 100 kHz.



Gambar 2.11. Gelombang segitiga
Sumber: Flyod, 1990: 519

Rangkaian pembanding adalah rangkaian yang membandingkan tegangan isyarat pada satu masukan dengan suatu tegangan acuan pada masukan lainnya. Rangkaian ini membandingkan antara sinyal pembawa dan sinyal masukan. Keluarannya berupa gelombang persegi dengan amplitudo tegangan jenuh maksimum atau tegangan jenuh minimum dari penguat kerja dan tergantung dari tegangan isyarat yang dibandingkan dengan tegangan acuannya.

Gambar 2.12 menunjukkan bahwa sinyal pemodulasi dihubungkan dengan masukan tak membalik dari pembanding. Sedangkan pada masukan membalik pembanding diberikan gelombang segitiga dengan amplitudo dan periode konstan. Dalam Gambar 2.12 ditunjukkan hubungan sinyal masukan dan keluaran modulasi lebar pulsa.



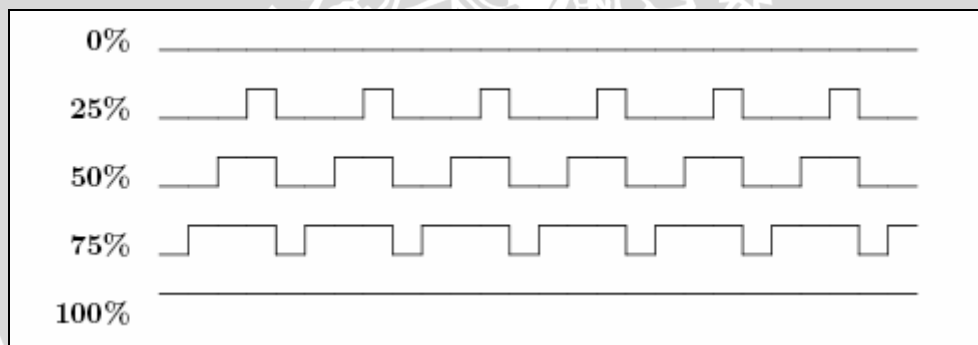
Gambar 2.12. Hubungan masukan dan keluaran pembanding pada PWM
Sumber: Krauss, 1990: 519

Bila amplitudo tegangan gelombang segitiga lebih positif dari tegangan pemodulasi, maka tegangan masukan membalik lebih positif daripada masukan tak membalik sehingga tegangan keluaran pembanding menuju ke tegangan jenuh minimum dari penguat kerja. Sedangkan bila amplitudo tegangan sinyal pemodulasi lebih positif dari tegangan sinyal gelombang segitiga, maka tegangan masukan tak membalik lebih positif daripada tegangan masukan membalik sehingga tegangan keluaran pembanding menuju ke tegangan jenuh maksimum dari penguat kerja.

Dalam modulasi lebar pulsa, pensaklaran lebar pulsa dibangkitkan oleh pemotongan yang terjadi antara sinyal pembawa dan sinyal masukan. Pensaklaran sinyal kotak keluaran PWM antara $+V$ dan $-V$ adalah waktu nyala untuk t^+ detik yang disebut dengan *duty cycle* :

$$d = \frac{t^+}{T} \quad (2.11)$$

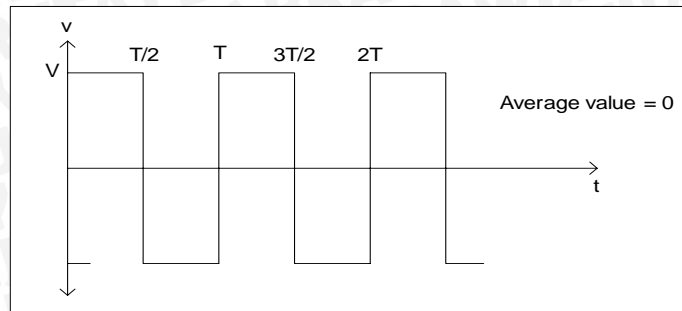
Setiap periode sinyal pembawa, *duty cycle* sinyal PWM sesuai dengan amplitudo dari sinyal masukan. Gambar 2.13 merepresentasikan *duty cycle* 0%, 25%, 50% dan 100%.



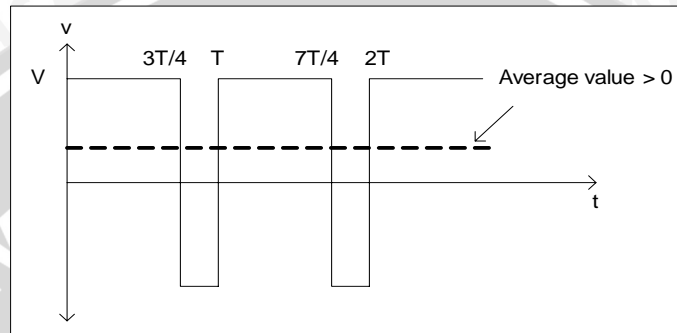
Gambar 2.13. Duty cycle 0%, 25%, 50% dan 100%.

Sinyal kotak keluaran PWM dengan *duty cycle* 50% mempunyai nilai rata-rata nol, tetapi perubahan *duty cycle* dalam sinyal kotak keluaran PWM akan memberikan nilai rata-rata yang berbeda seperti yang ditunjukkan pada Gambar 2.13. Jika periode T tetap dan *duty cycle* bervariasi maka nilai rata-rata sinyal kotak dengan amplitudo V dapat dicari melalui persamaan (Comer, 2003:123) :

$$V_{av} = V(2d - 1) \quad (2.12)$$



(a)



(b)

Gambar 2.14. (a). Sinyal PWM dengan duty cycle 50%
 (b). Sinyal PWM dengan duty cycle 75%
 Sumber: Comer, 2003: 123

Kelinearan metoda PWM ini tergantung pada kemampuan kecepatan perubahan sinyal keluaran pembanding terhadap perubahan sinyal masukan dan pada kelinearan gelombang segitiga.

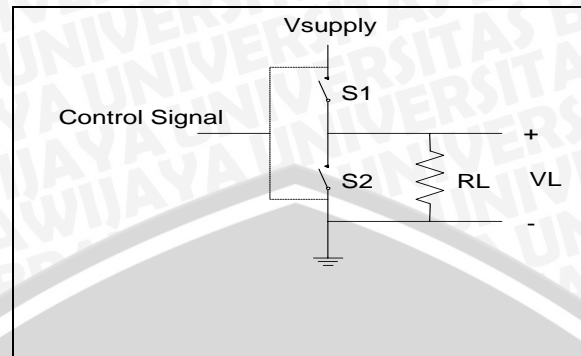
2.4 Penguat Kelas D

2.4.1 Konsep Dasar Penguat Kelas D

Penguat Kelas D adalah salah satu metode penguat daya yang bekerja berdasarkan pada keadaan jenuh dan putus (Schilling & Charles, 1989:255). Diharapkan dengan metode ini disipasi daya dapat dikurangi sehingga mampu menghasilkan daya keluaran yang besar. Konsep dasar penguat kelas D ditunjukkan pada Gambar 2.15.

Penguat daya kelas D dapat menggunakan MOSFET komplemen simetri sebagai komponen aktifnya. Dalam gambar ditunjukkan bahwa penguat kelas D dapat dimodelkan sebagai dua buah saklar ideal yang bekerja secara berlawanan. Bila sinyal masukan bernilai negatif, maka saklar S_1 menutup dan saklar S_2 membuka. Sedangkan bila sinyal masukan bernilai positif, saklar S_1 membuka dan saklar S_2 menutup.

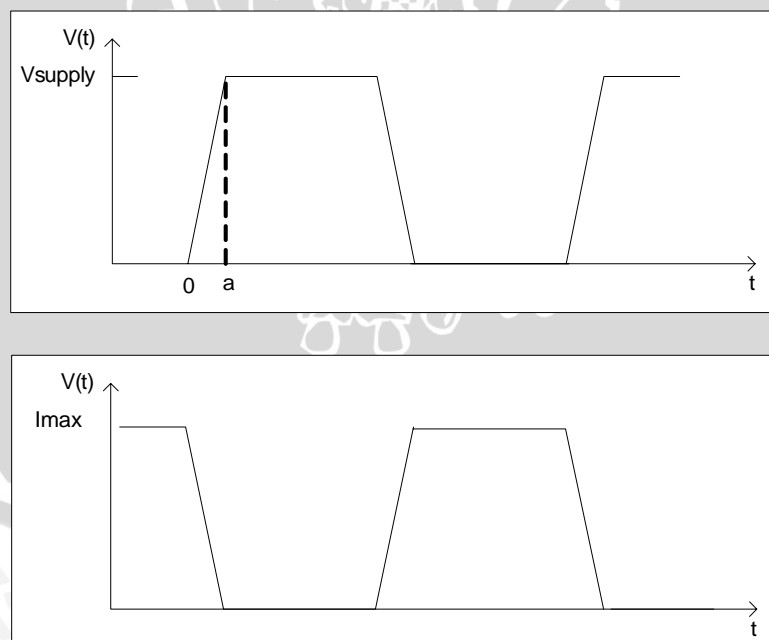
Sehingga tegangan V_L yang melalui tahanan beban adalah berbentuk persegi dan mempunyai amplitudo V_{supply} atau 0 volt.



Gambar 2.15. Konsep Dasar Penguat Kelas D
Sumber: Schilling & Charles, 1989: 255

Disipasi daya pada saklar akan sama nol apabila tidak arus yang melaluinya atau tegangan yang melintasinya. Sehingga daya yang diberikan sama dengan daya yang diserap oleh beban. Maka secara ideal efisiensi penguat daya kelas D adalah 100%.

Dalam prakteknya ada disipasi daya yang terjadi pada saklar karena proses *switching*. Jika waktu transisi dari saklar dari keadaan 0 menuju V_{supply} volt dan dari V_{supply} menuju nol diasumsikan a detik. Gambar 2.16 menunjukkan kelinearan waktu *switching*.



Gambar 2.16. Kelinearan waktu *switching*
Sumber: Comer, 2003: 127

Saat saklar S1 tegangan meningkat dari 0 ke V_{supply} , tegangan pada saklar S2 menurun dari V_{supply} menuju nol volt. Saat yang sama, arus meningkat dari 0 menuju

I_{\max} dalam a detik. Jika tegangan keluaran puncak maksimum sama dengan V_{supply} maka arus maksimum (Comer, 2003: 127):

$$I_{\max} = \frac{V_{\text{supply}}}{R_L} \quad (2.11)$$

Tegangan yang melintasi saklar dari $t=0$ sampai dengan $t=a$ dapat ditunjukkan (Comer, 2003: 127):

$$v(t) = \frac{t}{a} V_{\text{supply}} \quad (2.12)$$

Sedangkan penurunan arus dapat ditulis deagai berikut (Comer, 2003: 127):

$$i(t) = I_{\max} - \frac{t}{a} I_{\max} = \frac{V_{\text{supply}}}{R_L} \left(1 - \frac{t}{a}\right) \quad (2.13)$$

Jadi daya sesaat yang didisipasi oleh saklar saat transisi adalah (Comer, 2003: 127):

$$p(t) = v(t)i(t) = \frac{V_{\text{supply}}^2}{R_L} \left(\frac{t}{a} - \frac{t^2}{a^2}\right) \quad (2.14)$$

Tiap saklar membuat dua transisi dalam satu periode dari frekuensi *switching*, disipasi daya rata-rata saklar dapat dicari dengan (Comer, 2003: 127):

$$P(T) = \frac{2}{T} \int_0^a \frac{V_{\text{supply}}^2}{R_L} \left(\frac{t}{a} - \frac{t^2}{a^2}\right) dt = \frac{a}{T} \frac{V_{\text{supply}}^2}{3R_L} \quad (2.15)$$

Disipasi total dari dua saklar adalah (Comer, 2003: 127):

$$2P_T = \frac{a}{T} \frac{2V_{\text{supply}}^2}{3R_L} \quad (2.16)$$

Sedangkan daya yang disalurkan oleh tegangan catu ke beban adalah (Comer, 2003: 127):

$$P_{ac} = \frac{V_{\text{supply}}^2}{2R_L} \quad (2.17)$$

Dengan :

P_{ac} = daya keluaran (W)

P_T = disipasi daya MOSFET saat *switching* (W)

a = kelinearan waktu *switching* (S)

T = waktu *switching* dalam 1 periode (S)

V_{supply} = tegangan catu (V)

R_L = resistansi beban (Ω)

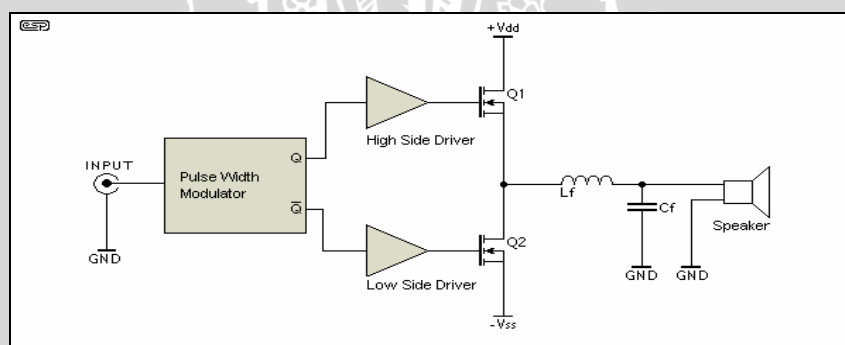
Sehingga efisiensi saklar elektronik adalah (Comer, 2003: 127):

$$\eta = \frac{P_{ac}}{P_{ac} + 2P_T} \quad (2.18)$$

Untuk mendapatkan sinyal aslinya, sinyal keluaran saklar elektronik harus diumpankan ke sebuah *low pass filter*. Hal ini dimaksudkan untuk menghilangkan spektrum frekuensi tinggi yang terdapat pada sinyal keluaran penguat. Sehingga keluaran LPF akan didapat sinyal yang sama dengan sinyal aslinya.

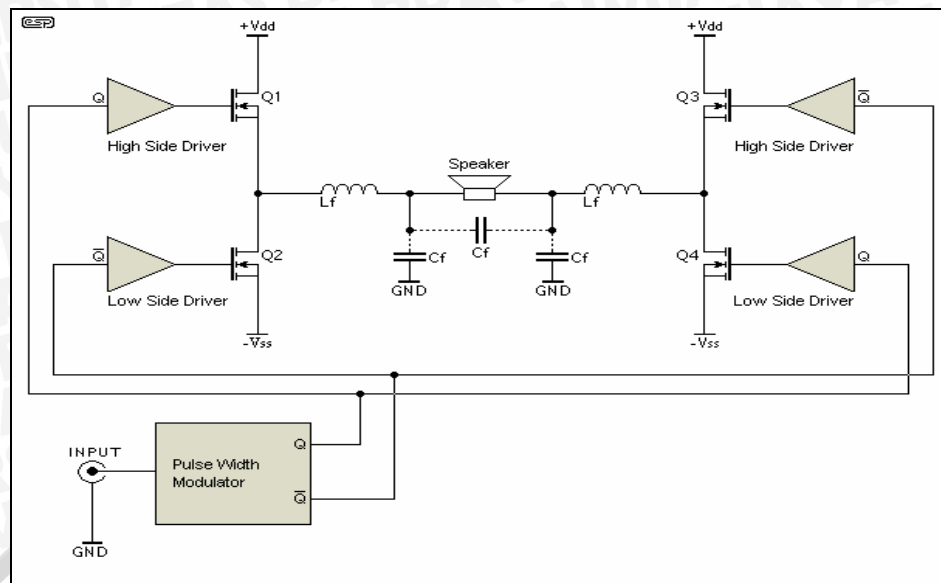
2.4.2 Konfigurasi Penguat Kelas D

Secara umum ada dua konfigurasi yang dimiliki penguat kelas D yaitu *half bridge* dan *full bridge*. Setiap konfigurasi memiliki keuntungan dan kerugian tersendiri. Konfigurasi *half bridge* menjadi pilihan untuk aplikasi yang luas disebabkan lebih ekonomis saat digunakan pada daya tidak terlalu tinggi. Prinsip dasar *half bridge* ditunjukkan pada Gambar 2.17.



Gambar 2.17. Konfigurasi *half bridge* Penguat Kelas D
Sumber: Moreno, 2005

Ketika Q_1 aktif maka saklar akan terhubung ke V_{DD} dan arus akan mengalir dan Q_2 tidak aktif. Ketika Q_2 aktif maka body Q_1 akan terbias balik dan arus L_f semakin mengecil. Pada dasarnya hanya satu MOSFET yang dapat aktif. L_f terhubung dengan C_f dan *speaker* membentuk sinyal audio. Waktu sangat mempengaruhi kerja sistem, sedikit *error* atau penundaan pada *rise-time* MOSFET akan mempengaruhi efisiensi dan kualitas suara. Oleh karena itu semua komponen harus bekerja dalam kecepatan tinggi. *deadtime* juga mempengaruhi performa sistem, oleh karena itu nilainya harus diminimalisir. Nilai yang biasa digunakan berkisar antara 5 sampai 100nS. Konfigurasi *full bridge* ditunjukkan pada Gambar 2.18.



Gambar 2.18. Konfigurasi *full bridge* Penguat Kelas D
Sumber: Moreno, 2005

2.4.3 MOSFET Daya

Pada rangkaian penguat kelas D terdapat satu komponen yaitu saklar yang digunakan untuk mengatur arus yang melewati komponen-komponen yang lain sehingga bisa mengatur tegangan keluaran yang diinginkan. Komponen semikonduktor yang bisa digunakan sebagai saklar yaitu *bipolar junction transistor* (BJT) dan *metal oxide semiconductor field effect transistor* (MOSFET).

MOSFET adalah piranti semikonduktor dengan tiga terminal yaitu *gate*, *drain* dan *source*. *Gate* MOSFET mengendalikan aliran arus terminal keluaran. MOSFET daya merupakan komponen yang dikendalikan oleh tegangan dan memerlukan arus masukan yang kecil karena MOSFET memiliki impedansi masukan yang tinggi. Kecepatan *switching* dan waktu *switching* dalam orde nanodetik. Bati arus, yaitu perbandingan antara arus drain terhadap arus masukan *gate* biasanya berada dalam orde 10^9 .

MOSFET digunakan sebagai *switch* untuk mengontrol aliran daya ke beban. Dalam hal ini mosfet tidak bekerja dalam daerah aktifnya melainkan hanya bekerja dalam daerah *ohmic* dan *cut off*. MOSFET dalam keadaan *cut off* ketika tegangan antara *gate* dan *source* lebih kecil dari tegangan *thresholdnya*. Dengan kata lain MOSFET dalam keadaan padam. Jika *gate-source* MOSFET dicatu dengan tegangan yang lebih besar dari tegangan *thresholdnya* maka hal ini akan membawa MOSFET bekerja dalam daerah *ohmic* atau mosfet dalam keadaan menyala. Pada keadaan ini tegangan antara

drain dan *source* kecil. MOSFET beroperasi dalam daerah *ohmic* ketika (Fairchild, 2000: 8):

$$V_{GS} - V_{GS(th)} > V_{DS} > 0 \quad (2.19)$$

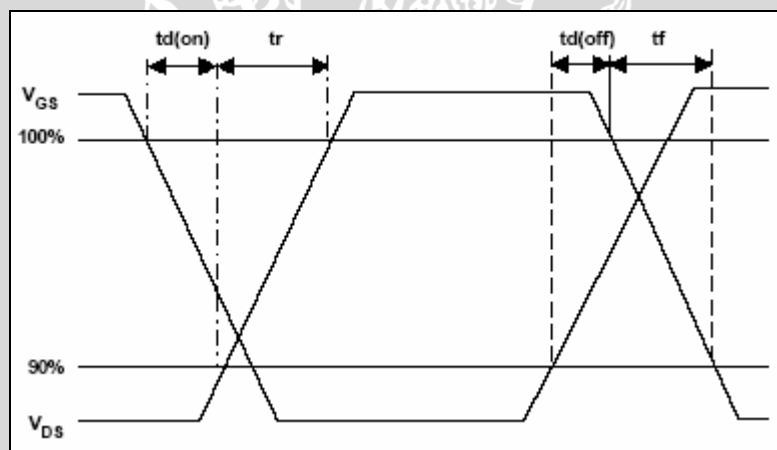
dengan :

V_{GS} = tegangan antara *gate* dan *source* (volt)

$V_{GS(th)}$ = tegangan *threshold* (volt)

2.4.4 Karakteristik *Switching*

Karakteristik *switching* dari MOSFET ditunjukkan pada Gambar 2.17. Waktu tunda *turn-on*, $t_{d(on)}$ adalah waktu yang diperlukan untuk mengisi kapasitansi masukan menuju level tegangan *threshold*. Waktu naik (*rise time*), t_r adalah waktu pengisian gerbang dari level tegangan *threshold* ke tegangan gerbang penuh. Waktu tunda *turn-off*, $t_{d(off)}$ adalah waktu yang diperlukan kapasitansi masukan untuk mengosongkan diri dari tegangan gerbang ke daerah *pinch-off*. V_{GS} harus berkurang secara berarti sebelum V_{DS} akan mulai naik. Waktu jatuh t_f adalah waktu yang dibutuhkan kapasitansi masukan untuk mengosongkan diri dari daerah *pinch-off* menuju daerah level tegangan *threshold*. Jika $V_{GS} \leq V_T$ transistor akan mati.



Gambar 2.19. Karakteristik *switching*

Sumber: Fairchild, 2000: 24

Waktu untuk proses menghidupkan dan mematikan MOSFET bergantung pada waktu pengisian dan pengosongan dari kapasitansi gerbang. Agar dapat mencapai kecepatan *switching* tinggi maka diperlukan driver gerbang yang memiliki impedansi keluaran rendah dan mempunyai kemampuan mengalirkan arus yang cukup besar. Besar arus yang dibutuhkan gerbang bergantung pada $t_{d(on)}$, t_r , $t_{d(off)}$ dan t_f dan persamaan matematisnya adalah (Microchip, 2002:1) :

$$I_G = \frac{Q_G}{t_{transition}} \quad (2.20)$$

dengan:

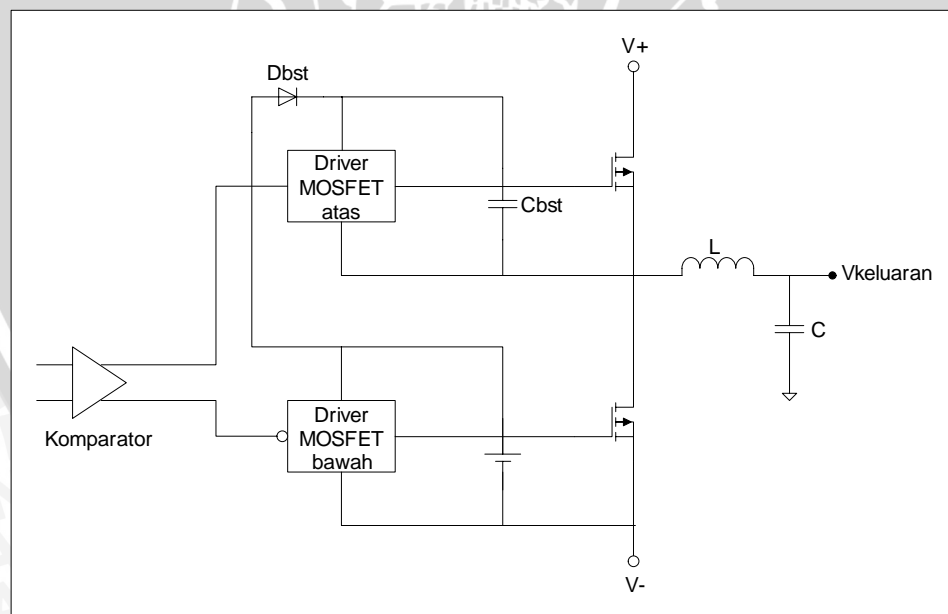
I_G = arus gerbang yang dibutuhkan untuk MOSFET menyala dalam satu periode(ampere)

Q_G = jumlah muatan total digerbang (coulumb)

$T_{transition}$ = waktu pengisian dan pembuangan kapasitansi dalam gerbang (detik)

2.4.5 Rangkaian *Bootstrap*

Teknik *bootstrap* digunakan untuk menyediakan tegangan bagi *gate* MOSFET kanal N sisi atas dengan referensi *source*. Rangkaian *bootstrap* terdiri dari kapasitor dan diode. Saat MOSFET sisi bawah menyala maka kapasitor *bootstrap* diisi sampai tegangan 12V melalui diode *bootstrap*. Sedangkan saat MOSFET sisi atas menyala maka kapasitor *bootstrap* melakukan pengosongan dan diode *bootstrap* menahan tegangan dari kapasitor maka tegangan *gate* dipaksa untuk naik sebesar 12V dari tegangan drain sehingga cukup membuat beda tegangan antara *gate* dan *source* sebesar 12V. Rangkaian *bootstrap* pada sistem penguat kelas D ditunjukkan pada Gambar 2.20.



Gambar 2.20. Rangkaian *bootstrap*

Sumber: Microsemi, 7

Secara praktis pemilihan besarnya nilai kapasitansi kapasitor *bootstrap* adalah sekitar 10 kali lebih besar dari kapasitansi antara *gate* dan *source* (Intersil, 2003:8). Hal ini dimaksudkan agar kapasitor *bootstrap* mempunyai waktu untuk melakukan

pengisian tegangan kembali sebelum MOSFET menyala. Sedangkan secara matematis nilai kapasitansi minimum dari kapasitor *bootstrap* dapat dicari melalui persamaan (Intersil, 2003:8) :

$$C \geq \frac{Q_G + Q_{RR} + \frac{(I_{DR} + I_{QBS})}{f_{PWM}}}{V_{BS1} - V_{BS2}} \quad (2.21)$$

dengan:

I_{DR} = arus bocor saat diode *bootstrap* dibias mundur (A)

I_{QBS} = Arus dari catu (A)

Q_{RR} = Pengisian kembali diode *bootstrap* saat dibias mundur (C)

Q_G = kapasitansi total dari *gate* (C)

f_{PWM} = frekuensi PWM (Hz)

V_{BS1} = Tegangan kapasitor *bootstrap* setelah pengisian kembali (V)

V_{BS2} = Tegangan kapasitor *bootstrap* setelah waktu nyala atas (V)

C_{BS} = kapasitansi *bootstrap* (F)

Sedangkan untuk diode *bootstrap* mempunyai ketentuan rating tegangan minimal 15V untuk menahan tegangan dari catu saat pengosongan kapasitor. Arus rata-rata dapat dihitung melalui persamaan (Analog devices, 2002:6) :

$$I_{F(AVG)} = Q_{gate} \times f_{max} \quad (2.22)$$

dengan :

$I_{F(AVG)}$ = arus rata-rata (A)

Q_{gate} = kapasitansi *gate* (C)

f_{max} = frekuensi *switching* maksimum (Hz)

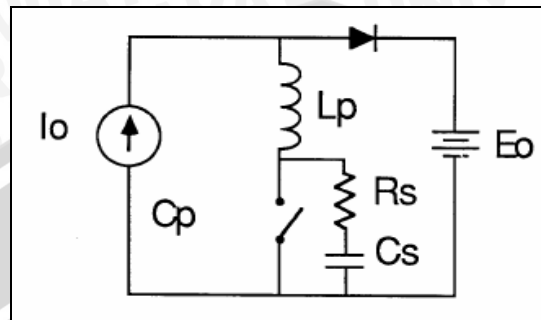
2.4.6 Rangkaian *Snubber*

Rangkaian *snubber* adalah rangkaian yang digunakan untuk pengaman dan meningkatkan performa dari MOSFET. Rangkaian *snubber* berfungsi:

1. Mengurangi *spike* tegangan dan arus.
2. Mengurangi rugi-rugi pada saat *switching*.
3. Mengurangi EMI.

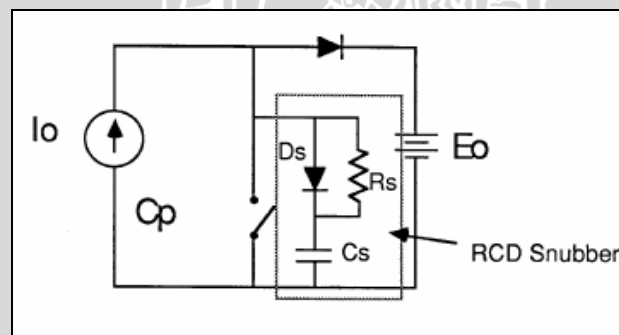
Ada beberapa macam rangkaian *snubber*, tetapi yang paling umum ada 2 jenis yaitu resistor-capacitor (RC) dan resistor-capacitor-diode (RCD). Untuk rangkaian

snubber RC yang diletakkan melintang sejajar dengan saklar, dapat membatasi tegangan puncak saat perubahan waktu mati (*turn off*). Rangkaian *snubber* efektif untuk aplikasi daya rendah dan menengah tetapi jika digunakan untuk daya tinggi maka rugi di rangkaian *snubber* akan tinggi. Gambar 2.21 menunjukkan model rangkaian *snubber* RC.



Gambar 2.21. *Snubber* RC
Sumber: Severns, 2007

Sedangkan rangkaian *snubber* RCD mempunyai keunggulan dibandingkan rangkaian *snubber* RC yaitu dalam membatasi tegangan puncak, rangkaian ini dapat mengurangi rugi total dari rangkaian saklar termasuk rugi saat *switching* dan rugi rangkaian *snubber* sendiri. Pada rangkaian *snubber* RCD, diode yang melintang sejajar dengan resistor R_s , membuat nilai efektif resistor selama waktu pengisian capacitor C_s adalah nol. Gambar 2.22 menunjukkan model rangkaian *snubber* RCD.



Gambar 2.22. *Snubber* RCD
Sumber: Severns, 2007

Untuk menentukan besarnya nilai kapasitor pada rangkaian RCD tergantung arus puncak maksimum dari rangkaian saklar (MOSFET) untuk menyediakan pengisian kapasitor C_s melalui diode D_s ketika saklar berpindah kondisi dari *on* ke *off*. Selain itu besarnya tegangan *drain* MOSFET saat waktu naik dan kecepatan arus *drain* untuk menuju nol saat waktu turun juga mempengaruhi pemilihan kapasitor. Tegangan *drain* akan mengijinkan naik sebesar dua kali tegangan *supply* (V_s). Sedangkan di waktu yang

sama, t_f (waktu turun) arus drain akan turun menuju nol. Besarnya kapasitor C_S dicari dengan persamaan (Pressman, 1991: 418):

$$C_S = \frac{I_P t_f}{2V_S} \quad (2.23)$$

Dengan:

C_S = kapasitor *snubber* (F)

I_P = arus puncak saklar (A)

T_f = waktu turun (detik)

V_S = tegangan catu (V)

Saat kapasitor C_S untuk membuat naik secara perlahan-lahan tegangan drain saat waktu naik (t_r), maka R_S dipilih untuk pengosongan kapasitor C_S sampai dengan 5 persen dari pengisian penuh saat waktu nyala minimum (t_{on}). Besarnya resistor R_S dicari dengan persamaan (Pressman, 1991: 417):

$$R_S = \frac{t_{on(min)}}{3C_S} \quad (2.24)$$

Dengan:

R_S = resistansi *snubber* (ohm)

$t_{on(min)}$ = waktu nyala minimal (detik)

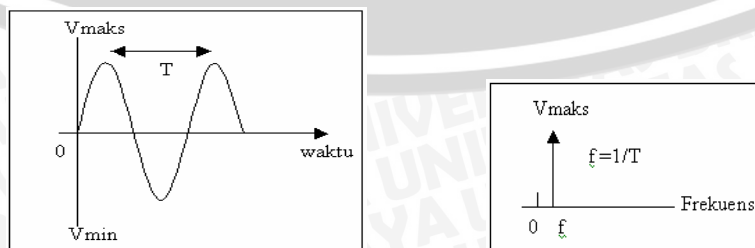
C_S = kapasitansi *snubber* (F)

2.5 Low Pass Filter

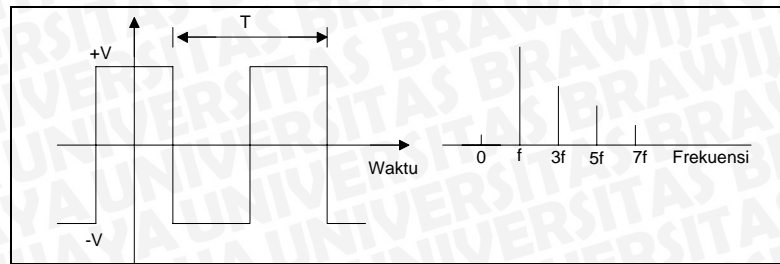
2.5.1 Perubahan bentuk dari sinyal persegi ke sinyal sinusoida

Suatu bentuk gelombang sinusoida dilukiskan sebagai fungsi waktu dan fungsi frekuensi diperlihatkan dalam Gambar 2.23. Persamaan matematik gelombang sinusoida dengan frekuensi f adalah :

$$V = V_{maks} \sin 2\pi ft \quad (2.25)$$



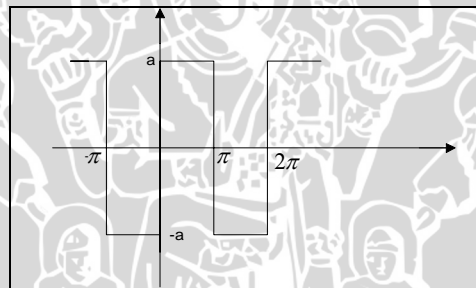
Gambar 2.23. Bentuk gelombang sinusoida
Sumber: Roody & Coolen, 1986: 74



Gambar 2.24. Bentuk gelombang persegi
Sumber: Roody & Coolen, 1986: 74

Dalam Gambar 2.24 ditunjukkan suatu bentuk gelombang persegi dalam fungsi waktu dan dalam fungsi frekuensi. Pada gambar yang ditunjukkan dengan fungsi frekuensi, terlihat bahwa bentuk gelombang persegi terdiri dari gelombang-gelombang sinusoida dengan frekuensi f , $3f$, $5f$, dan $7f$. Ini berarti gelombang persegi merupakan penjumlahan dari gelombang sinusoida dengan frekuensi yang berbeda.

Perubahan bentuk sinyal persegi diperlihatkan pada Gambar 2.25. Dalam gambar amplitudo gelombang persegi adalah $-a$ untuk interval waktu $-\pi$ sampai dengan 0 dan a untuk interval waktu 0 sampai dengan π .



Gambar 2.25. Bentuk gelombang persegi
Sumber: Roody & Coolen, 1986: 74

Menurut deret *Fourier*, persamaan suatu gelombang dapat dipresentasikan dengan menggunakan rumus :

$$f(x) = \frac{1}{2}a_0 + \sum_{n=1}^{\infty} a_n \cos nx + \sum_{n=1}^{\infty} b_n \sin nx \quad (2.26)$$

dengan :

$$a_0 = \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) dx \quad (2.27)$$

$$a_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \cos nx dx \quad (2.28)$$

$$b_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \sin nx dx \quad (2.29)$$

Dari Gambar 2.25 maka dapat diperoleh :

$$f(x) = \begin{cases} -a, & -\pi < x < 0 \\ a, & 0 < x < \pi \end{cases}$$

Dengan menggunakan deret *Fourier*, persamaan a_0 adalah :

$$\begin{aligned} a_0 &= \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) dx \\ &= \frac{1}{\pi} \left[\int_{-\pi}^0 -a dx + \int_0^{\pi} a dx \right] \\ &= -\frac{a}{\pi} x \Big|_{-\pi}^0 + \frac{a}{\pi} x \Big|_0^{\pi} = 0 \\ &= 0 \end{aligned}$$

Persamaan a_n adalah :

$$\begin{aligned} a_n &= \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \cos nx dx \\ &= \frac{1}{\pi} \left[\int_{-\pi}^0 -a \cos nx dx + \int_0^{\pi} a \cos nx dx \right] \\ &= -\frac{a}{\pi} \frac{\sin nx}{n} \Big|_{-\pi}^0 + \frac{a}{\pi} \frac{\sin nx}{n} \Big|_0^{\pi} \\ &= 0 \end{aligned}$$

Persamaan b_n adalah :

$$\begin{aligned} b_n &= \frac{1}{\pi} \int_{-\pi}^{\pi} f(x) \sin nx dx \\ &= \frac{1}{\pi} \left[\int_{-\pi}^0 -a \sin nx dx + \int_0^{\pi} a \sin nx dx \right] \\ &= -\frac{a}{\pi} \frac{\cos nx}{n} \Big|_{-\pi}^0 + \frac{a}{\pi} \frac{\cos nx}{n} \Big|_0^{\pi} \\ &= \frac{a}{n\pi} [\cos 0 - \cos n\pi] - \frac{a}{n\pi} [\cos n\pi - \cos 0] \\ &= \frac{a}{n\pi} (1 - \cos n\pi - \cos n\pi + 1) \\ &= \frac{a}{n\pi} (2 - 2\cos n\pi) \\ &= \frac{2a}{n} \pi (1 - \cos n\pi) \end{aligned}$$

dengan :

$$\frac{4a}{n\pi}, \text{ untuk } n \text{ ganjil}$$

0, untuk n genap

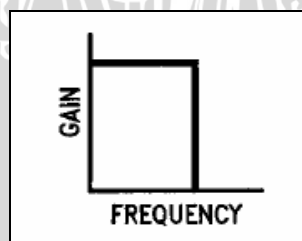
Jadi :

$$\begin{aligned} f(x) &= \frac{1}{2}a_0 + \sum_{n=1}^{\infty} a_n \cos nx + \sum_{n=1}^{\infty} b_n \sin nx \\ &= 0 + 0 + \frac{4a}{\pi} \sin x + \frac{4a}{3\pi} \sin 3x + \frac{4a}{5\pi} \sin 5x + \dots \\ &= \frac{4a}{\pi} \sum_{n=1}^{\infty} \frac{\sin nx}{n}, \text{ dengan } n = \text{ganjil} \end{aligned}$$

Dari persamaan diatas dapat disimpulkan bahwa gelombang persegi pada Gambar 2.25 merupakan penjumlahan dari gelombang sinusoida. Untuk mendapatkan salah satu dari gelombang sinusoida itu maka digunakan filter.

2.5.2 Low Pass Filter

Filter adalah rangkaian yang melewatkan frekuensi sinyal yang dikehendaki dan meredam semua sinyal frekuensi yang tidak diinginkan. Jangkauan frekuensi yang dilalui filter dengan penguatan maksimum atau pelemahan minimum disebut *passband*. *Passband limit* biasanya diasumsikan sebagai frekuensi dimana penguatannya turun 3 dB ($1/\sqrt{2}$ atau 0.707 dari penguatan tegangan maksimumnya). Frekuensi tersebut disebut sebagai frekuensi *cutoff* atau frekuensi -3 dB, f_{-3dB} . Filter ideal mempunyai penguatan maksimum pada *passband* dan penguatan nol pada *stopband*. Gambar 2.26 menunjukkan respon *low pass filter* ideal.



Gambar 2.26. Respon ideal *low pass filter*
Sumber: National Semiconductor, 1991: 11

Filter diklasifikasikan dengan orde atau angka dari *pole*. Jika dikatakan orde kedua maka hal itu berarti filter mempunyai dua *pole*. Secara umum semakin tinggi nilai orde filter maka mendekati filter ideal dan semakin kompleks rangkaian yang membentuk filter. Setiap orde n filter mempunyai kemiringan $20n$ dB tiap dekad.

Filter juga diklasifikasikan berdasarkan respon filter pada frekuensi yang diloloskan. Ada tiga tipe filter respon yaitu *Butterworth*, *Chebyshev* dan *Bessel*. Tiap respon filter tersebut mempunyai karakteristik berbeda-beda, tetapi yang dibahas hanya *Butterworth* respon saja.

2.5.3 Respon *Butterworth*

Respon Butterworth untuk *Low Pass Filter* dapat ditunjukkan melalui fungsi transfer dibawah ini (Bogart, 1997: 667) :

$$|G| = \frac{M}{\sqrt{1 + \left(\frac{f}{f_c}\right)^{2n}}} \quad (2.30)$$

Dengan:

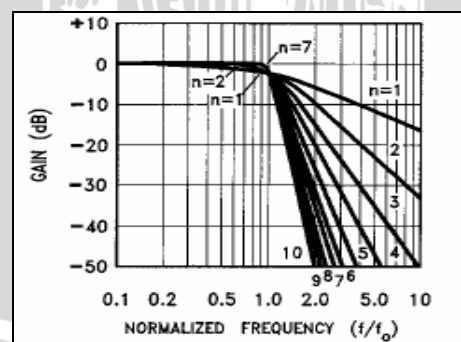
M = nilai penguatan konstan saat frekuensi nol

n = orde filter

f = frekuensi saat penguatannya nol (hertz)

f_c = frekuensi *cut off* (hertz)

Fungsi Transfer dalam *pass band* adalah *flat* dan *roll off* diantara *passband* dan *stopband* meningkat 20 dB/dekade dan akan meningkat jika orde filter bertambah tinggi. *Butterworth* respon disebut *maximally flat* respon karena dalam *passband* besar penguatannya konstan (Price, 1997:480). Gambar 2.27 menunjukkan karakteristik respon *Butterworth* untuk *low pass filter* dengan nilai orde yang bervariasi.



Gambar 2.27. Respon *Butterworth* untuk *low pass filter*

Sumber: National Semiconductor, 1991: 11

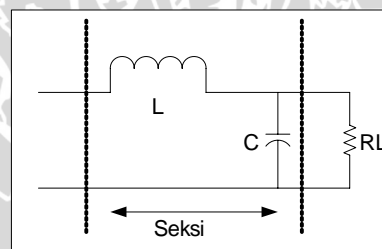
Faktor untuk denominator filter *Butterworth* dari berbagai nilai orde ditunjukkan pada Tabel 2.2.

Tabel 2.2 Faktor Denominator *Butterworth*

n	a ₀	a ₁	a ₂	a ₃	a ₄	a ₅	a ₆	a ₇	a ₈	a ₉
1	1									
2	1	1.414								
3	1	2.000	2.000							
4	1	2.613	3.414	2.613						
5	1	3.236	5.236	5.236	3.236					
6	1	3.864	7.464	9.142	7.464	3.864				
7	1	4.494	10.098	14.592	14.592	10.098	4.494			
8	1	5.126	13.137	21.846	25.688	21.846	13.137	5.126		
9	1	5.759	16.582	31.163	41.986	41.986	31.163	16.582	5.759	
10	1	6.392	20.432	42.802	64.882	74.233	64.882	42.802	20.432	6.392

Sumber: National Semiconductor, 1991: 12

Secara umum desain suatu filter berdasarkan 3 hal yaitu impedansi daerah kerja filter, frekuensi *cut off* dan orde dari filter. *Low pas Filter* dirancang untuk meloloskan frekuensi rendah dan menolak frekuensi tinggi diatas frekuensi *cutoff*. Orde filter tergantung dari frekuensi *switching* dan atenuasi yang dibutuhkan oleh frekuensi *switching*. LPF LC mempunyai keunggulan dibandingkan dengan filter aktif yaitu tidak membutuhkan catu daya dan mempunyai *noise* yang kecil. Dalam Gambar 2.28 menunjukkan satu seksi filter LC (Malvino, 1981: 77).

**Gambar 2.28.** Satu seksi filter LC

Sumber: Malvino, 1981: 77

Analisa dari rangkaian satu seksi filter LC atau filter LC orde 2 adalah :

$$X1 = sL$$

$$X2 = \frac{R}{1 + sCR}$$

Fungsi transfer:

$$H = \frac{V_o}{V_i} = \frac{X2}{(X1 + X2)} = \frac{1}{(1 + \frac{X1}{X2})} \quad (2.31)$$

$$H(s) = \frac{1}{(1 + \frac{sL(1 + sCR)}{R})}$$

$$= \frac{1}{(1 + \frac{sL}{R} + s^2LC)}$$

Persamaan denumerator untuk fungsi transfer diatas adalah:

$$D(s) = \left(1 + \frac{sL}{R} + s^2 LC\right) \quad (2.32)$$



BAB III METODOLOGI PENELITIAN

Penyusunan skripsi ini didasarkan pada masalah yang bersifat aplikatif, yaitu perencanaan dan perealisasiian alat agar dapat menampilkan unjuk kerja sesuai dengan yang direncanakan dengan mengacu pada rumusan masalah. Langkah-langkah yang perlu dilakukan untuk merealisasiikan alat yang akan dibuat adalah sebagai berikut.

3.1 Studi Literatur

Studi literatur mengacu pada spesifikasi yang dibuat untuk memahami komponen pendukung yang diperlukan guna merealisasiikan alat. Studi literatur yang dilakukan meliputi pembangkit sinyal segitiga, komparator, PWM, penguat kelas D, dan filter.

3.2 Perencanaan dan Pembuatan Alat

Sebelum melakukan perencanaan dan perealisasiian alat, maka ditentukan spesifikasi alat yang akan dibuat. Adapun spesifikasi alat yang akan direalisasiikan sebagai berikut:

1. Sinyal Audio yang masuk mempunyai range frekuensi 20-120 Hz.
2. Penguat Audio Subwoofer menghasilkan daya 75 W.
3. Impedansi beban sebesar 8Ω .
4. Penguat Kelas D memakai konfigurasi *half bridge*.
5. Total Harmonic Distortion $< 10\%$.
6. Level tegangan masukan maksimum 4 V.

Selanjutnya dilakukan perhitungan dan perancangan tiap-tiap blok rangkaian dengan mengacu pada data-data dari buku data komponen elektronika. Dari data yang diperoleh, dilakukan berbagai analisa dan perhitungan untuk mencapai hasil optimal dari komponen yang digunakan. Selain itu agar sesuai dengan karakteristik masing-masing komponen yang meliputi kemampuan arus yang dilewatkan, catu tegangan, sinyal masukan, serta sinyal keluaran yang dihasilkan. Berbagai perlakuan di atas digunakan untuk dapat mendukung perancangan dan pembuatan keseluruhan sistem.

Proses perencanaan alat adalah sebagai berikut:

1. Pembuatan blok diagram rangkaian.
2. Perencanaan rangkaian pada tiap-tiap blok dan melakukan perhitungan yang diperlukan dalam penyusunan rangkaian sehingga terbentuk skema rangkaian.

3. Desain dan pembuatan papan rangkaian tercetak.
4. Perakitan komponen pada papan rangkaian tercetak.

3.3 Pengujian

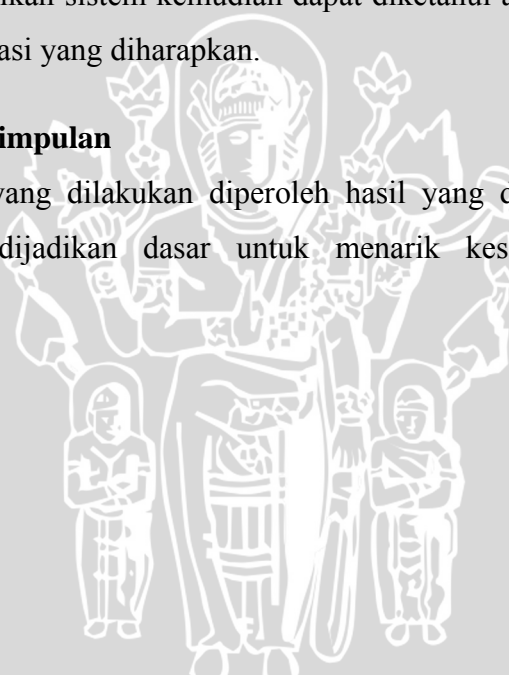
Untuk mengetahui kemampuan kerja rangkaian serta kesesuaian dengan perencanaan, maka dilakukan pengujian rangkaian. Pengujian rangkaian dilakukan tiap blok. Selanjutnya dilakukan penggabungan semua blok dan dilakukan pengujian secara keseluruhan. Adapun macam-macam pengujian yang dilakukan adalah sebagai berikut:

1. Pembuatan perangkat keras sistem dengan menggunakan komponen elektronika yang telah direncanakan.
2. Pengujian keseluruhan sistem

Pengujian keseluruhan sistem dilakukan dengan menggabungkan blok perangkat keras dan mengoperasikan sistem kemudian dapat diketahui apakah alat ini bekerja sesuai dengan spesifikasi yang diharapkan.

3.4 Pengambilan Kesimpulan

Dari pengujian yang dilakukan diperoleh hasil yang dapat dianalisis. Hasil analisis tersebut akan dijadikan dasar untuk menarik kesimpulan dari proses perancangan sistem ini.



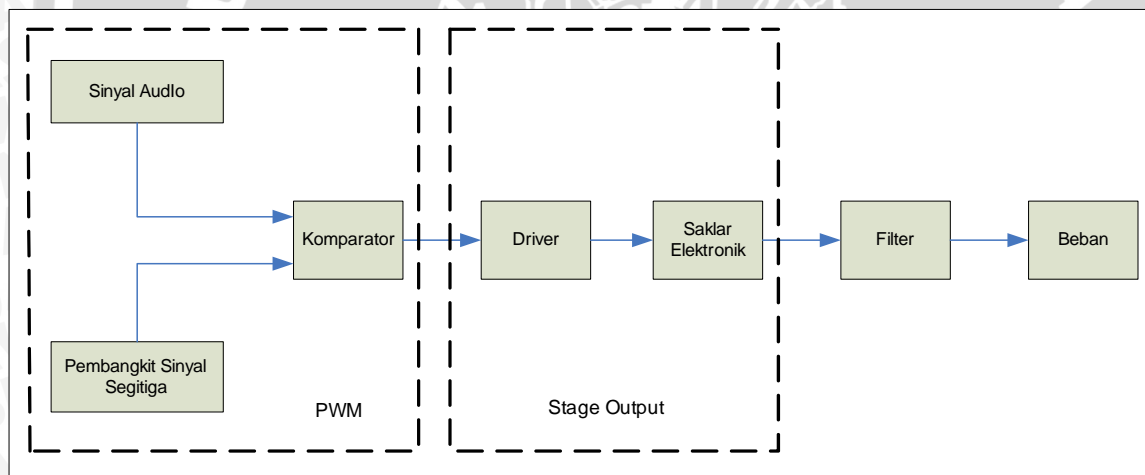
BAB IV

PERENCANAAN DAN PEMBUATAN ALAT

Pada bab ini akan dibahas tentang perencanaan dan pembuatan Penguat Audio *Subwoofer* kelas D yang meliputi perencanaan sistem, penentuan spesifikasi alat, perencanaan masing-masing blok rangkaian serta perencanaan rangkaian secara keseluruhan.

4.1 Perencanaan Sistem

Dalam perencanaan ini dilakukan secara bertahap untuk memudahkan dalam analisa pada setiap bagiannya maupun pada sistem keseluruhan. Diagram blok Penguat Audio *Subwoofer* Kelas D dapat dilihat dalam Gambar 4.1.



Gambar 4.1. Blok diagram Penguat Audio Subwoofer Kelas D

Keterangan diagram blok :

- Sinyal audio yang masuk merupakan sinyal audio *subwoofer* yang mempunyai frekuensi 20-120 Hz.
- Pembangkit sinyal segitiga berfungsi untuk membangkitkan sinyal segitiga dengan frekuensi tinggi yang digunakan sebagai frekuensi pembawa dalam metode modulasi lebar pulsa dengan pembanding tegangan.

- Komparator berfungsi membandingkan sinyal audio yang masuk dengan sinyal pembawa.
- *Driver* digunakan sebagai penggerak untuk saklar elektronik.
- Saklar Elektronik yang tersusun dari MOSFET digunakan sebagai saklar *on-off* yang memutus dan menghubungkan catu daya dengan beban sesuai sinyal masukan dari *driver*.
- Filter LC untuk menghilangkan sinyal pembawa dari sinyal audio yang dikuatkan.
- Beban berupa speaker dengan impedansi sebesar 8Ω .

Operasi Penguat kelas D dimulai dari PWM, sinyal audio yang masuk dibandingkan dengan frekuensi pembawa (berupa gelombang segitiga) melalui komparator. Keluaran komparator berupa sinyal pulsa dengan periode tetap tetapi memiliki *duty cycle* yang bervariasi sebanding dengan amplitudo sesaat dari sinyal audio. Sinyal keluaran PWM tidak dapat langsung menggerakkan MOSFET sebagai tingkat akhir dari penguat audio kelas D, sehingga dibutuhkan *driver* untuk menjalankannya. Setelah melalui MOSFET, sinyal PWM difilter *low pass* untuk mengembalikan bentuk sinyal audio.

4.2 Spesifikasi Alat

Perancangan alat ini mempunyai beberapa spesifikasi sebagai berikut :

- Sinyal Audio yang masuk mempunyai jangkauan frekuensi 20-120 Hz.
- Penguat Audio *Subwoofer* menghasilkan daya output maksimum 75 W.
- Impedansi beban sebesar 8Ω .
- Penguat Kelas D memakai konfigurasi *half bridge*.
- *Total Harmonic Distortion* $< 10\%$.
- Level tegangan masukan maksimum 4 V.

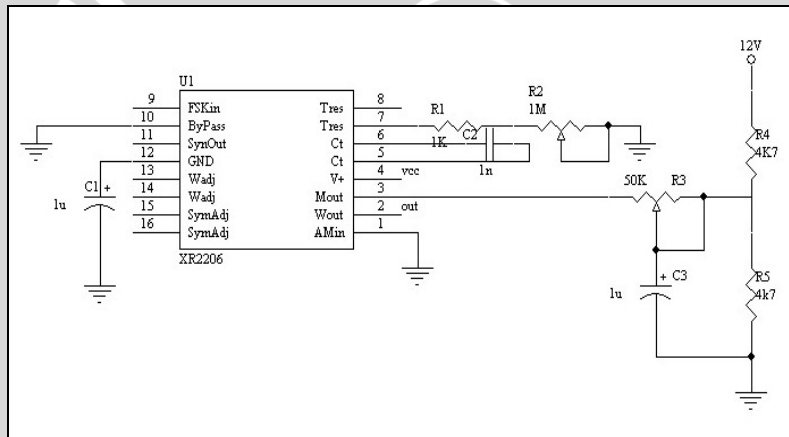
4.3 Perencanaan Blok PWM

4.3.1 Rangkaian pembangkit sinyal segitiga

Pembangkit sinyal segitiga dalam PWM berfungsi sebagai penghasil sinyal pembawa yang akan dibandingkan dengan sinyal audio. Frekuensi sinyal pembawa dipilih setinggi mungkin diatas sinyal audio tetapi tidak bisa terlalu tinggi karena

keterbatasan karakteristik *switching* rangkaian keseluruhan. Secara praktis pemilihan frekuensi *switching* minimal 10 kali lebih besar dari frekuensi sinyal audio yang dilewatkan. Jika sinyal audio tertinggi *subwoofer* yang dilewatkan adalah 120 Hz maka frekuensi *switching*nya minimal 1,2 kHz. Tetapi frekuensi *switching* sebesar 1,2 kHz masih dalam jangkauan sinyal audio dikhawatirkan sinyal frekuensi *switching* akan terdengar di perangkat audio. Selain itu frekuensi *switching* yang terlalu rendah juga mengakibatkan frekuensi *cut off* filter juga rendah sehingga mempengaruhi ukuran filter.

Besarnya sinyal pembawa ditentukan sebesar 20 kHz karena merupakan batas frekuensi tertinggi dalam sinyal audio sehingga diharapkan tidak menimbulkan distorsi pada kualitas sinyal. Selain itu frekuensi ini diharapkan masih mampu ditoleransi oleh komponen yang dipergunakan.



Gambar 4.2. Rangkaian pembangkit sinyal segitiga

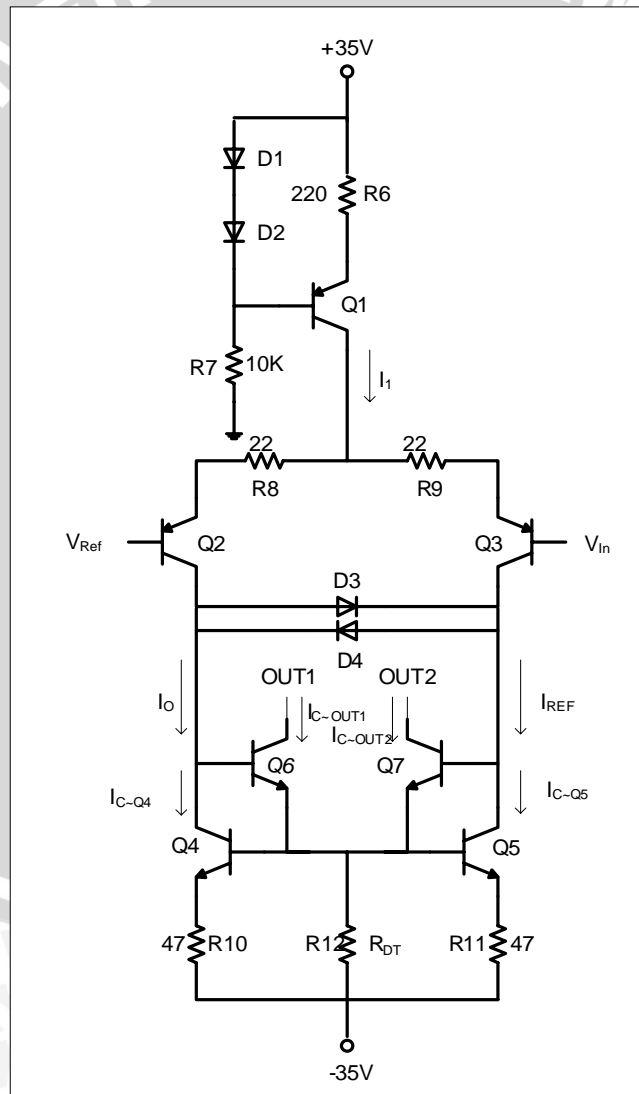
Untuk pengaturan nilai frekuensi osilasi f_0 ditentukan oleh kapasitor pewaktuan eksternal C pada pin 5 yang terhubung ke pin 6 dan nilai resistor R yang terhubung pada pin 7 sesuai dengan Persamaan 2.1. Besarnya frekuensi osilasi ditentukan sebesar $f_0 = 20$ kHz. Dari datasheet diketahui bahwa nilai R yang direkomendasikan berada pada range $4 \text{ k}\Omega < R < 200 \text{ k}\Omega$ dan nilai C yang direkomendasikan berada pada kisaran 1000 pF sampai 100 μF . Dipilih besarnya kapasitor $C = 1 \text{ nF}$ sehingga nilai resistor dapat dihitung:

$$f_0 = \frac{1}{RC}$$

$$R = \frac{1}{f_0 C} = \frac{1}{20 \cdot 10^3 \cdot 1 \cdot 10^{-9}} = 50 \text{ k}\Omega$$

4.3.2 Rangkaian komparator

Dalam blok PWM, sinyal pembawa dan sinyal audio dibandingkan oleh rangkaian komparator. Keluaran sinyal dari komparator berupa sinyal kotak yang lebar pulsanya dimodulasi sebanding dengan amplitudo sinyal audio. Rangkaian komparator yang akan dirancang mempunyai dua terminal masukan dan menyediakan dua keluaran *open collector* komplemen dan simetri untuk rangkaian *driver*. Selisih tegangan dari dua terminal masukan menyebabkan salah satu dari terminal keluaran saturasi dan sisi terminal keluaran yang lain *cut off*. Rangkaian komparator ditunjukkan dalam Gambar 4.3.



Gambar 4.3. Rangkaian komparator

Sumber: Putzeys, 2005: 6

Rangkaian komparator yang dipilih menggunakan rangkaian diskrit rancangan dari *Bruno Putzeys*. Komparator tersusun dari penguat diferensial dan cermin arus. Komparator diskrit digunakan karena dibutuhkan komparator yang bisa menggerakkan driver bertegangan tinggi yang tidak bisa dipenuhi oleh komparator terintegrasi yang hanya mempunyai tegangan keluaran maksimum 36 V. Transistor jenis 2N5401 dan 2N5551 digunakan sebagai masukan, keluaran komparator dan sumber arus untuk arus ekornya, karena dibutuhkan transistor tegangan tinggi pada bagian tersebut. Sedangkan transistor 2N3904 yang merupakan transistor *switching* digunakan pada transistor Q₄ dan Q₅.

Rangkaian sumber arus yang terdiri dari transistor Q₁ yang bekerja pada mode aktif. Besarnya tegangan antara terminal basis-emitor ditambahkan dengan tegangan V_{R7} adalah sebesar tegangan diode:

$$2V_{Fdiode} = V_{R7} + V_{BE} \quad (4.1)$$

$$V_{R_1} = 2V_{Fdiode} - V_{BE} = 2(0.7) - 0,7 = 0,7 \text{ V}$$

Sehingga besarnya arus yang dihasilkan dari rangkaian sumber arus diatas dapat dicari melalui persamaan:

$$V_{R7} = I_1 \cdot R_7 \quad (4.2)$$

$$I_1 = \frac{V_{R7}}{R_7} = \frac{0.7}{220} = 3,18 \text{ mA}$$

Transistor Q₂ dan Q₃ berlaku seperti saklar *on* atau *off* tergantung pada tegangan V_{ref} lebih besar atau lebih kecil dari tegangan V_{in}. Sedangkan resistor emitor yang dipasang pada kedua transistor Q₂ dan Q₃ berfungsi sebagai kompensasi perbedaan nilai β antara kedua transistor. Nilai resistor emitor ini mempunyai nilai kecil sekitar 100 Ω (Schilling dan Belove, 1989: 346) tetapi untuk perancangan ini berdasarkan rekomendasi menggunakan nilai 22 Ω. Jika tegangan basis V_{ref} lebih besar daripada tegangan V_{in} (V_{ref}>V_{in}) maka transistor Q₃ menyala dan arus I₁ mengalir sebesar 3,18 mA. Besarnya tegangan emitor R₈ dapat dicari melalui persamaan:

$$V_{E-R8} = I_1 R_8 \quad (4.3)$$

$$V_{E-R8} = 3,18 \cdot 10^{-3} \times 22 = 69,96 \text{ mV} \approx 70 \text{ mV}$$

Diode D_3 dan D_4 yang dipasang bolak-balik pada kolektor Q_2 dan Q_3 berfungsi sebagai jalur untuk kelebihan perbedaan arus dari terminal masukan sehingga arus I_{REF} dan arus I_O memiliki nilai yang hampir simetri. Jika dari hasil simulasi menggunakan multisim8 didapatkan arus I_{REF} yaitu 1,49 mA maka arus yang mengalir I_O dapat dicari dengan persamaan (2.8). Dari datasheet 2N3904 diketahui nilai β sebesar 80 maka:

$$I_O = \frac{I_{REF}}{1 + \frac{2}{\beta(1 + \beta)}}$$

$$I_O = \frac{1,49 \cdot 10^{-3}}{1 + \frac{2}{80(1 + 80)}} = \frac{1,49 \cdot 10^{-3}}{1 + 3,08 \cdot 10^{-4}} = 1,49 \text{ mA}$$

Pada emitor transistor Q_4 dan Q_5 juga dipasang resistor yang berfungsi untuk menyeimbangkan besarnya arus kolektor pada kedua transistor agar mendekati simetri. Besarnya resistor emitor juga kecil yaitu sekitar 100Ω tetapi untuk perancangan ini menggunakan nilai 47Ω sesuai dengan rekomendasi. Prinsip dari resistor emitor ini adalah bila arus dari salah satu transistor meningkat, maka tegangan di resistor emitor meningkat sehingga tegangan basis-emitor (V_{BE}) menurun. Hal ini menyebabkan arus menurun dan kedua transistor memiliki besar arus yang hampir sama.

Akibat dari transistor Q_3 menyala menyebabkan transistor Q_6 atau *out1* berada pada kondisi *cut off* dan transistor Q_7 atau *out2* pada kondisi saturasi. Sedangkan bila tegangan basis V_{ref} lebih kecil daripada tegangan V_{in} ($V_{ref} < V_{in}$) maka transistor Q_6 atau *out1* berada pada kondisi saturasi dan transistor Q_7 atau *out2* pada kondisi *cut off*. Dua transistor keluaran Q_6 dan Q_7 tersebut tidak pernah nyala atau padam secara bersamaan, sehingga jika salah satunya saturasi maka transistor yang lainnya *cut off*, begitu pula sebaliknya.

Besarnya arus keluaran komparator ketika saturasi tergantung dari nilai R_{DT} yang dipasang di emitor transistor keluaran. Nilai resistansi *deadtime* yang direkomendasikan sebesar 68Ω tetapi nilai pasti dari R_{DT} didapatkan dari hasil eksperimen sehingga resistansi R_{DT} menggunakan resistor variabel $1 \text{ k}\Omega$ agar resistansi mudah diatur. Nilai resistor R_{DT} menentukan besarnya *deadtime* yang diberikan untuk menyalakan MOSFET

karena arus keluaran komparator berhubungan dengan arus *driver* dan arus *driver* berhubungan dengan seberapa cepat kapasitansi *gate* diisi.

4.4. Perencanaan Blok *Stage Output*

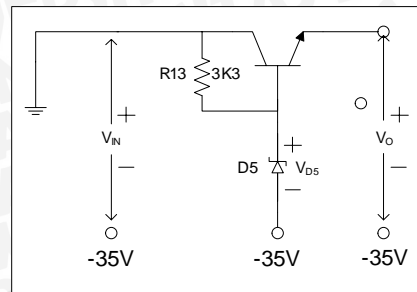
Keluaran dari komparator tidak dapat langsung menjalankan penguat kelas D yang berupa mosfet. Hal ini disebabkan karena dalam proses *switching* MOSFET membutuhkan arus yang besar untuk mempercepat waktu pengisian dan pembuangan di kapasitansi *gate* MOSFET. Pemilihan jenis MOSFET yang akan digunakan berdasarkan karakteristik MOSFETnya yang cepat dan hanya memerlukan rangkaian *driver* yang sederhana untuk mengaktifkannya. Untuk saklar elektronik dipilih MOSFET kanal N memakai MOSFET IRF 540 karena spesifikasinya yang *fast switching* dan membutuhkan *driver* yang sederhana. Dari datasheet diketahui jumlah muatan gerbang Q_G sebesar 38 nC dan nilai $t_{transition}$ sebesar 134 ns dengan menggunakan persamaan 2.18 maka dapat dicari besarnya arus *gate* minimum untuk MOSFET dapat *switching* cepat dengan perhitungan :

$$\begin{aligned} I_G &= \frac{Q_G}{t_{transition}} \\ &= \frac{38nC}{134nS} = 0.284A \approx 284 mA \end{aligned}$$

Selain itu, untuk memastikan kondisi MOSFET saturasi atau *cut off* tergantung besarnya V_{gs} . Pada saat kondisi *cut off* diperlukan $V_{GS} < V_{th}$ dan ditentukan nilai V_{GS} sebesar 0V. Ketika MOSFET saturasi, syaratnya $V_{GS} > V_{th}$ dan $V_{DS} = V_{GS} - V_{th}$ sehingga ditentukan nilai V_{GS} sebesar 12V. Untuk itu diperlukan *driver* agar bisa memenuhi spesifikasi *switching* MOSFET. Untuk mengaktifkan MOSFET M_1 dan M_2 digunakan rangkaian *driver* yang simetri sehingga diharapkan mempunyai respon yang sama.

4.4.1. Catu Tegangan *Driver* MOSFET

Untuk mendapatkan selisih tegangan 12 V antara terminal *gate* dan *source* maka *driver* MOSFET menggunakan catu tegangan 12 V. *Driver* bawah menggunakan metode transistor sebagai regulator tegangan seperti yang ditunjukkan pada Gambar 4.4.



Gambar 4.4. Transistor sebagai regulator tegangan

Transistor berfungsi sebagai pengontrol arus ke beban sehingga dipilih transistor daya TIP31C. Sedangkan diode zener D_5 menyediakan tegangan referensi konstan sebesar 12 V untuk kontrol tegangan antara tegangan basis emitor. Tegangan keluaran dapat dicari melalui :

$$V_O = V_{D5} - V_{BE} \quad (4.4)$$

Jika tegangan jatuh antara basis-emitor sebesar 0,7 V maka

$$V_O = 12V - 35V - 0.7V = -23,3V$$

Untuk tegangan masukan V_{IN} sebesar 35 V maka tegangan antara kolektor-emitor V_{CE} dapat dicari melalui:

$$V_{CE} = V_{IN} - V_O \quad (4.5)$$

$$V_{CE} = 35V - 23.3V = 11,7V$$

Penyediaan sumber tegangan untuk *driver* MOSFET sisi atas menggunakan teknik *bootstrap* karena kondisi terminal *source* yang mengambang seperti yang ditunjukkan pada Gambar 2.14. Teknik *bootstrap* terdiri dari diode dan kapasitor *bootstrap*. Diode *bootstrap* menggunakan U10A30 yang merupakan diode *fast recovery* dengan rating arus maksimum 10 A dan tegangan *breakdown* 600 V. Dari datasheet diketahui nilai kapasitansi *gate* keseluruhan Q_G sebesar 38 nC, Q_{RR} sebesar 50 nC dan arus bocor diode sebesar 500 μ A. Bila arus maksimum dari catu ditentukan sebesar 1 A dengan selisih jatuh tegangan maksimum 1 V maka besarnya kapasitor *bootstrap* dapat dicari melalui Persamaan 2.19.

$$C \geq \frac{Q_G + Q_{RR} + \frac{(I_{DR} + I_{QBS})}{f_{PWM}}}{V_{BS1} - V_{BS2}}$$

$$C \geq \frac{38.10^{-9} + 50.10^{-9} + \frac{(1 + 500.10^{-6})}{20.10^3}}{1}$$

$$C \geq 50,113.10^{-6} \text{ F}$$

Untuk kapasitor yang ada dipasaran sebesar 220 μF maka kapasitor *bootstrap* dipilih sebesar 220 μF .

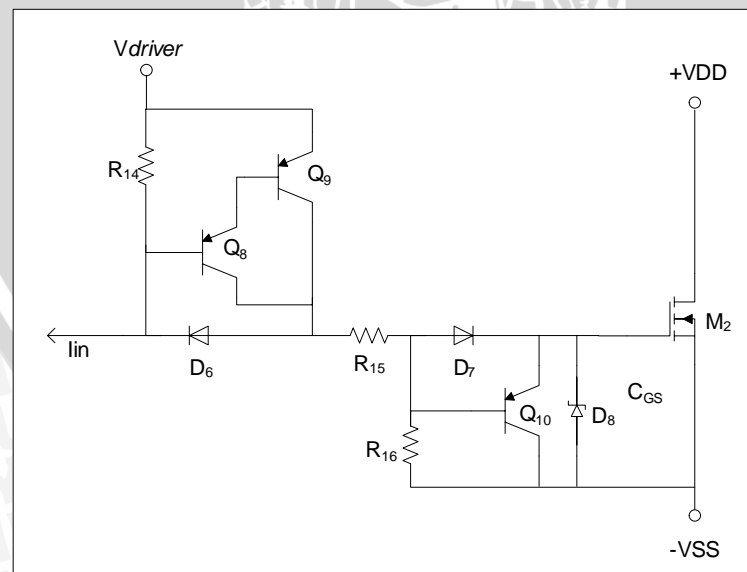
Sedangkan untuk arus rata-rata diode *bootstrap* dengan menerapkan persamaan 2.20.

$$I_{F(AVG)} = Q_{gate} \times f_{max}$$

$$I_{F(AVG)} = 38.10^{-9} \times 20.10^3 = 0,76 \text{ mA}$$

4.4.2. Rangkaian *Driver* MOSFET

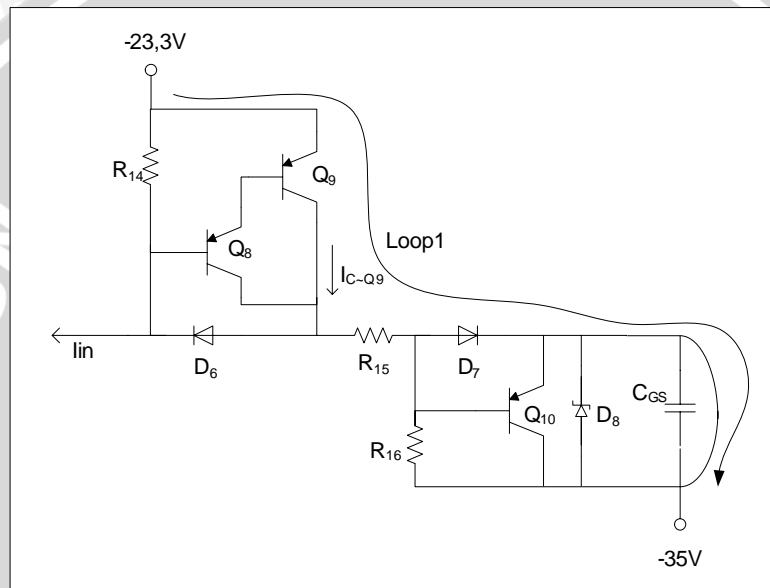
Rangkaian *driver* MOSFET mempunyai kontrol terhadap waktu nyala dan waktu padam dari MOSFET. Topologi rangkaian *driver* untuk MOSFET M_1 dan M_2 ditunjukkan pada Gambar 4.5 berdasarkan rekomendasi dari *phillips semiconductor*. Sedangkan transistor yang digunakan jenis 2N3906 merupakan transistor khusus untuk aplikasi *switching*. Untuk tipe diodenya menggunakan 1N4148 yang merupakan jenis diode yang berkecepatan tinggi.



Gambar 4.5. Rangkaian *driver* MOSFET

Sumber: Phillips, 2005: 6

Untuk mendapatkan kecepatan *switching* dari MOSFET sebesar 134 ns maka dibutuhkan arus keluaran dari *driver* sebesar kira-kira mendekati 300 mA. Agar terjamin arus transisi *gate* terpenuhi maka *driver* harus mampu mensuplai arus yang lebih besar dari 300 mA. Ditetapkan arus keluaran *driver* maksimum sebesar 330 mA. Gambar 4.6 menunjukkan *driver* MOSFET M_2 saat MOSFET M_2 dalam waktu transisi menuju saturasi.



Gambar 4.6. Rangkaian *driver* MOSFET M_2 saat MOSFET M_2 transisi saturasi

R_{15} berfungsi untuk membatasi arus keluaran maksimum *driver*. Saat kondisi kapasitansi gate C_{GS} terhubung singkat atau dengan kata lain MOSFET dalam kondisi transisi menuju saturasi maka analisa loop1 :

$$-23,3V - V_{CE\sim sat Q_9} - R_{15} \cdot I_{C Q_9} - V_{F D_7} = -35V \quad (4.6)$$

Jika nilai V_{CEsat} sebesar 0.2 V dan tegangan maju diode V_F sebesar 0,7 V maka nilai resistansi R_9 :

$$11,3V - V_{CE\sim sat Q_9} - R_{15} \cdot I_{C Q_9} - V_{F D_7} = 0$$

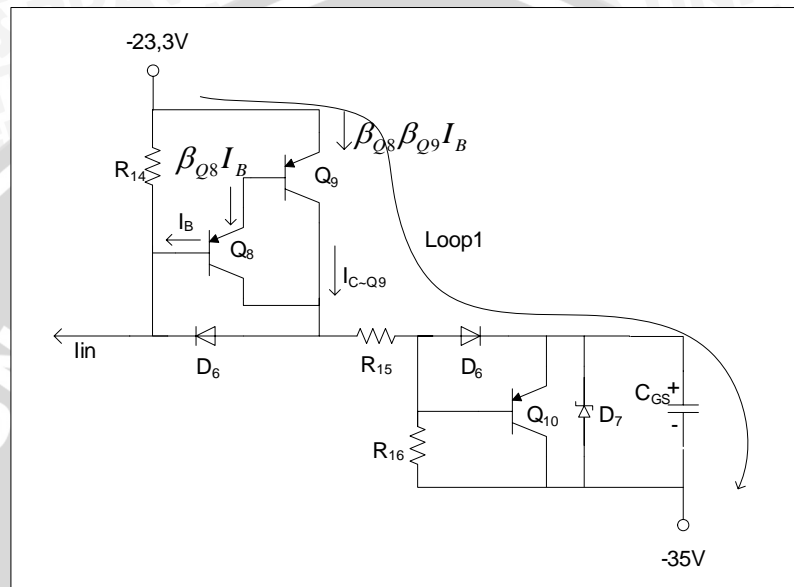
$$11,3V - 0,2V - R_{15} 330 \cdot 10^{-3} - 0,7 = 0$$

$$10,4V = R_{15} 330 \cdot 10^{-3}$$

$$R_{15} = \frac{10,4}{330 \cdot 10^{-3}} = 31,3 \Omega$$

Nilai resistansi yang ada dipasaran yang mendekati $31,3 \Omega$ adalah 30Ω maka dipilih resistansi 30Ω .

Gambar 4.7 menunjukkan driver MOSFET M_2 saat MOSFET M_1 saturasi. Saat keluran komparator saturasi mengakibatkan transistor Q_8 dan Q_9 berada pada kondisi saturasi sedangkan transistor Q_{10} *cut off*.



Gambar 4.7. Rangkaian *driver* MOSFET M_2 saat MOSFET M_2 saturasi

Konfigurasi *darlington* dari transistor Q_8 dan Q_9 dimaksudkan untuk memastikan arus keluaran komparator cukup untuk membuat transistor Q_8 dan Q_9 saturasi dan *cut off*. Arus gate merupakan arus emiter I_E Q_9 dan asumsi bahwa nilai $I_E \approx I_C$ sehingga arus I_B Q_8 dapat dicari melalui persamaan:

$$I_C = \beta_{Q8} \beta_{Q9} I_B \tag{4.7}$$

Dari datasheet transistor 2N3904 mempunyai β minimum sebesar 30. Nilai dari β keseluruhan transistor Q_8 dan Q_9 adalah:

$$\beta_{total} = \beta_{Q8} \beta_{Q9} \tag{4.8}$$

$$\beta_{total} = 30 \cdot 30 = 900$$

Dengan memasukkan nilai β keseluruhan transistor Q_8 dan Q_9 ke dalam persamaan 4. maka besar arus I_B dapat dicari :

$$I_C = \beta_{Q8} \beta_{Q9} I_B$$

$$I_B = \frac{I_C}{\beta_{Q8}\beta_{Q9}}$$

$$I_B = \frac{330 \cdot 10^{-3}}{900} = 0,37 \text{ mA}$$

Pengendali rangkaian *driver* adalah keluaran komparator. Arus kolektor keluaran komparator saat saturasi adalah 10,5 mA yang merupakan arus I_{in} dari *driver*. Dari datasheet diketahui tegangan basis-emitor saat saturasi V_{BEsat} sebesar 0,85 V. Jika besarnya tegangan V_{R14} adalah sebesar tegangan basis-emitor transistor Q_8 dan Q_9 maka:

$$V_{R14} = V_{BEsatQ8} + V_{BEsatQ9} \quad (4.9)$$

$$V_{R14} = 0,85 + 0,85 = 1,7 \text{ V}$$

Sehingga nilai resistansi R_{14} dapat dicari :

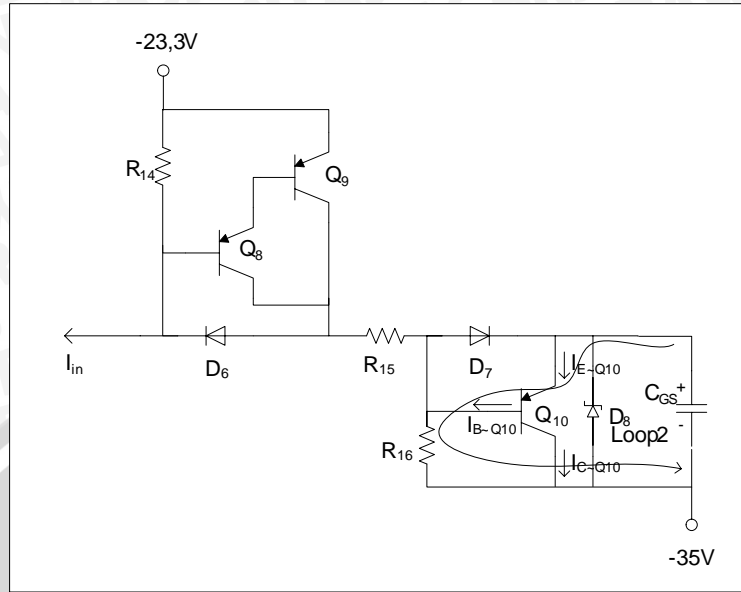
$$V_{R14} = I_{in} \cdot R_{14} \quad (4.10)$$

$$R_{14} = \frac{V_{R14}}{I_{in}} = \frac{1,7}{10,5 \cdot 10^{-3}} = 161,9 \Omega$$

Nilai resistansi yang ada dipasaran yang mendekati 161,9 Ω adalah 150 Ω maka dipilih resistansi 150 Ω . Jika nilai R_{14} sebesar 150 Ω dan tegangan V_{R14} tetap maka arus I_{in} yang mengalir :

$$I_{in} = \frac{V_{R14}}{R_{14}} = \frac{1,7}{150} = 11,33 \text{ mA}$$

Gambar 4.8 menunjukkan driver MOSFET M_2 saat MOSFET M_2 *cut off*. Ketika ketika keluaran komparator *cut off* mengakibatkan transistor Q_{10} berada pada kondisi saturasi dan mengontrol pembuangan muatan kapasitansi *gate* dengan arus transisi *gate* sebesar 330 mA. Sedangkan diode D_7 tidak dapat dilalui arus karena diode hanya bekerja dengan bias maju sehingga arus dipaksa melalui transistor Q_{10} .



Gambar 4.8. Rangkaian *driver* MOSFET M_2 saat MOSFET M_2 *cut off*

Jika $I_{E-Q10} \approx I_{C-Q10} = 330 \text{ mA}$ maka besarnya arus basis pada transistor Q_{10} saat saturasi:

$$I_{B-Q10} = \frac{I_{C-Q10}}{\beta} = \frac{330 \cdot 10^{-3}}{30} = 11 \text{ mA}$$

Jika transistor 2N3906 mempunyai nilai tegangan basis saturasi V_{BEsat} sebesar 0.85 V maka nilai resistansi R_{16} yang dianalisa melalui loop2:

$$12V - V_{BEsat} - I_{B-Q10} \cdot R_{16} = 0 \tag{4.11}$$

$$R_{16} = \frac{12V - V_{BEsat}}{I_{B-Q10}}$$

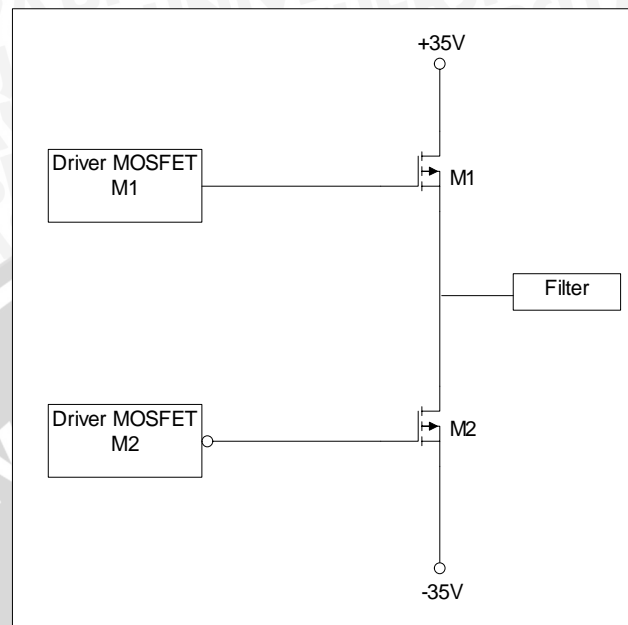
$$R_{16} = \frac{12V - 0.85V}{11 \times 10^{-3}} = 1,01 \text{ k}\Omega$$

Nilai resistansi yang ada dipasaran yang mendekati $1,01 \text{ k}\Omega$ adalah $1 \text{ k}\Omega$ maka dipilih resistansi $1 \text{ k}\Omega$.

4.4.3. Saklar Elektronik

Untuk menghasilkan sinyal keluaran yang sudah dimodulasi maka diperlukan saklar untuk memutus dan menghubungkan catu dengan beban. Saklar yang digunakan adalah saklar elektronik karena dibutuhkan keadaan *on off* yang sangat cepat sesuai

frekuensi *switching* sistem. Saklar elektronik yang digunakan adalah MOSFET dengan konfigurasi *half bridge*. Gambar 4.9 menunjukkan konfigurasi *half bridge*.



Gambar 4.9. Saklar elektronik

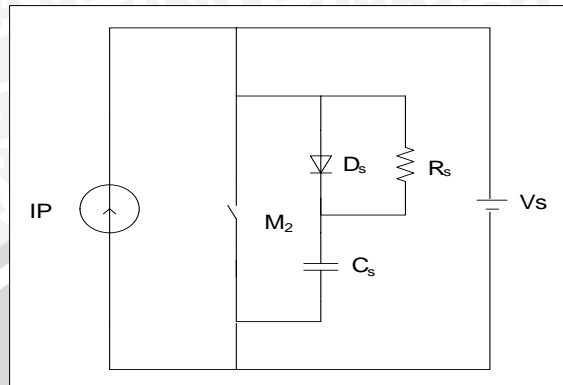
MOSFET kanal N IRF540 bekerja bergantian antara MOSFET M_1 dan M_2 yang dikontrol oleh *driver*. MOSFET bekerja hanya pada mode *switching* yaitu saturasi atau *cut off*. Saat kondisi keluaran dari driver M_1 berlogika tinggi maka MOSFET kanal N M_1 saturasi karena selisih tegangan antara *gate* dan *source* 12V lebih besar dari tegangan ambang V_{th} . Sedangkan MOSFET M_2 dalam kondisi *cut off* dan tegangan keluaran V_O sebesar 35V.

Saat kondisi keluaran dari driver sisi bawah berlogika tinggi maka MOSFET kanal N M_1 *cut off* karena selisih tegangan antara *gate* dan *source* V_{GS} 12V kurang dari tegangan ambang V_{th} ($V_{GS} < V_{th}$). Sedangkan MOSFET M_2 dalam kondisi saturasi sehingga tegangan keluaran V_O sebesar -35V.

4.4.4. Rangkaian *Snubber*

Rangkaian *snubber* merupakan rangkaian pengaman untuk MOSFET karena dapat mengurangi *spike* arus saat perpindahan kondisi dari *on* ke *off* maupun sebaliknya. Penggunaan rangkaian *snubber* RCD juga dapat memperkecil rugi-rugi yang terjadi saat

switching. Gambar 4.10 menunjukkan MOSFET yang dimodelkan oleh saklar dengan rangkaian *snubber*.



Gambar 4.10. Rangkaian *snubber* RCD

Saat MOSFET mulai berubah kondisi dari keadaan *on* ke *off* maka arus *drain* mengalir menuju kapasitor *snubber* C_s melalui diode D_s sehingga memperlambat waktu turun dari MOSFET. Sedangkan saat MOSFET berubah kondisi dari *off* menuju *on*, kapasitor *snubber* C_s membuang muatan melalui resistor *snubber* R_s sehingga memperlambat waktu naik MOSFET.

Untuk pemilihan diode *snubber* D_s menggunakan 1N4007 dan besarnya kapasitor *snubber* C_s menerapkan persamaan 2.22. Jika arus puncak sebesar 4,3 A, waktu turun sebesar 20 ns dan tegangan catu sebesar 70 V maka

$$C_s = \frac{I_p t_f}{2V_s}$$

$$C_s = \frac{4,3 \cdot 20 \cdot 10^{-9}}{2 \cdot 70} = 614 \text{ pF}$$

Untuk kapasitor *snubber* C_s dipilih nilai sebesar 680 pF karena menyesuaikan dengan yang ada dipasaran.

Saat kapasitor C_s untuk membuat naik secara perlahan-lahan tegangan drain saat waktu naik (t_r), maka R_s dipilih untuk pengosongan kapasitor C_s sampai dengan 5% dari pengisian penuh saat waktu nyala minimum (t_{on}) sebesar 100 ns. Besarnya resistor R_s dicari dengan menerapkan persamaan 2.23.

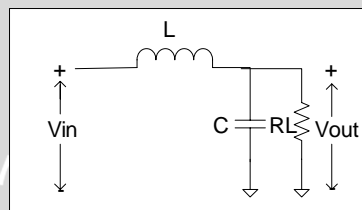
$$R_s = \frac{t_{on(\min)}}{3C_s}$$

$$R_s = \frac{90 \cdot 10^{-9}}{3.680 \cdot 10^{-12}} = 44 \Omega$$

Nilai resistansi yang ada dipasaran yang mendekati 44Ω adalah 47Ω maka dipilih resistansi 47Ω .

4.5. Perencanaan *Low Pass Filter*

Filter pasif LC didesain untuk mengembalikan bentuk sinyal keluaran penguat ke bentuk sinyal asli dan juga membuang spektrum frekuensi tinggi yang tidak diinginkan. Filter LC yang akan dirancang merupakan *low pass filter Butterworth* orde 2 seperti yang ditunjukkan pada Gambar 4.11.



Gambar 4.11. Filter LC orde 2

Respon filter yang diinginkan mempunyai besarnya penguatan $M=1$ pada jangkauan frekuensi 20-120 Hz dan pada frekuensi *switching* 20 kHz penguatannya teredam sampai 95%. Frekuensi *cut off* dari filter dapat dicari dengan menerapkan persamaan 2.29.

$$|G| = \frac{M}{\sqrt{1 + \left(\frac{f}{fc}\right)^{2n}}}$$

$$fc = \sqrt{\frac{f^2}{\left(1 - \frac{1}{G^2}\right)}} = \sqrt{\frac{(20 \cdot 10^3)^2}{1 - 0.05^2}} = 1001.25 \approx 1 \text{ kHz}$$

Dari tabel 2.2 didapatkan koefisien denominator untuk filter *butterworth* orde 2 adalah

$$D(s) = 1 + 1.414 \frac{s}{\omega c} + \frac{s^2}{\omega c^2} \quad (4.12)$$

Dengan $fc = 1 \text{ kHz}$ maka besarnya

$$\omega c = 2\pi fc \quad (4.13)$$

$$\omega c = 2\pi 1000 = 6283,19$$

Sehingga persamaan 4.9 menjadi

$$D(s) = 1 + 1.414 \frac{s}{6283,19} + \frac{s^2}{39,48.10^6} \quad (4.14)$$

Dengan memasukkan nilai resistansi RL sebesar 8Ω pada persamaan 2.30 maka didapatkan persamaan

$$D(s) = (1 + \frac{sL}{8} + s^2 LC) \quad (4.15)$$

Jika persamaan 4.11 sama dengan persamaan 4.12 maka

$$D(s) = 1 + 1.414 \frac{s}{6283,19} + \frac{s^2}{39,48.10^6} = (1 + \frac{sL}{8} + s^2 LC)$$

Dari persamaan 4.15 didapatkan nilai induktor L adalah

$$L = \frac{1,414}{6283,19} 8 = 1.8 \text{ mH}$$

Sedangkan nilai kapasitor C adalah

$$C = \frac{1}{(39,48.10^6)(1,8.10^{-3})} = 14 \mu F$$

Karena kapasitor yang mendekati nilai $14 \mu F$ jenisnya adalah kapasitor polar yang tegangan paling tinggi sebesar 50 V . Padahal sinyal keluaran saklar elektronik yang masuk ke filter mempunyai amplitudo 70 Vpp sehingga tidak sesuai dengan rating tertinggi tegangan kapasitor polar. Untuk itu kapasitor non polar dengan nilai tertinggi yang ada dipasaran $1 \mu F$. Jika nilai kapasitor diperkecil mengakibatkan nilai induktor bertambah besar sehingga mempengaruhi ukuran induktor juga bertambah besar. Hal ini juga tidak efektif untuk perancangan filter. Bila nilai induktor yang ada dipasaran mempunyai nilai induktansi 10 mH dan dipilih dalam perancangan ini sebagai $L=10 \text{ mH}$ maka didapatkan nilai kapasitor yang baru C' :

$$C' = \frac{1}{(39,48.10^6)(10.10^{-3})} = 2,5 \mu F$$

Tetapi disini C' dipilih $2 \mu F$ yang tersusun dari konfigurasi paralel $1 \mu F$.

BAB V

PENGUJIAN DAN ANALISIS DATA

Untuk mengetahui hasil perancangan, dilakukan pengujian dan analisis data terhadap alat yang telah dibuat. Pengujian dilakukan terhadap masing-masing blok rangkaian dengan tujuan untuk mengetahui apakah blok-blok rangkaian tersebut bekerja sesuai dengan yang diharapkan. Setelah dilakukan pengujian untuk masing-masing blok, kemudian dilakukan pengujian sistem secara keseluruhan.

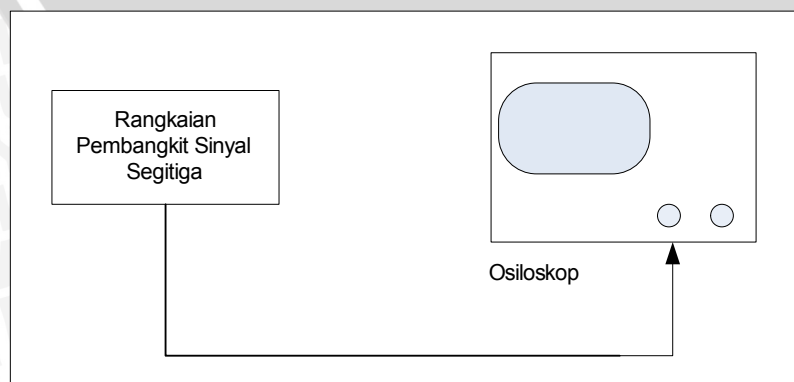
Pengujian yang dilakukan meliputi:

1. Pengujian Rangkaian Pembangkit sinyal segitiga
2. Pengujian Rangkaian Komparator
3. Pengujian Rangkaian *Driver MOSFET*
4. Pengujian Rangkaian Saklar Elektronik
5. Pengujian Filter *Low Pass*
6. Pengujian sistem secara keseluruhan

5.1 Pengujian Rangkaian Pembangkit Sinyal Segitiga

Pengujian rangkaian pembangkit sinyal segitiga dilakukan untuk mengetahui kualitas frekuensi yang dihasilkan oleh IC XR2206. Peralatan yang digunakan dalam pengujian rangkaian pembangkit sinyal segitiga adalah osiloskop

Prosedur pengujian pada rangkaian ini adalah mula-mula mengatur frekuensi pembangkit sinyal segitiga yang ditentukan sebesar frekuensi *switching* yaitu 20 kHz atau 50 μ s tiap periodenya. Sedangkan amplitudo keluaran sinyal segitiga ditentukan sebesar 6 V_{pp}. Keluaran rangkaian pembangkit sinyal segitiga dihubungkan ke kanal 1 osiloskop. Blok diagram pengujian rangkaian pembangkit sinyal segitiga dalam Gambar 5.1.



Gambar 5.1. Blok diagram pengujian rangkaian pembangkit sinyal segitiga

Gambar 5.2 menunjukkan sinyal segitiga yang dihasilkan oleh Ic XR2206. Dari hasil pengujian didapatkan bahwa amplitudo sinyal segitiga sebesar 2,5 div. Setiap *division* dari osiloskop sebesar 2 V maka besarnya amplitudo sinyal segitiga :

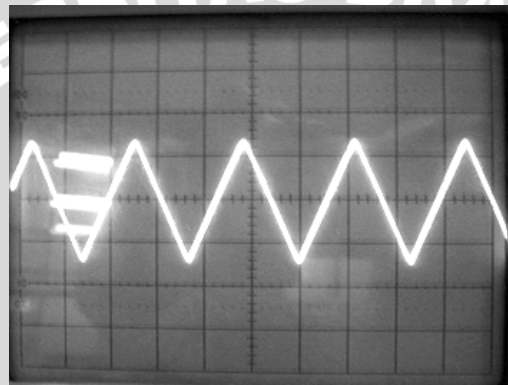
$$\text{Amplitudo sinyal segitiga} = 2,5 \text{ div} \times 2 \text{ V/div} = 5 \text{ V}_{PP}$$

Sedangkan dalam 1 periode sinyal segitiga diperoleh 2,4 div dengan tiap *division* dari osiloskop sebesar 20 μs maka periode sinyal segitiga adalah :

$$1 \text{ periode sinyal segitiga} = 2,4 \text{ div} \times 20 \mu\text{s/div} = 48 \mu\text{s}$$

Atau frekuensi sinyal segitiga yang dibangkitkan oleh rangkaian sebesar :

$$f = \frac{1}{T} = \frac{1}{48 \mu\text{s}} = 20833,33 \text{ Hz} \approx 20,8 \text{ kHz}$$



Gambar 5.2. Sinyal segitiga pada frekuensi 20 kHz
2 V/div 20 μs /div

Hasil pengujian rangkaian pembangkit sinyal segitiga IC XR2206 diperoleh sinyal segitiga dengan frekuensi 20,8kHz dengan amplitudo sinyal segitiga sebesar 5V_{PP}. Hasil ini tidak sesuai dengan perencanaan frekuensi *switching* sebesar 20kHz dengan amplitudo sinyal segitiga sebesar 6V_{PP}. Pengaturan frekuensi sinyal segitiga yang dibangkitkan oleh IC XR2206 kurang presisi. Amplitudo maksimum sebesar 5V_{PP} yang masih mampu dicapai oleh IC XR2206 untuk menghasilkan sinyal segitiga yang linier. Prosentase kesalahan pembangkitan frekuensi sinyal segitiga :

$$\% \text{kesalahan frekuensi sin yal segitiga} = \frac{20800 \text{ Hz} - 20000 \text{ Hz}}{20000 \text{ Hz}} \times 100\% = 4\%$$

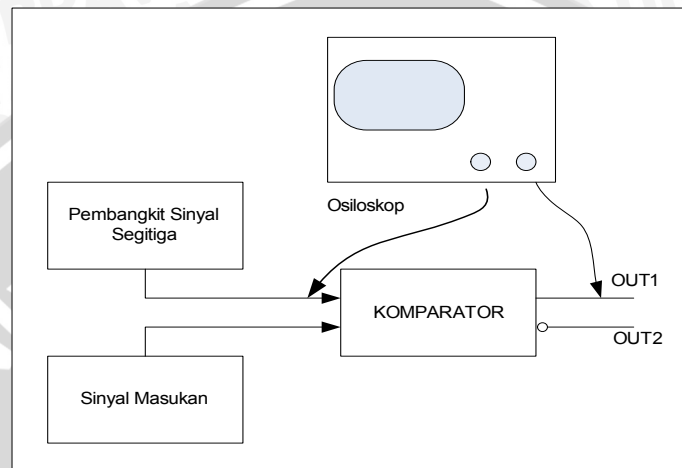
Sedangkan prosentase kesalahan amplitudo sinyal segitiga :

$$\% \text{kesalahan amplitudo sin yal segitiga} = \frac{6 \text{ V}_{PP} - 5 \text{ V}_{PP}}{6 \text{ V}_{PP}} \times 100\% = 16,67\%$$

5.2 Pengujian Rangkaian Komparator

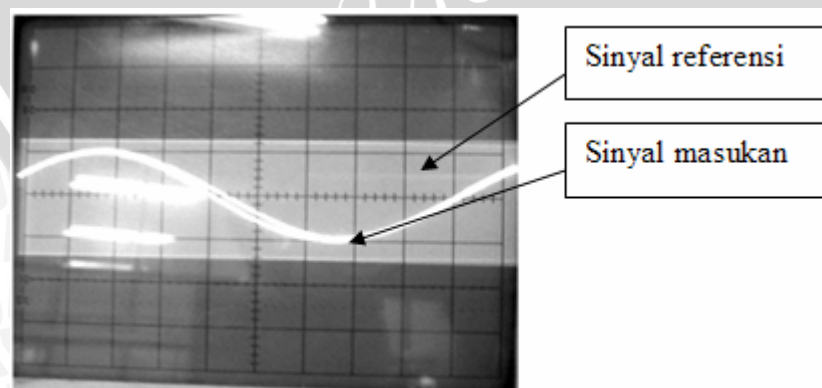
5.2.1 Pengujian Rangkaian Komparator

Pengujian rangkaian komparator dilakukan untuk mengetahui kerja rangkaian dalam membandingkan antara sinyal pembawa sebagai sinyal referensi dan sinyal masukan. Blok diagram pengujian rangkaian komparator ditunjukkan dalam Gambar 5.3.



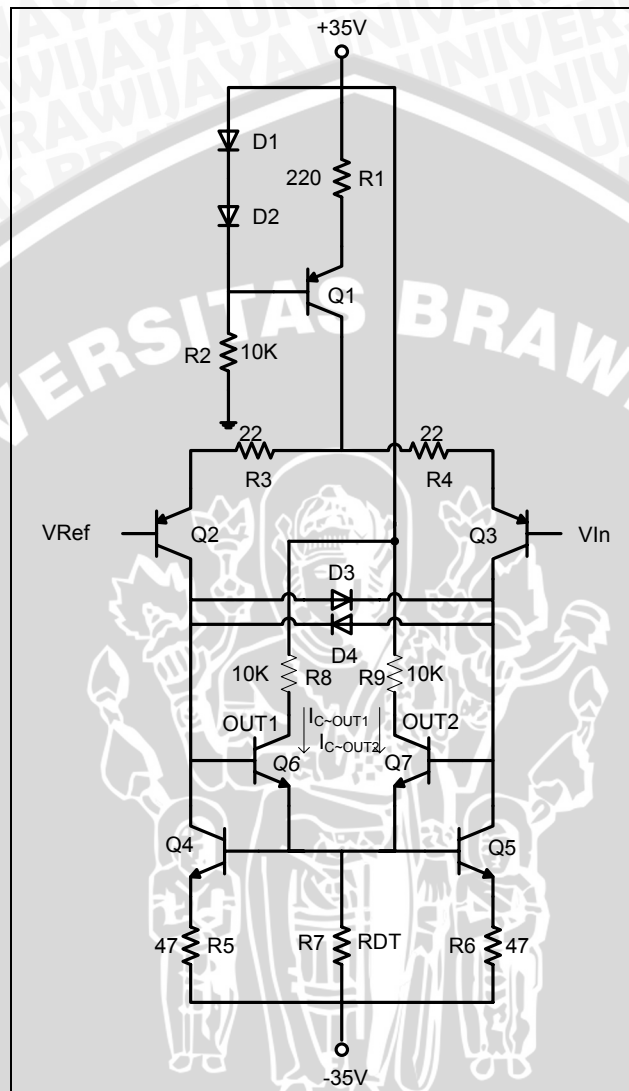
Gambar 5.3. Blok diagram pengujian rangkaian komparator

Proses pengujian pada rangkaian ini adalah dengan menghubungkan pembangkit sinyal segitiga dan sinyal masukan ke terminal masukan rangkaian komparator. Kanal 1 dan kanal 2 osiloskop dihubungkan ke masukan dari rangkaian komparator. Dengan menjaga amplitudo keluaran pembangkit sinyal segitiga tetap yaitu sebesar $5 V_{PP}$ dengan frekuensi 20,8 kHz dan tegangan sinyal masukan $2 V_{PP}$ dengan frekuensi 100 Hz. Gambar 5.4 menunjukkan sinyal referensi dan sinyal masukan untuk rangkaian komparator.



Gambar 5.4. Sinyal masukan komparator
Kanal 1, 2 V/div 1 ms/div
Kanal 2, 1 V/div 1 ms/div

Keluaran rangkaian komparator yang digunakan berupa *open collector* maka keluaran komparator dihubungkan resistansi *pull-up* sebesar 10 k Ω ke tegangan catu +35 V. Gambar 5.5 menunjukkan rangkaian komparator yang keluarannya di *pull-up* ke tegangan catu +35 V.

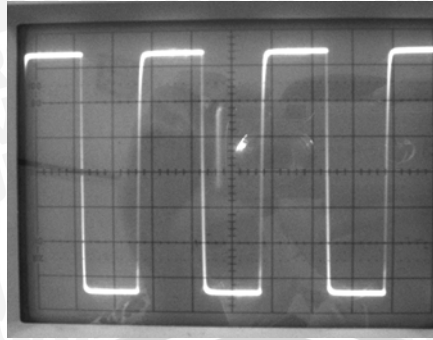


Gambar 5.5. Rangkaian Komparator dengan R *pull up*

Setelah melihat sinyal masukan dari komparator, kanal 1 osiloskop diset sebesar 5 V/div dan 10 μ s/div. Gambar 5.6 menunjukkan sinyal keluaran dari rangkaian komparator. Dari pengujian menunjukkan bahwa besarnya amplitudo sinyal keluaran 7 div maka:

$$\text{Amplitudo sinyal keluaran komparator} = 7 \text{ div} \times 5 \text{ V/div} = 35 \text{ V}$$

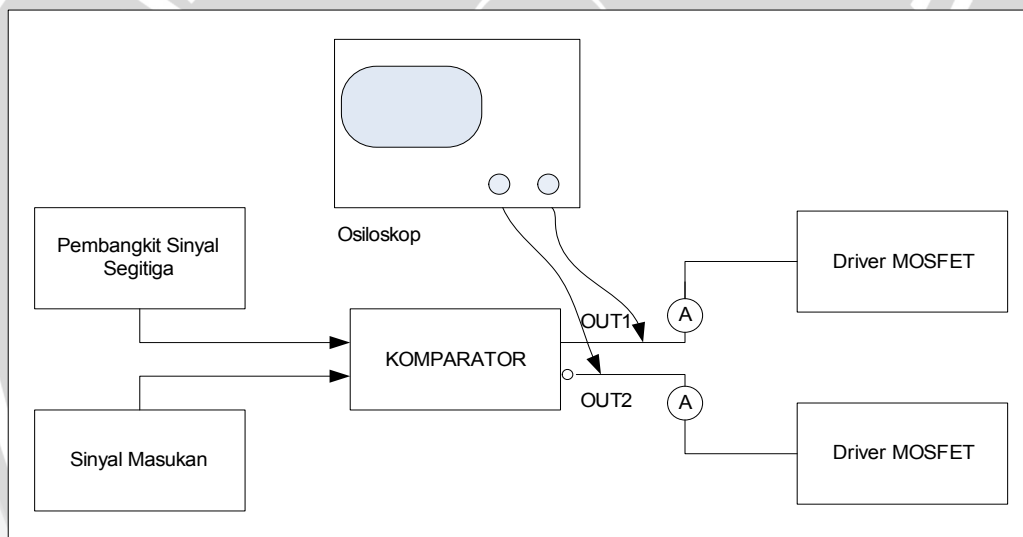
Sedangkan frekuensi sinyal keluaran komparator sebesar 20,8 kHz. Untuk *duty cycle* 50% rangkaian komparator berubah sesuai dengan perpotongan antara amplitudo sinyal masukan dengan sinyal pembawa.



Gambar 5.6. Sinyal Keluaran Komparator
5 V/div 10 μ s/div

5.2.2 Pengujian Resistansi *Deadtime*

Pengujian resistansi *deadtime* dilakukan untuk mengetahui hubungan antara resistansi *deadtime* dengan besarnya arus dan respon *switching* keluaran komparator. Blok diagram pengujian resistansi *deadtime* ditunjukkan dalam Gambar 5.7.



Gambar 5.7. Blok diagram pengujian resistansi *deadtime*

Resistansi RDT menggunakan resistor variabel 1 k Ω agar resistansi mudah diatur. Nilai resistansi *deadtime* yang direkomendasikan sebesar 68 Ω . Proses pengujian pada rangkaian ini adalah dengan mengatur R_{DT}. Kanal 1 dan kanal 2 osiloskop dihubungkan ke keluaran dari rangkaian komparator. Sedangkan Amperemeter berfungsi untuk melihat arus kolektor dari keluaran komparator. Tabel 5.1 menunjukkan hasil pengujian nilai resistansi R_{DT}.

Tabel 5.1 Pengaruh nilai R_{DT} terhadap keluaran komparator

RDT(Ω)	IC Out1(mA)	IC Out2(mA)	Turn On (μ s)	Turn Off (μ s)
68	10,5	9,9	1,9	4,9
50	14	14,4	1,7	4,2
100	7,3	7,4	-	-

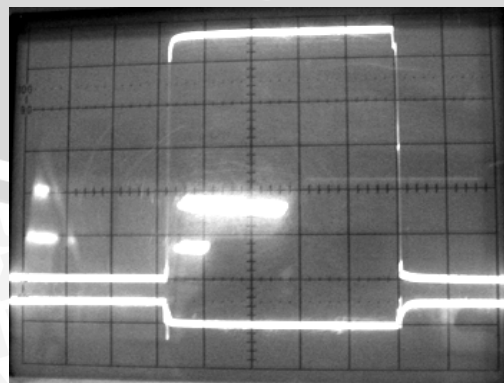
Dari hasil pengujian, untuk resistansi *deadtime* 68 Ω didapatkan I_C saturasi *out1* sebesar 10,5 mA dan I_C saturasi *out2* sebesar 9,9 mA. Sedangkan respon *switching* dari komparator sebesar 1,9 μ S untuk waktu perubahan naik dan waktu perubahan turun 4,9 μ S. Apabila resistor R_{DT} nilainya diperkecil dari 68 Ω maka arus kolektor I_C keluaran komparator saat saturasi bertambah besar dan waktu transisi dari komparator semakin cepat. Dan bila resistor R_{DT} nilainya diperbesar dari 68 Ω maka arus kolektor I_C keluaran komparator saat saturasi bertambah kecil dan waktu transisi dari komparator semakin lambat bahkan pada kondisi *cut off*.

Selain itu dari dilakukan juga pengujian pengaruh resistansi *deadtime* terhadap waktu *overlap driver* dari kedua MOSFET sehingga mempengaruhi kondisi MOSFET. Tabel 5.2 menyajikan pengaruh nilai resistansi *deadtime* terhadap kondisi MOSFET.

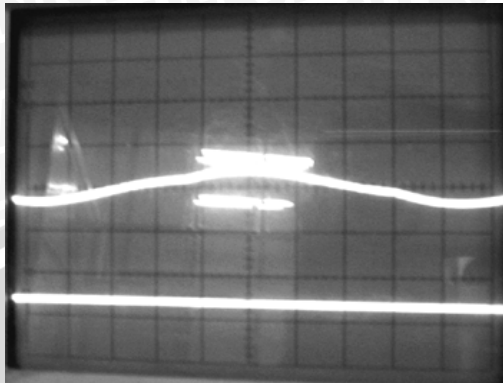
Tabel 5.2 Pengaruh nilai resistansi *deadtime* terhadap kondisi MOSFET

RDT(Ω)	Waktu mati (μ s)	Kondisi MOSFET
50	1	panas lalu terbakar
68	2	Agak hangat kadang dingin
100	3	panas lalu terbakar

Dari hasil pengujian, walaupun resistansi 50 Ω memberikan waktu mati paling cepat yaitu 1 μ s tetapi kondisi MOSFET terbakar. Kondisi optimal dari keluaran komparator, *driver* MOSFET dan MOSFET ditunjukkan oleh nilai resistansi 68 Ω sehingga dipilih nilai resistansi *deadtime* sebesar 68 Ω . Gambar 5.8 menunjukkan pengaruh resistansi *dead time* sebesar 68 Ω terhadap *driver* MOSFET.

**Gambar 5.8.** Sinyal keluaran *driver* MOSFET untuk R_{DT} 68 Ω
5 V/div 5 μ s/div

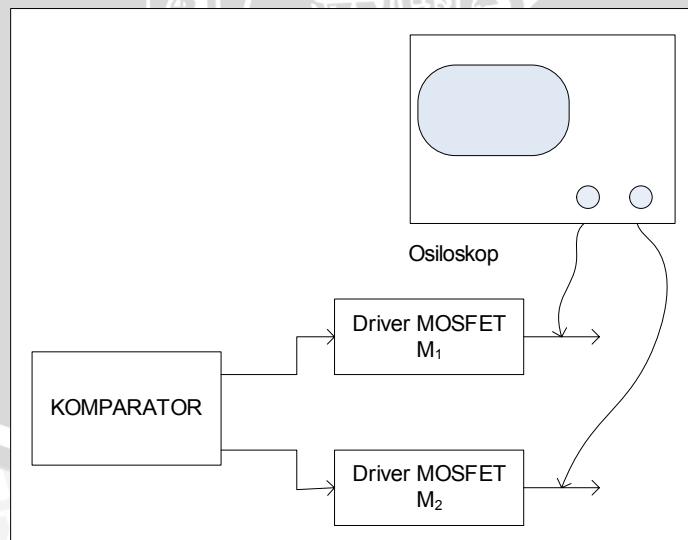
Sedangkan Gambar 5.9 menunjukkan pengaruh resistansi *dead time* sebesar 100Ω terhadap *driver* MOSFET. Untuk resistansi *dead time* 100Ω , *driver* MOSFET tidak dapat memberikan sinyal keluaran untuk memicu pensaklaran MOSFET.



Gambar 5.9. Sinyal keluaran *driver* MOSFET untuk $R_{DT} 100 \Omega$
5 V/div 5 μ s/div

5.3 Pengujian Rangkaian *Driver* MOSFET

Pengujian rangkaian *driver* MOSFET dilakukan untuk mengetahui kerja rangkaian dalam mengatur kondisi nyala dan padam dari MOSFET. Selain itu, pengujian dilakukan untuk mengetahui bahwa tidak terjadi *overlapping* antara kedua keluaran *driver*. Blok diagram pengujian rangkaian *driver* MOSFET ditunjukkan dalam Gambar 5.10.



Gambar 5.10. Blok diagram pengujian rangkaian *driver* MOSFET

Proses pengujian pada rangkaian ini adalah dengan menghubungkan keluaran dari komparator ke driver MOSFET. Kanal 1 diset sebesar 5 V/div dengan peredaman sebesar 1,5 kali dari sinyal asli. Sedangkan kanal 2 diset sebesar 5 V/div dengan

peredaman sebesar 2,5 kali dari sinyal asli. Kemudian kanal osiloskop dihubungkan ke keluaran dari rangkaian driver MOSFET. Dengan mengubah-ubah *duty cycle* dari keluaran komparator maka *duty cycle* keluaran dari *driver* ikut berubah-ubah sesuai masukannya.

Hasil pengujian rangkaian *driver* MOSFET ditunjukkan pada Gambar 5.11. Dari pengujian menunjukkan bahwa tidak terjadi *overlapping* antara dua keluaran *driver* atas maupun *driver* bawah tersebut. Besarnya tegangan *gate* dari driver MOSFET M_1 saat keadaan MOSFET kondisi menyala adalah :

$$V_{gate} M_1 = 5,6 \text{ div} \times 5 \text{ V/div} \times 1,5 = 42 \text{ V}$$

Sedangkan besarnya tegangan *source* saat MOSFET M_1 saturasi adalah sebesar tegangan *drainnya* yaitu 35 V. Sehingga selisih antara tegangan *gate* dan *source* untuk *driver* MOSFET M_1 adalah 12 V.

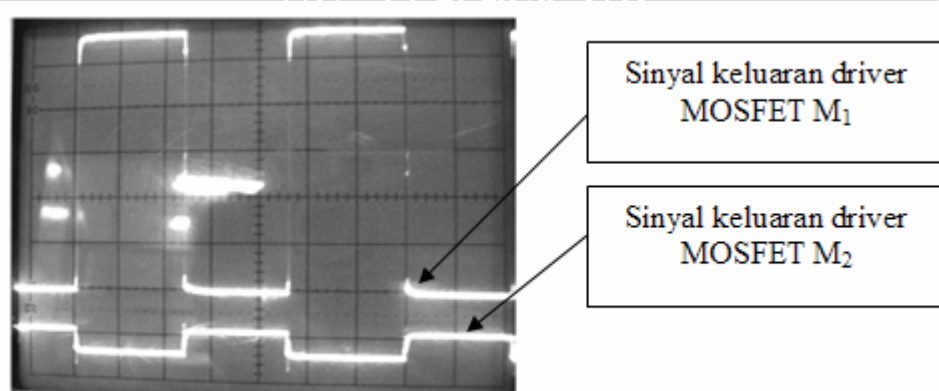
Sedangkan besarnya selisih tegangan antara terminal *gate* dan *source* V_{GS} untuk *driver* MOSFET M_2 ketika MOSFET M_2 saturasi adalah :

$$V_{gate} M_2 = 0,8 \text{ div} \times 5 \text{ V/div} \times 2,5 = 10 \text{ V}$$

Tabel 5.3 menunjukkan hasil pengujian rangkaian *driver* MOSFET saat *duty cycle* 50%.

Tabel 5.3 Hasil Pengujian *driver* MOSFET saat *duty cycle* 50%

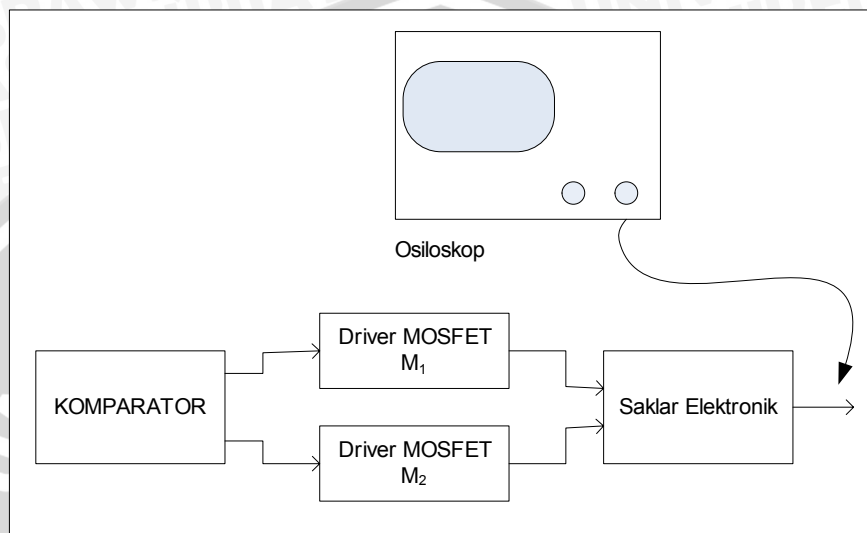
	V_{GS} (V)	
	Perencanaan	Pengujian
Driver MOSFET M_1	12	12
Driver MOSFET M_2	12	10



Gambar 5.11. Sinyal Keluaran dari kedua *driver* MOSFET
5 V/div 10 μ s/div

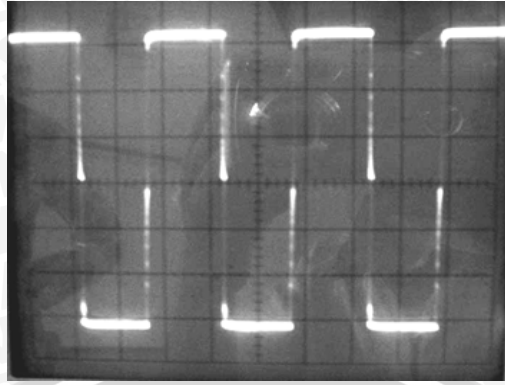
5.4 Pengujian Rangkaian Saklar Elektronik

Pengujian rangkaian pensaklaran MOSFET untuk mengetahui kerja rangkaian sudah sesuai dengan spesifikasi perancangan yaitu rangkaian MOSFET bekerja sebagai saklar sesuai dengan *driver* yang memicunya. Blok diagram rangkaian pensaklaran MOSFET ditunjukkan dalam Gambar 5.12



Gambar 5.12. Blok diagram pengujian rangkaian saklar elektronik

Prosedur pengujian pada rangkaian saklar elektronik adalah mula-mula menghubungkan rangkaian seperti pada Gambar 5.12. Kanal 1 osiloskop diset 5 V/div dengan peredaman sebesar 2 kali dari sinyal asli. Kemudian kanal 1 dihubungkan ke keluaran rangkaian saklar elektronik. Hasil pengujian dari rangkaian saklar elektronik menunjukkan ketika *driver* MOSFET sisi atas berlogika tinggi maka MOSFET M₁ saturasi dan MOSFET M₂ *cut off* sehingga tegangan keluaran saklar sebesar +35 V. Dan sebaliknya bila *driver* MOSFET bawah yang berlogika tinggi maka MOSFET M₁ *cut off* dan MOSFET M₂ saturasi sehingga tegangan keluaran saklar sebesar -35 V. Gambar 5.13 menunjukkan sinyal keluaran dari saklar elektronik untuk *duty cycle* 50% dengan beban R_L 80 Ω.



Gambar 5.13. Sinyal keluaran saklar elektronik untuk *duty cycle* 50%
5 V/div 10 μ s/div

Dari Gambar 5.13 diketahui kelinearan waktu *switching* MOSFET sebesar 2 μ s dalam 1 periode 50 μ s. Dengan tegangan catu split +35 V dan -35 V dan resistansi beban 80 Ω maka efisiensi saklar elektronik dapat dihitung. Perhitungan disipasi daya MOSFET saat *switching* dengan menerapkan (persamaan 2.11).

$$2P_T = \frac{a}{T} \frac{2V_{sup\ ply}^2}{3R_L}$$

$$2P_T = \frac{a}{T} \frac{2V_{sup\ ply}^2}{3R_L} = \frac{0,04 \times 2 \times 70^2}{3 \times 80} = 1,63 \text{ W}$$

Sedangkan daya yang disalurkan oleh tegangan catu ke beban menggunakan (persamaan 2.12).

$$P_{ac} = \frac{V_{sup\ ply}^2}{2R_L}$$

$$P_{ac} = \frac{V_{sup\ ply}^2}{2R_L} = \frac{70^2}{2 \times 80} = 30,63 \text{ W}$$

Sehingga efisiensi saklar elektronik dapat dihitung dengan menggunakan (persamaan 2.13).

$$\eta = \frac{P_{ac}}{P_{ac} + 2P_T}$$

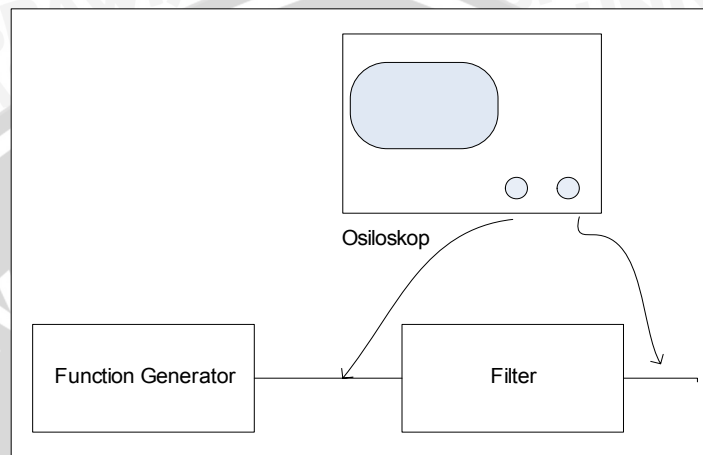
$$\eta = \frac{P_{ac}}{P_{ac} + 2P_T} = \frac{30,63}{30,63 + 1,63} = 94,95\%$$

Dari perhitungan diatas dapat diketahui efisiensi saklar elektronik sebesar 94,95% untuk resistansi beban 80 Ω .

5.5 Pengujian Rangkaian *Low Pass Filter*

5.5.1 Pengujian Respon *Low Pass Filter*

Pengujian respon rangkaian *low pass filter* untuk mengetahui kerja rangkaian sudah sesuai dengan spesifikasi perancangan yaitu rangkaian filter yang hanya melewatkan frekuensi 20-120 Hz dengan frekuensi *cut off* 1 kHz. Blok diagram rangkaian filter ditunjukkan dalam Gambar 5.14.



Gambar 5.14. Blok diagram pengujian respon rangkaian LPF

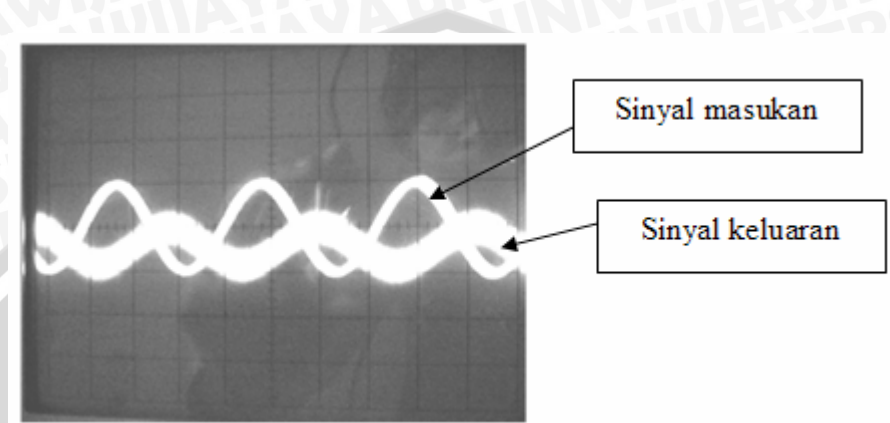
Prosedur pengujian pada rangkaian ini adalah mula-mula mengatur frekuensi *function generator* yang ditentukan frekuensi uji pertama sebesar 60 Hz dengan amplitudo ditentukan sebesar 2 V_{PP}. Keluaran *function generator* dihubungkan ke kanal 1 osiloskop. Frekuensi sinyal masukan dinaikkan secara bertahap dan kemudian mengamati keluaran rangkaian filter yang terhubung pada kanal 2 osiloskop.

Tabel 5.4 menunjukkan hasil pengujian rangkaian respon filter dengan frekuensi yang bervariasi antara 100 Hz - 20 kHz

Tabel 5.4 Hasil pengujian respon filter

F(Hz)	V _{in} (V _{PP})	V _{out} (V _{PP})	AV
60	2	1,8	0,9
100	2	1,7	0,85
600	2	0,7	0,35
1000	2	0,56	0,28
1500	2	0,44	0,22
2000	2	0,38	0,19
5000	2	0,1	0,05
7000	2	0,09	0,045
10000	2	0,065	0,0325
12000	2	0,055	0,0275
14000	2	0,05	0,025
16000	2	0,04	0,02
18000	2	0,032	0,016
20000	2	0,028	0,014

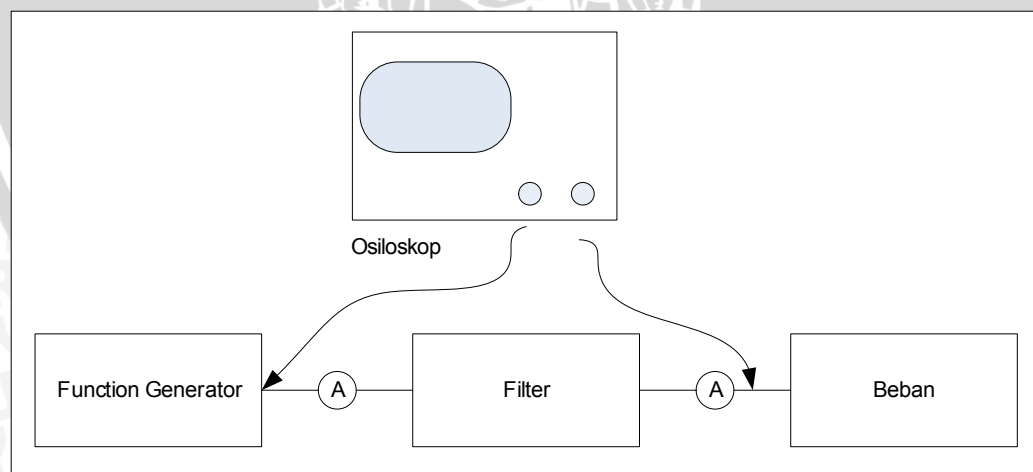
Dari pengujian menunjukkan bahwa untuk frekuensi 100 Hz filter terjadi peredaman sebesar 5% dan frekuensi 20 kHz filter terjadi peredaman sebesar 98,6%. Frekuensi *cut off* filter tidak pada frekuensi yang ditentukan yaitu 1 kHz tetapi pada frekuensi antara 100 - 600 Hz. Gambar 5.15 menunjukkan hasil pengujian filter pada frekuensi 20 kHz.



Gambar 5.15. Sinyal *input* dan *output* filter pada frekuensi 20KHz
Kanal 1, 1 V/div 20us/div
Kanal 2, 20m V/div 20us/div

5.5.2 Pengujian Efisiensi *Low Pass Filter*

Selain itu juga dilakukan pengujian efisiensi filter untuk mengetahui apakah filter cukup efisien dalam melakukan peredaman pada frekuensi *switching*. Gambar 5.16 menunjukkan blok diagram pengujian efisiensi filter.



Gambar 5.16. Blok diagram pengujian efisiensi rangkaian LPF

Prosedur pengujian pada rangkaian ini adalah mula-mula mengatur frekuensi *function generator* yang ditentukan frekuensi uji sebesar 20 Hz, 120 Hz dan 20 kHz dengan amplitudo ditentukan sebesar $2 V_{pp}$. Arus yang masuk ke rangkaian filter diukur dengan amperemeter. Keluaran *function generator* dihubungkan ke kanal 1 osiloskop dan

mengamati keluaran rangkaian filter yang terhubung pada kanal 2 osiloskop. Arus yang keluar dari filter ke beban 10Ω diukur dengan amperemeter. Tabel 5.5 menunjukkan hasil dari pengujian efisiensi rangkaian filter dengan frekuensi 20 Hz dan 120 Hz.

Tabel 5.5 Hasil pengujian efisiensi filter untuk frekuensi 20 Hz dan 120 Hz

f(Hz)	Vin (Vpp)	Iin(mA)	Vout(Vpp)	Iout(mA)	Pin(mW)	Pout(mW)	efisiensi(%)
20	2	56	1,9	53	120	100	83,3
120	2	44	1,7	41	88	74	84

Sedangkan hasil pengujian efisiensi filter untuk frekuensi 10 kHz dan 20 kHz ditunjukkan dalam Tabel 5.6.

Tabel 5.6 Hasil pengujian efisiensi filter untuk frekuensi 10 kHz dan 20 kHz

f(Hz)	Vin (Vpp)	Iin(mA)	Vout(Vpp)	Iout(mA)	Pin(mW)	Pout(mW)	efisiensi(%)
10000	2	1,15	65m	18u	2,3	$1,17 \cdot 10^{-6}$	$50,9 \cdot 10^{-8}$
20000	2	0,57	28m	9.9u	1,14	$0,27 \cdot 10^{-6}$	$24 \cdot 10^{-8}$

Dari hasil pengujian didapatkan daya masukan total rangkaian filter sebesar:

$$P_{in\ total} = P_{in\ 20Hz} + P_{in\ 120Hz} + P_{in\ 10kHz} + P_{in\ 20kHz}$$

$$= 120 + 88 + 2,3 + 1,14 = 211,44\ mW$$

Sedangkan daya keluaran total rangkaian filter sebesar:

$$P_{out\ total} = P_{out\ 20Hz} + P_{out\ 120Hz} + P_{out\ 10kHz} + P_{out\ 20kHz}$$

$$= 100mW + 74mW + 509nW + 240nW = 174mW$$

Sehingga efisiensi filter dapat dicari melalui persamaan:

$$\eta = \frac{P_{out}}{P_{in}} \times 100\% \quad (5.1)$$

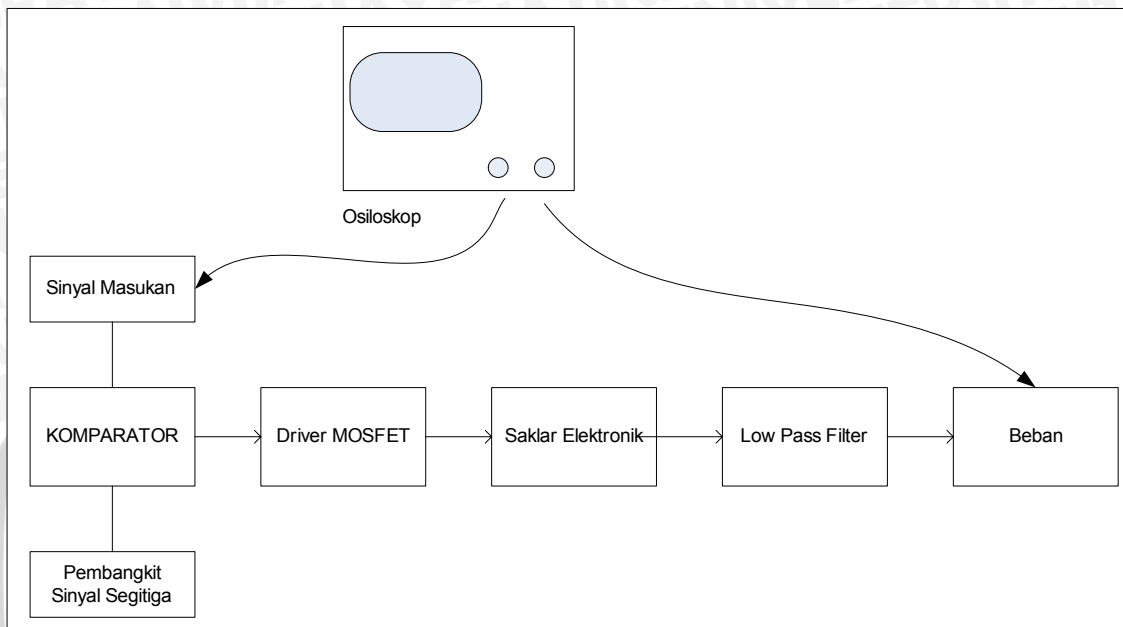
$$\eta = \frac{P_{out}}{P_{in}} \times 100\%$$

$$= \frac{174}{211,44} \times 100\% = 82,4\%$$

Jika dibandingkan antara efisiensi filter saat 20 Hz dan efisiensi filter total, terjadi penurunan sekitar 1%. Filter LC yang dirancang sudah optimal tetapi belum cukup efisien.

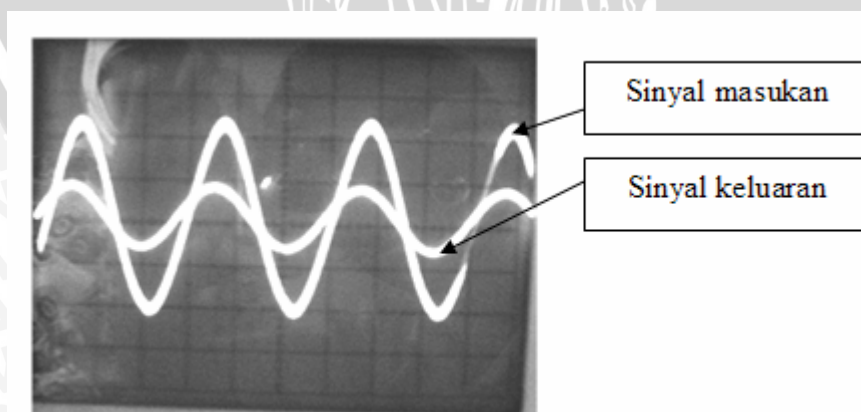
5.6 Pengujian Keseluruhan Sistem

Pengujian keseluruhan sistem untuk mengetahui kerja rangkaian sudah sesuai dengan spesifikasi perancangan yaitu penguat kelas D dengan daya keluaran maksimum 75 W pada frekuensi 20-120 Hz. Blok diagram pengujian keseluruhan sistem ditunjukkan dalam Gambar 5.17



Gambar 5.17. Blok diagram pengujian keseluruhan sistem

Prosedur pengujian pada rangkaian ini adalah merangkai seluruh blok sistem. Untuk sinyal masukan penguat ditentukan sebesar 2 V_{pp} dengan frekuensi 100 Hz. Sedangkan beban penguat sebesar 10 Ω. Keluaran sinyal masukan dihubungkan ke kanal 1 osiloskop. Pada kanal 2 osiloskop terhubung pada beban. Hasil dari pengujian keseluruhan sistem ditunjukkan dalam Gambar 5.18

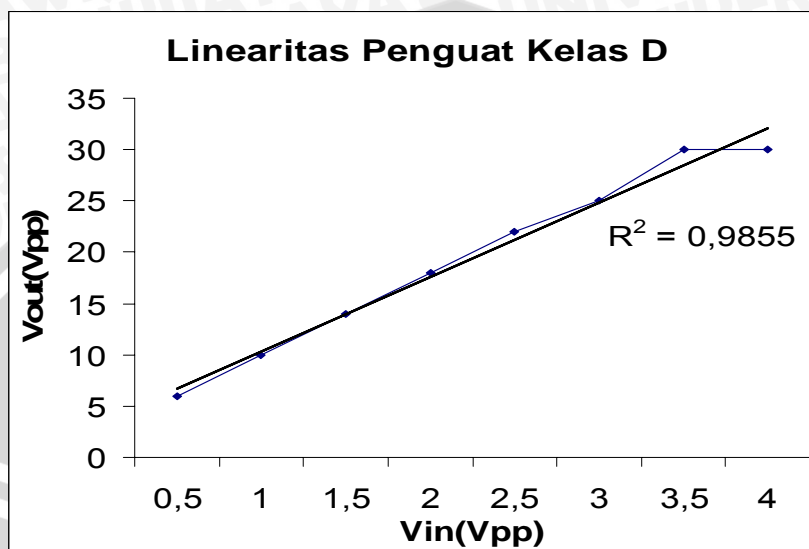


Gambar 5.18. Sinyal *input* dan *output* penguat pada frekuensi 100 Hz

Kanal 1, 1 V/div 2 ms/div

Kanal 2, 5 V/div 2 ms/div

Pengujian keseluruhan sistem dilakukan juga untuk menguji kelinearan sinyal masukan terhadap sinyal keluaran. Besarnya tegangan sinyal masukan berubah-ubah antara 0,5 V dan naik bertahap sebesar 0,5 V sampai 4 V. Gambar 5.19 menunjukkan grafik kelinearan penguat kelas D. Hasil pengujian menunjukkan bahwa sistem penguat linier terhadap sinyal keluaran untuk tegangan masukan 0,5 V sampai 3,5V.



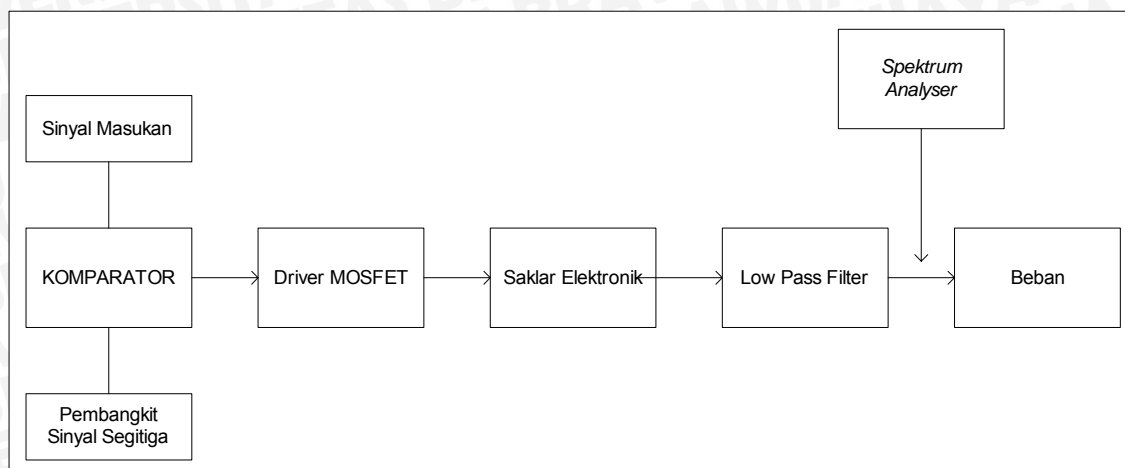
Gambar 5.19. Grafik linearitas penguat kelas D

Efisiensi daya keseluruhan dari penguat kelas D bergantung pada efisiensi saklar elektronik dan efisiensi filter. Karena sistem linier maka efisiensi total penguat kelas D dapat dicari dengan:

$$\eta_{total} = \eta_{saklar\ elektronik} \times \eta_{filter} = 0,94 \times 0,82 = 0,77$$

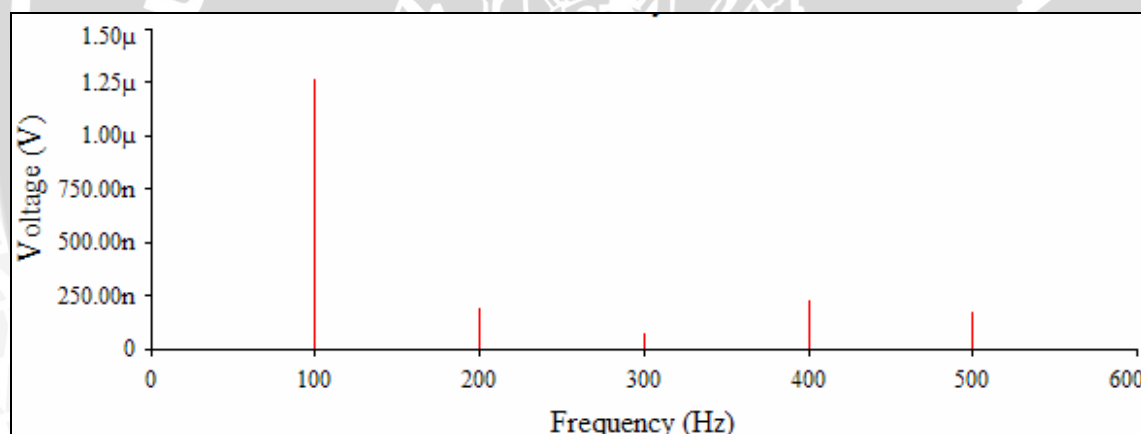
Jadi Penguat kelas D ini memiliki efisiensi total sekitar 70%. Efisiensi penguat kelas D ini belum mencapai efisiensi yang diharapkan yaitu 90% karena disebabkan oleh performa filter yang kurang efisien.

Pengujian THD (*Total Harmonic Distortion*) dari penguat kelas D ini tidak menggunakan *spektrum analyser* karena frekuensi yang akan diukur mempunyai frekuensi fundamental sebesar 100 Hz. Spesifikasi *spektrum analyser* mempunyai jangkauan frekuensi antara 10 kHz-3,5 GHz tidak dapat mengukur spektrum untuk frekuensi fundamental 100 Hz maka pengujian THD menggunakan simulasi dengan *software* Multisim 8. Blok diagram pengujian THD ditunjukkan dalam Gambar 5.20.



Gambar 5.20. Blok diagram pengujian THD

Prosedur pengujian pada rangkaian ini adalah merangkai seluruh blok sistem. Untuk sinyal masukan penguat ditentukan sebesar $2 V_{PP}$ dengan frekuensi 100 Hz dan beban penguat sebesar $8,2 \Omega$. Hasil dari pengujian *spektrum analyser* ditunjukkan dalam Gambar 5.21.



Gambar 5.20. Grafik tegangan vs frekuensi dalam *spektrum analyser*

Dari hasil spektrum analyser didapatkan nilai harmonisa pertama sampai harmonisa ketiga seperti yang ditunjukkan dalam Tabel 5.7.

Tabel 5.7 Hasil pengujian spektrum analyser

Harmonisa	Frekuensi(Hz)	Tegangan (V)	Phase (radian)
1	100	1259 n	-12.646
2	200	191,2n	149.97
3	300	68,2 n	-71.036

Hasil pengujian *spektrum analyser* kemudian dilakukan pengolahan data untuk mencari besarnya persentase THD dengan menggunakan persamaan (Malvino, 1979,573) :

$$\% THD = \frac{\sqrt{V_2^2 + V_3^2}}{V_1} \times 100\% \quad (5.1)$$

$$\% THD = \frac{\sqrt{(1.91186e-07)^2 + (6.8233e-08)^2}}{1.25915e-06} \times 100\%$$

$$\% THD = \frac{\sqrt{3.6552e-14 + 4.6557e-15}}{1.25915e-06} \times 100\%$$

$$\% THD = \frac{2.0299e-07}{1.25915e-06} \times 100\% = 16,12\%$$

Presentase THD penguat kelas D ini tidak sesuai dengan spesifikasi yaitu THD < 10%. Hasil perhitungan prosentase THD sebesar 16,12%. Besarnya prosentase THD ini dipengaruhi oleh kualitas filter *low pass* yang berfungsi untuk merepresentasikan kembali sinyal masukan.



BAB VI

KESIMPULAN DAN SARAN

6.1. Kesimpulan

Dari hasil perancangan dan pengujian dapat diambil kesimpulan :

1. Frekuensi *switching* sebesar 20 kHz dapat dibangkitkan oleh XR-2206 dengan linier dan amplitudo maksimum sinyal sebesar 5 Vpp.
2. Komparator yang digunakan mempunyai respon *switching* sebesar 1,9 μ s untuk waktu perubahan naik dan waktu perubahan turun 4,9 μ s untuk resistansi *deadtime* 68 Ω dengan waktu mati 2 μ s .
3. Performa dari MOSFET sangat dipengaruhi oleh kesimetrian rangkaian penggerakannya. Sedikit ketidakseimbangan waktu antara driver MOSFET M₁ dan M₂ akan berakibat terjadinya *overlap* dan MOSFET terbakar sehingga pengesetan waktu mati harus sesuai.
4. Saklar Elektronik untuk penguat kelas D mempunyai efisiensi sekitar 90%.
5. Pada frekuensi 100 Hz filter teredam sebesar 5% dan pada frekuensi 20 kHz filter teredam sebesar 98%. Sedangkan efisiensi filter sekitar 80%. Filter ini sudah memiliki tanggapan frekuensi yang optimal tapi belum cukup efisien.
6. Efisiensi daya keseluruhan dari penguat kelas D bergantung dari efisiensi saklar elektronik dan efisiensi filter. Efisiensi total penguat kelas D sekitar 70%. Penguat Kelas D ini sudah cukup linier dengan koefisien regresi mendekati 1 dan mempunyai persentase THD sebesar 16,12%.

6.2. Saran

Saran yang bisa diberikan oleh penulis antara lain :

1. Untuk mengurangi kemungkinan MOSFET panas atau terbakar sebaiknya pengaturan *deadtime* menggunakan resistansi variabel yang jangkauannya sempit .
2. Keseluruhan sistem penguat mempunyai rangkaian *enable* dan *disable* yang digunakan bersama dengan rangkaian proteksi MOSFET sehingga apabila terdeteksi kelebihan arus pada MOSFET, penguat dapat *disable* secara otomatis.

3. Untuk meningkatkan performa dan kualitas penguat sebaiknya ditambahkan blok umpan balik dari keluaran ke masukan.
4. Filter LC yang digunakan sebaiknya selain memiliki tanggapan frekuensi yang optimal tetapi juga memiliki efisiensi yang tinggi.



DAFTAR PUSTAKA

- Bogart, Theodore F, Jr. 1997. *Electronics Device and Circuits*. New Jersey: Prentice Hall.
- Comer, David J. Dan Donald T. 2003. *Advanced Electronic Circuit Design*. John Wiley & Sons.
- Davidse, Jan. 1991. *Analog Electronic Circuit Design*. New Jersey: Prentice Hall.
- Exar. 1972. *XR-2206 Monolithic Function Generator*. California: EXAR Corporation. <http://Datasheetcatalog.com>. Dicuplik tanggal 20 Juni 2005.
- Faichild. 2000. *MOSFET Basics*. USA: Fairchild Semiconductor. <http://fairchild.com>. Dicuplik tanggal 13 Oktober 2005.
- Floyd, Thomas L. 2001. *Electronics Fundamental*. Fifth Edition. New Jersey: Prentice Hall.
- IRF. 2003. *Class D Tutorial Basic*. International Rectifier. <http://irf.com>. Dicuplik tanggal 20 Juni 2005.
- Krauss, Herbert L. 1990. *Teknik Radio Benda Padat*. Terjemahan Sutanto. Jakarta: UI Press.
- Leach, W. Marshall, Jr. 2001. *Introduction to Electroacoustic and Audio Amplifier Design*. Second Edition. New York: Kendall/Hunt.
- Malvino, Albert Paul. 1981. *Prinsip-prinsip Elektronik*. Terjemahan Hanapi Gunawan. Jakarta: Erlangga.
- Microchip. 2004. *Matching MOSFET Drivers to MOSFETs*. USA: Microchip Technology, Inc. <http://microchip.com>. Dicuplik tanggal 13 Oktober 2005.
- Moreno, Sergio Sanchez. 2005. *Class D amplifier - Theory and Design*. <http://sound.westhost.com/articles/pwm.htm>. Dicuplik tanggal 16 Oktober 2005
- National Semiconductor. 1991. *A Basic Introduction to Filters Active, Passive, and Switched-Capacitor*. USA: National Semiconductor. <http://national.com>. Dicuplik tanggal 20 Juni 2005.
- Phillips Semiconductor. 2005. *Discrete Class D Audio High Power Amplifier*. Phillips Semiconductor. <http://semiconductor.phillips.com>. Dicuplik tanggal 15 September 2007.
- Pressman, Abraham I. 1991. *Switching Power Supply Design*. Singapura: McGraw-Hill.
- Price, T.E. 1997. *Analog Electronics*. New Jersey: Prentice hall.
- Putzeys, Bruno. 2005. *Simple Self Oscillating Class D Amplifier with Full Output Filter Control*. AES Convention 118th. <http://aes.org>. Dicuplik tanggal 15 September 2007.
- Roody, Dennis & John Coolen. 1986. *Komunikasi Elektronika*. Terjemahan Ir. Kanal Idris. Jilid 1. Edisi ketiga. Jakarta: Erlangga.

Servens, Rudy. 2007. *Design Of Snubber For Power Circuits*.
<http://cde.com/design.design/pdf>. Dicuplik tanggal 15 September 2007.

Schilling, Donal L & Belove Charles. 1989. *Electronic Circuit Discrete and Integrated*.
Singapura: Mc Graw-Hill.



UNIVERSITAS BRAWIJAYA

LAMPIRAN

1. Rangkaian skematik sistem

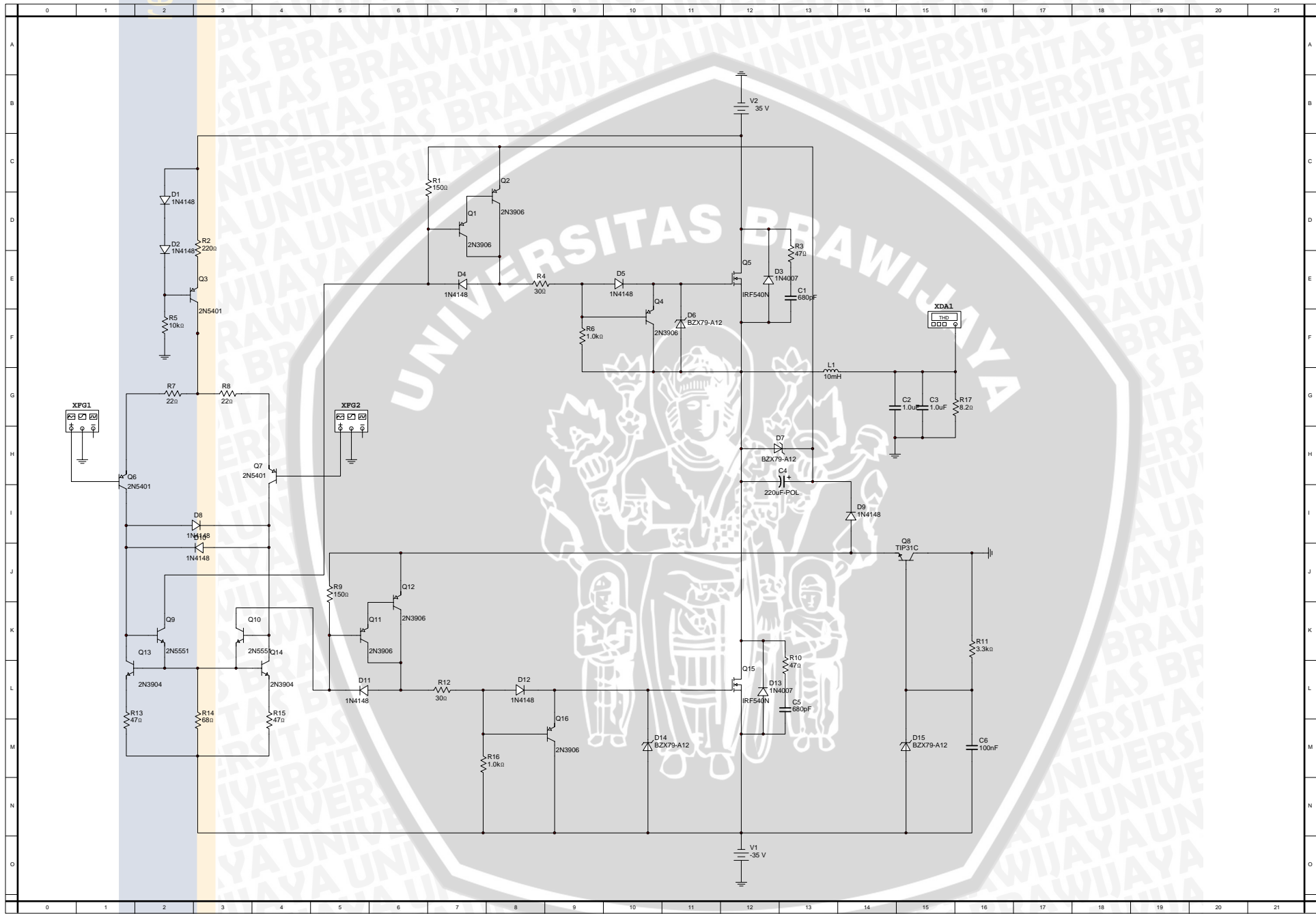


UNIVERSITAS BRAWIJAYA

LAMPIRAN

2. Rangkaian simulasi







LAMPIRAN

3. Datasheet

FEATURES

- Low-Sine Wave Distortion, 0.5%, Typical
- Excellent Temperature Stability, 20ppm/°C, Typ.
- Wide Sweep Range, 2000:1, Typical
- Low-Supply Sensitivity, 0.01%V, Typ.
- Linear Amplitude Modulation
- TTL Compatible FSK Controls
- Wide Supply Range, 10V to 26V
- Adjustable Duty Cycle, 1% TO 99%

APPLICATIONS

- Waveform Generation
- Sweep Generation
- AM/FM Generation
- V/F Conversion
- FSK Generation
- Phase-Locked Loops (VCO)

GENERAL DESCRIPTION

The XR-2206 is a monolithic function generator integrated circuit capable of producing high quality sine, square, triangle, ramp, and pulse waveforms of high-stability and accuracy. The output waveforms can be both amplitude and frequency modulated by an external voltage. Frequency of operation can be selected externally over a range of 0.01Hz to more than 1MHz.

The circuit is ideally suited for communications, instrumentation, and function generator applications requiring sinusoidal tone, AM, FM, or FSK generation. It has a typical drift specification of 20ppm/°C. The oscillator frequency can be linearly swept over a 2000:1 frequency range with an external control voltage, while maintaining low distortion.

ORDERING INFORMATION

Part No.	Package	Operating Temperature Range
XR-2206M	16 Lead 300 Mil CDIP	-55°C to +125°C
XR-2206P	16 Lead 300 Mil PDIP	-40°C to +85°C
XR-2206CP	16 Lead 300 Mil PDIP	0°C to +70°C
XR-2206D	16 Lead 300 Mil JEDEC SOIC	0°C to +70°C

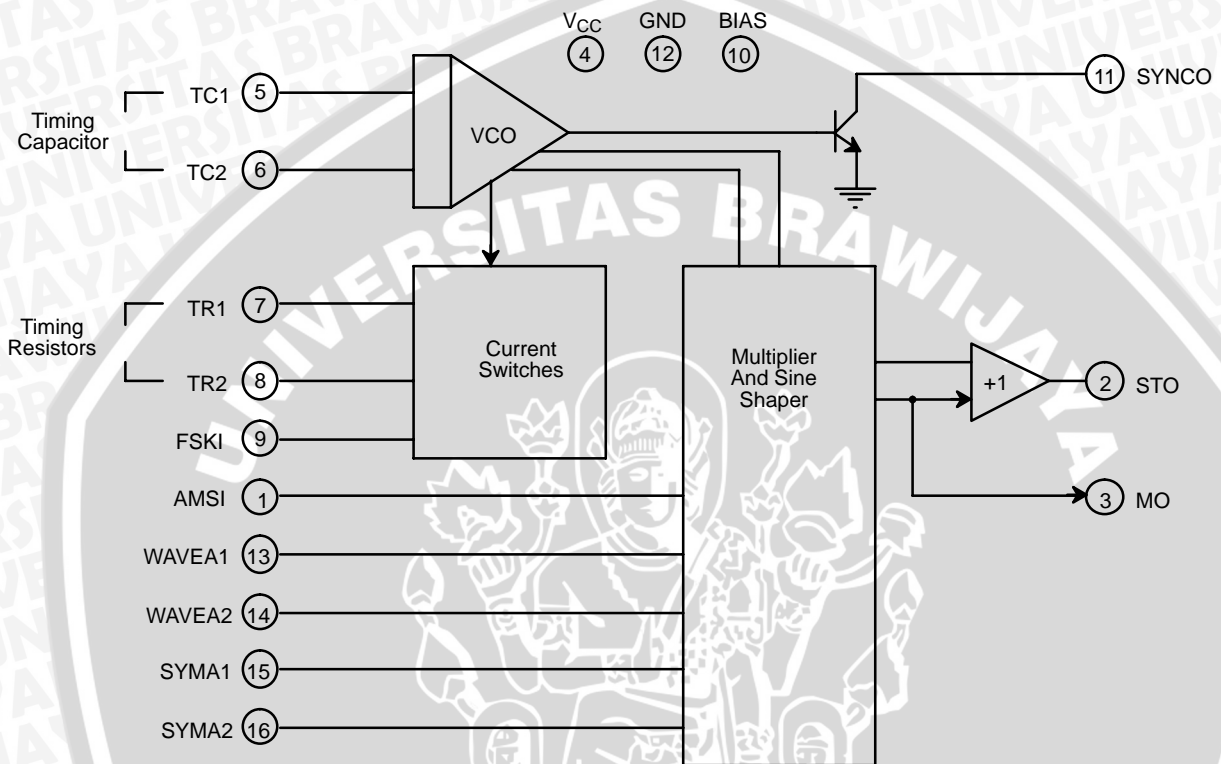
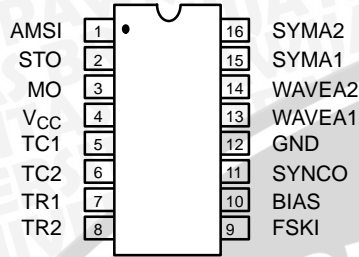
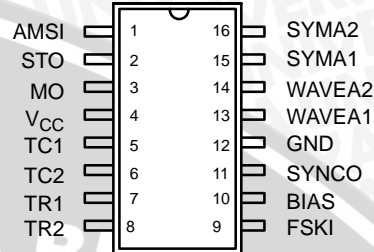


Figure 1: XR-2206 Block Diagram



16 Lead PDIP, CDIP (0.300")



16 Lead SOIC (Jedec, 0.300")

PIN DESCRIPTION

Pin #	Symbol	Type	Description
1	AMSI	I	Amplitude Modulating Signal Input.
2	STO	O	Sine or Triangle Wave Output.
3	MO	O	Multiplier Output.
4	V _{CC}		Positive Power Supply.
5	TC1	I	Timing Capacitor Input.
6	TC2	I	Timing Capacitor Input.
7	TR1	O	Timing Resistor 1 Output.
8	TR2	O	Timing Resistor 2 Output.
9	FSKI	I	Frequency Shift Keying Input.
10	BIAS	O	Internal Voltage Reference.
11	SYNCO	O	Sync Output. This output is a open collector and needs a pull up resistor to V _{CC} .
12	GND		Ground pin.
13	WAVEA1	I	Wave Form Adjust Input 1.
14	WAVEA2	I	Wave Form Adjust Input 2.
15	SYMA1	I	Wave Symetry Adjust 1.
16	SYMA2	I	Wave Symetry Adjust 2.

DC ELECTRICAL CHARACTERISTICS

Test Conditions: Test Circuit of *Figure 2* $V_{CC} = 12V$, $T_A = 25^\circ C$, $C = 0.01\mu F$, $R_1 = 100k\Omega$, $R_2 = 10k\Omega$, $R_3 = 25k\Omega$
 Unless Otherwise Specified. S_1 open for triangle, closed for sine wave.

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
General Characteristics								
Single Supply Voltage	10		26	10		26	V	
Split-Supply Voltage	± 5		± 13	± 5		± 13	V	
Supply Current		12	17		14	20	mA	$R_1 \geq 10k\Omega$
Oscillator Section								
Max. Operating Frequency	0.5	1		0.5	1		MHz	$C = 1000pF$, $R_1 = 1k\Omega$
Lowest Practical Frequency		0.01			0.01		Hz	$C = 50\mu F$, $R_1 = 2M\Omega$
Frequency Accuracy		± 1	± 4		± 2		% of f_0	$f_0 = 1/R_1C$
Temperature Stability Frequency		± 10	± 50		± 20		ppm/ $^\circ C$	$0^\circ C \leq T_A \leq 70^\circ C$ $R_1 = R_2 = 20k\Omega$
Sine Wave Amplitude Stability ²		4800			4800		ppm/ $^\circ C$	
Supply Sensitivity		0.01	0.1		0.01		%/V	$V_{LOW} = 10V$, $V_{HIGH} = 20V$, $R_1 = R_2 = 20k\Omega$
Sweep Range	1000:1	2000:1			2000:1		$f_H = f_L$	$f_H @ R_1 = 1k\Omega$ $f_L @ R_1 = 2M\Omega$
Sweep Linearity								
10:1 Sweep		2			2		%	$f_L = 1kHz$, $f_H = 10kHz$
1000:1 Sweep		8			8		%	$f_L = 100Hz$, $f_H = 100kHz$
FM Distortion		0.1			0.1		%	$\pm 10\%$ Deviation
Recommended Timing Components								
Timing Capacitor: C	0.001		100	0.001		100	μF	<i>Figure 5</i>
Timing Resistors: R_1 & R_2	1		2000	1		2000	k Ω	
Triangle Sine Wave Output¹								
<i>Figure 3</i>								
Triangle Amplitude		160			160		mV/k Ω	<i>Figure 2</i> , S_1 Open
Sine Wave Amplitude	40	60	80		60		mV/k Ω	<i>Figure 2</i> , S_1 Closed
Max. Output Swing		6			6		Vp-p	
Output Impedance		600			600		Ω	
Triangle Linearity		1			1		%	
Amplitude Stability		0.5			0.5		dB	For 1000:1 Sweep
Sine Wave Distortion								
Without Adjustment		2.5			2.5		%	$R_1 = 30k\Omega$
With Adjustment		0.4	1.0		0.5	1.5	%	See <i>Figure 7</i> and <i>Figure 8</i>

Notes

¹ Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See *Figure 3*.

² For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

DC ELECTRICAL CHARACTERISTICS (CONT'D)

Parameters	XR-2206M/P			XR-2206CP/D			Units	Conditions
	Min.	Typ.	Max.	Min.	Typ.	Max.		
Amplitude Modulation								
Input Impedance	50	100		50	100		kΩ	
Modulation Range		100			100		%	
Carrier Suppression		55			55		dB	
Linearity		2			2		%	For 95% modulation
Square-Wave Output								
Amplitude		12			12		Vp-p	Measured at Pin 11.
Rise Time		250			250		ns	$C_L = 10\text{pF}$
Fall Time		50			50		ns	$C_L = 10\text{pF}$
Saturation Voltage		0.2	0.4		0.2	0.6	V	$I_L = 2\text{mA}$
Leakage Current		0.1	20		0.1	100	μA	$V_{CC} = 26\text{V}$
FSK Keying Level (Pin 9)	0.8	1.4	2.4	0.8	1.4	2.4	V	See section on circuit controls
Reference Bypass Voltage	2.9	3.1	3.3	2.5	3	3.5	V	Measured at Pin 10.

Notes

¹ Output amplitude is directly proportional to the resistance, R_3 , on Pin 3. See Figure 3.

² For maximum amplitude stability, R_3 should be a positive temperature coefficient resistor.

Bold face parameters are covered by production test and guaranteed over operating temperature range.

Specifications are subject to change without notice

ABSOLUTE MAXIMUM RATINGS

Power Supply	26V	Total Timing Current	6mA
Power Dissipation	750mW	Storage Temperature	-65°C to +150°C
Derate Above 25°C	5mW/°C		

SYSTEM DESCRIPTION

The XR-2206 is comprised of four functional blocks; a voltage-controlled oscillator (VCO), an analog multiplier and sine-shaper; a unity gain buffer amplifier; and a set of current switches.

The VCO produces an output frequency proportional to an input current, which is set by a resistor from the timing

terminals to ground. With two timing pins, two discrete output frequencies can be independently produced for FSK generation applications by using the FSK input control pin. This input controls the current switches which select one of the timing resistor currents, and routes it to the VCO.

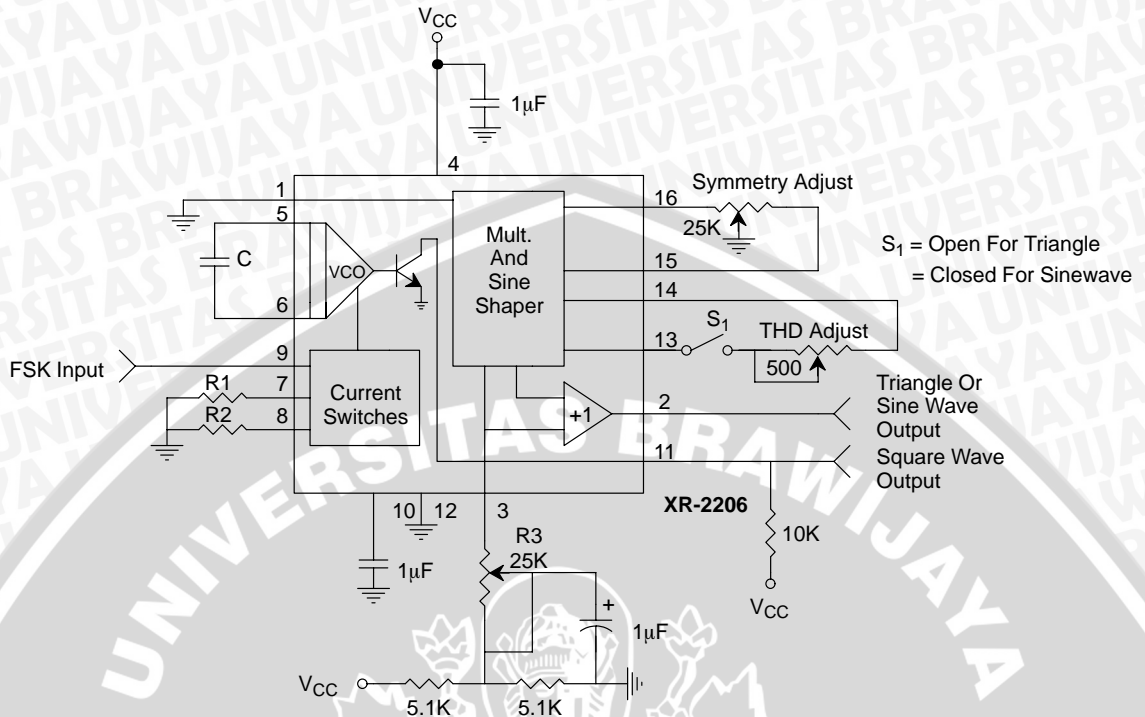


Figure 2. Basic Test Circuit

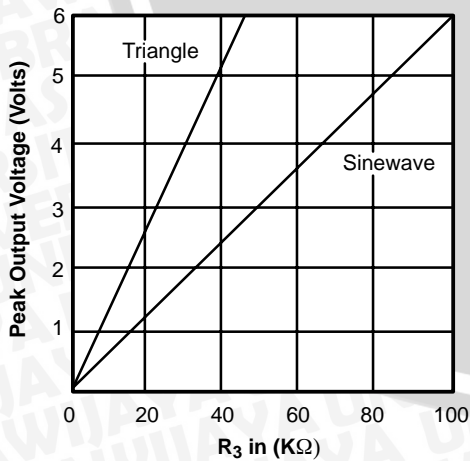


Figure 3. Output Amplitude as a Function of the Resistor, R3, at Pin 3

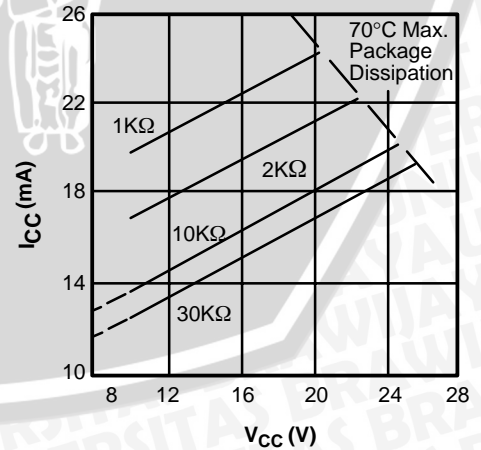


Figure 4. Supply Current vs Supply Voltage, Timing, R

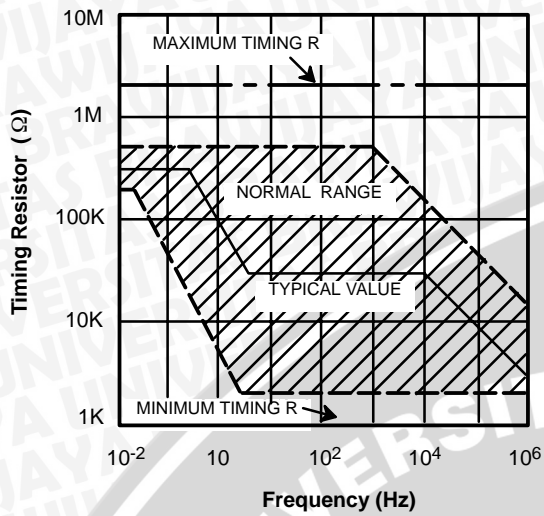


Figure 5. R versus Oscillation Frequency.

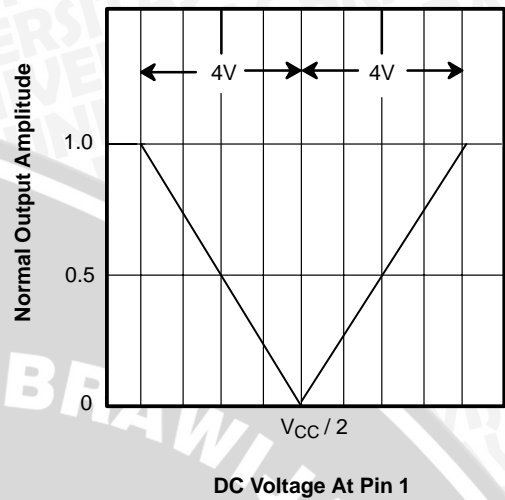


Figure 6. Normalized Output Amplitude versus DC Bias at AM Input (Pin 1)

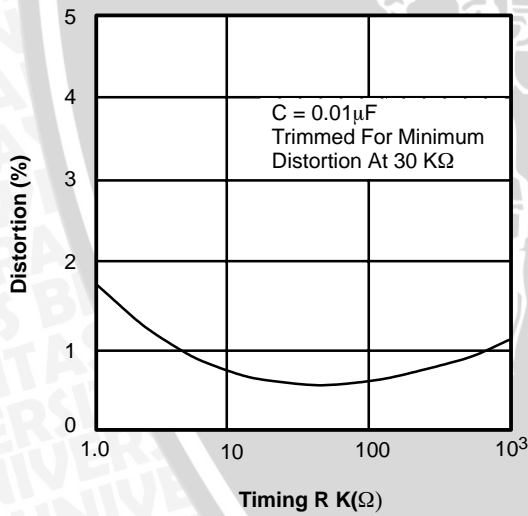


Figure 7. Trimmed Distortion versus Timing Resistor.

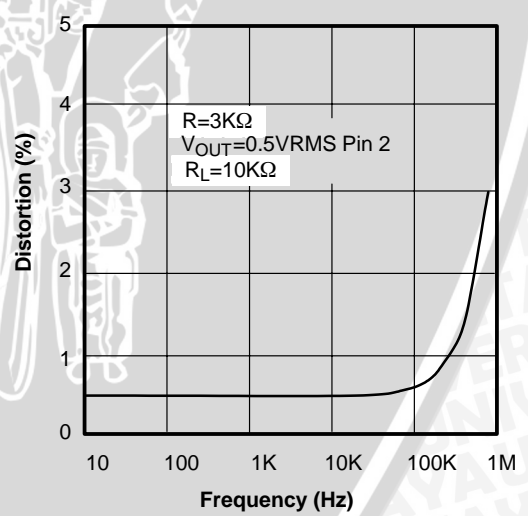


Figure 8. Sine Wave Distortion versus Operating Frequency with Timing Capacitors Varied.

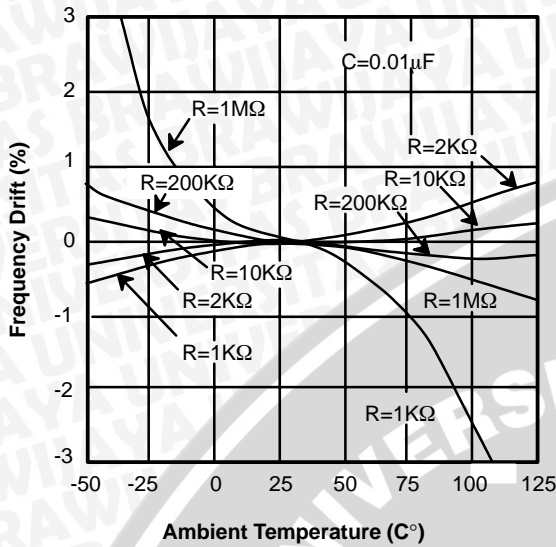


Figure 9. Frequency Drift versus Temperature.

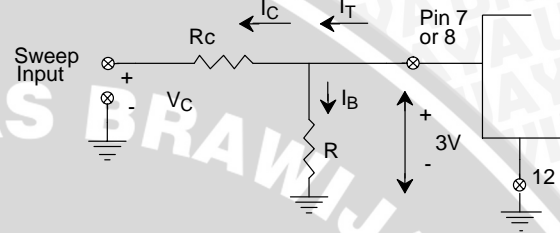


Figure 10. Circuit Connection for Frequency Sweep.

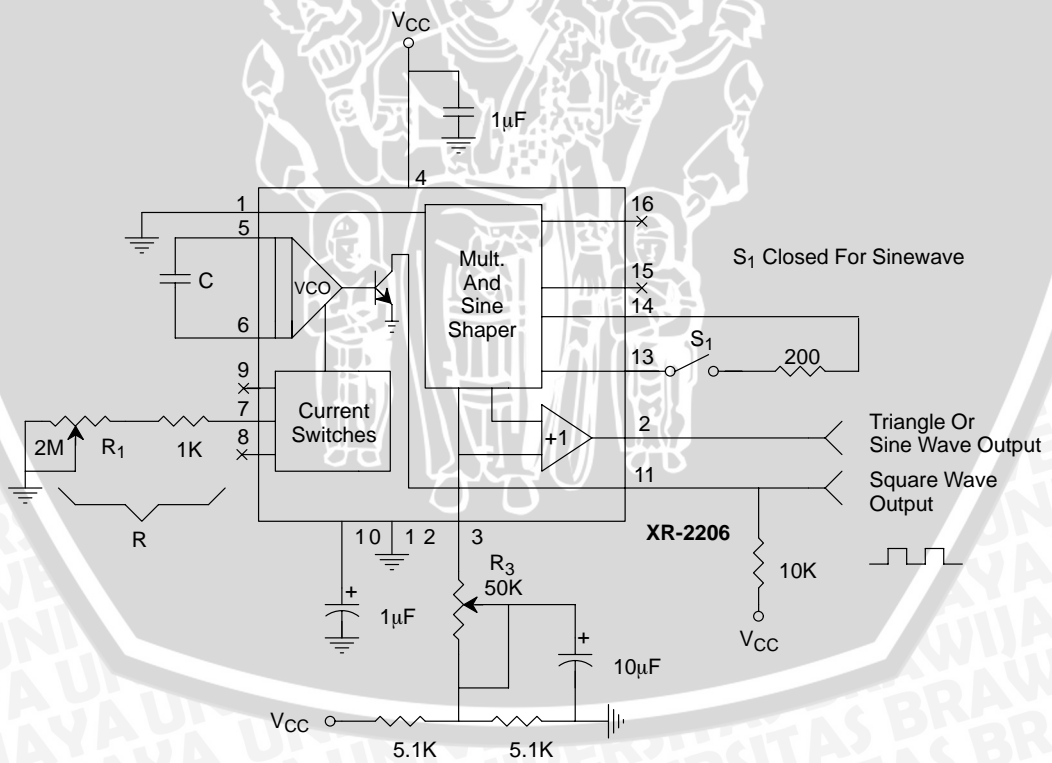


Figure 11. Circuit for Sine Wave Generation without External Adjustment. (See Figure 3 for Choice of R₃)

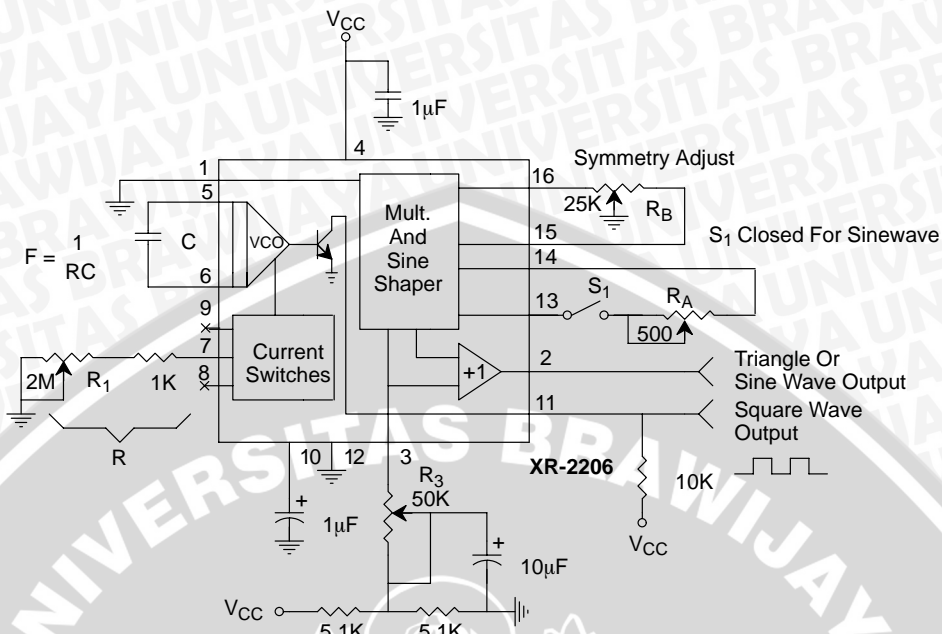


Figure 12. Circuit for Sine Wave Generation with Minimum Harmonic Distortion. (R₃ Determines Output Swing - See Figure 3)

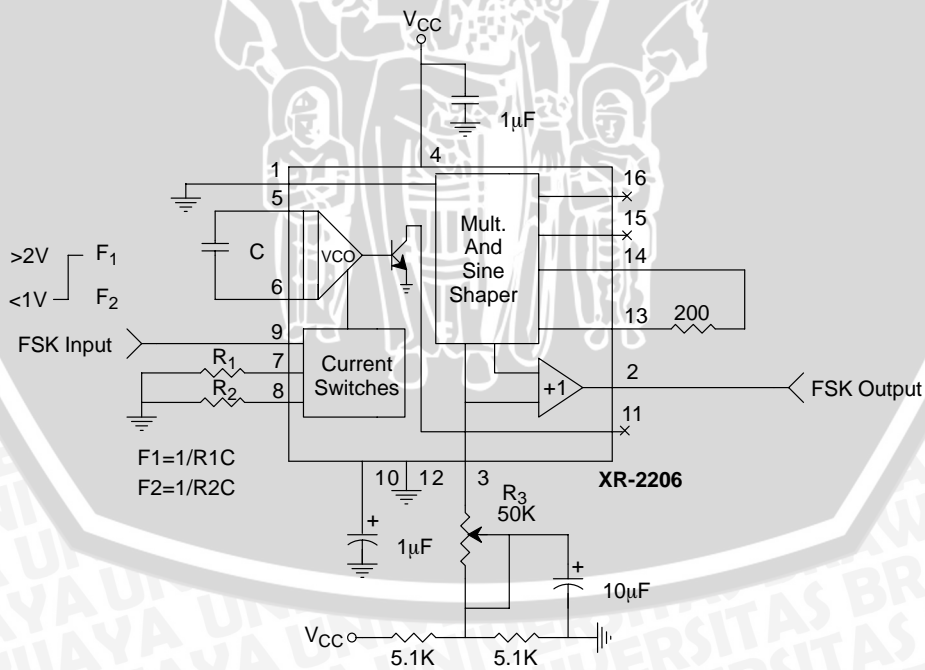


Figure 13. Sinusoidal FSK Generator

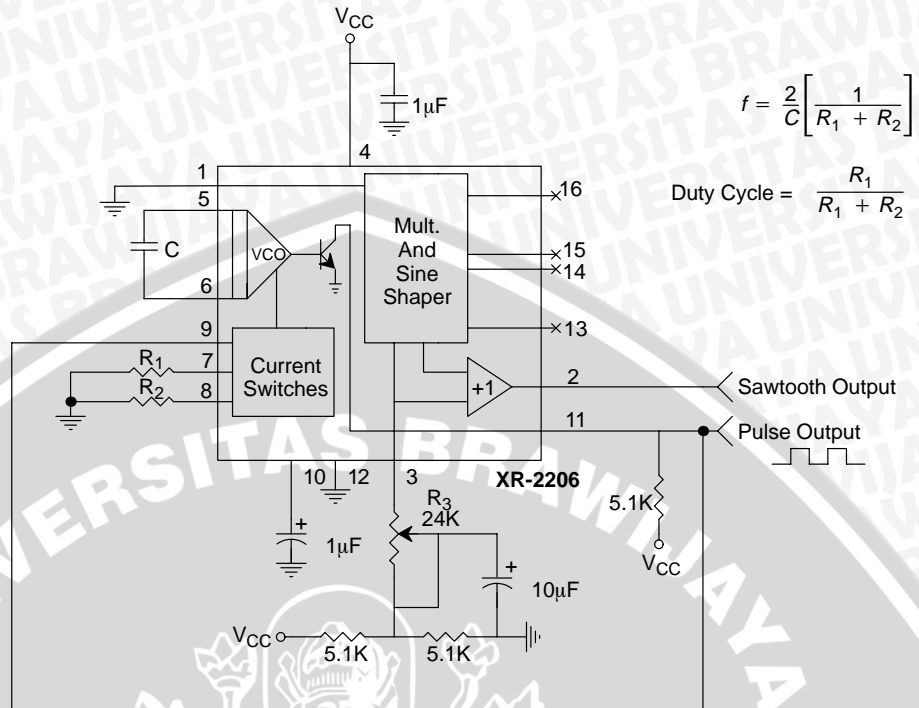


Figure 14. Circuit for Pulse and Ramp Generation.

Frequency-Shift Keying

The XR-2206 can be operated with two separate timing resistors, R_1 and R_2 , connected to the timing Pin 7 and 8, respectively, as shown in *Figure 13*. Depending on the polarity of the logic signal at Pin 9, either one or the other of these timing resistors is activated. If Pin 9 is open-circuited or connected to a bias voltage $\geq 2V$, only R_1 is activated. Similarly, if the voltage level at Pin 9 is $\leq 1V$, only R_2 is activated. Thus, the output frequency can be keyed between two levels. f_1 and f_2 , as:

$$f_1 = 1/R_1C \text{ and } f_2 = 1/R_2C$$

For split-supply operation, the keying voltage at Pin 9 is referenced to V^- .

Output DC Level Control

The dc level at the output (Pin 2) is approximately the same as the dc bias at Pin 3. In *Figure 11*, *Figure 12* and *Figure 13*, Pin 3 is biased midway between V^+ and ground, to give an output dc level of $\approx V^+/2$.

APPLICATIONS INFORMATION

Sine Wave Generation

Without External Adjustment

Figure 11 shows the circuit connection for generating a sinusoidal output from the XR-2206. The potentiometer, R_1 at Pin 7, provides the desired frequency tuning. The maximum output swing is greater than $V^+/2$, and the typical distortion (THD) is $< 2.5\%$. If lower sine wave distortion is desired, additional adjustments can be provided as described in the following section.

The circuit of *Figure 11* can be converted to split-supply operation, simply by replacing all ground connections with V^- . For split-supply operation, R_3 can be directly connected to ground.

With External Adjustment:

The harmonic content of sinusoidal output can be reduced to -0.5% by additional adjustments as shown in *Figure 12*. The potentiometer, R_A , adjusts the sine-shaping resistor, and R_B provides the fine adjustment for the waveform symmetry. The adjustment procedure is as follows:

1. Set R_B at midpoint and adjust R_A for minimum distortion.
2. With R_A set as above, adjust R_B to further reduce distortion.

Triangle Wave Generation

The circuits of *Figure 11* and *Figure 12* can be converted to triangle wave generation, by simply open-circuiting Pin 13 and 14 (i.e., S_1 open). Amplitude of the triangle is approximately twice the sine wave output.

FSK Generation

Figure 13 shows the circuit connection for sinusoidal FSK signal operation. Mark and space frequencies can be independently adjusted by the choice of timing resistors, R_1 and R_2 ; the output is phase-continuous during transitions. The keying signal is applied to Pin 9. The circuit can be converted to split-supply operation by simply replacing ground with V^- .

Pulse and Ramp Generation

Figure 14 shows the circuit for pulse and ramp waveform generation. In this mode of operation, the FSK keying terminal (Pin 9) is shorted to the square-wave output (Pin 11), and the circuit automatically frequency-shift keys itself between two separate frequencies during the positive-going and negative-going output waveforms. The pulse width and duty cycle can be adjusted from 1% to 99% by the choice of R_1 and R_2 . The values of R_1 and R_2 should be in the range of $1k\Omega$ to $2M\Omega$.

PRINCIPLES OF OPERATION

Description of Controls

Frequency of Operation:

The frequency of oscillation, f_0 , is determined by the external timing capacitor, C , across Pin 5 and 6, and by the timing resistor, R , connected to either Pin 7 or 8. The frequency is given as:

$$f_0 = \frac{1}{RC} \text{ Hz}$$

and can be adjusted by varying either R or C . The recommended values of R , for a given frequency range, as shown in *Figure 5*. Temperature stability is optimum for $4k\Omega < R < 200k\Omega$. Recommended values of C are from $1000pF$ to $100\mu F$.

Frequency Sweep and Modulation:

Frequency of oscillation is proportional to the total timing current, I_T , drawn from Pin 7 or 8:

$$f = \frac{320I_T(mA)}{C(\mu F)} \text{ Hz}$$

Timing terminals (Pin 7 or 8) are low-impedance points, and are internally biased at +3V, with respect to Pin 12. Frequency varies linearly with I_T , over a wide range of current values, from $1\mu A$ to $3mA$. The frequency can be controlled by applying a control voltage, V_C , to the activated timing pin as shown in *Figure 10*. The frequency of oscillation is related to V_C as:

$$f = \frac{1}{RC} \left(1 + \frac{R}{R_C} \left(1 - \frac{V_C}{3} \right) \right) \text{ Hz}$$

where V_C is in volts. The voltage-to-frequency conversion gain, K , is given as:

$$K = \partial f / \partial V_C = -\frac{0.32}{R_C C} \text{ Hz/V}$$

CAUTION: For safety operation of the circuit, I_T should be limited to $\leq 3mA$.

Output Amplitude:

Maximum output amplitude is inversely proportional to the external resistor, R_3 , connected to Pin 3 (see Figure 3). For sine wave output, amplitude is approximately 60mV peak per k Ω of R_3 ; for triangle, the peak amplitude is approximately 160mV peak per k Ω of R_3 . Thus, for example, $R_3 = 50k\Omega$ would produce approximately 13V sinusoidal output amplitude.

Amplitude Modulation:

Output amplitude can be modulated by applying a dc bias and a modulating signal to Pin 1. The internal impedance

at Pin 1 is approximately 100k Ω . Output amplitude varies linearly with the applied voltage at Pin 1, for values of dc bias at this pin, within 14 volts of $V_{CC}/2$ as shown in Figure 6. As this bias level approaches $V_{CC}/2$, the phase of the output signal is reversed, and the amplitude goes through zero. This property is suitable for phase-shift keying and suppressed-carrier AM generation. Total dynamic range of amplitude modulation is approximately 55dB.

CAUTION: AM control must be used in conjunction with a well-regulated supply, since the output amplitude now becomes a function of V_{CC} .

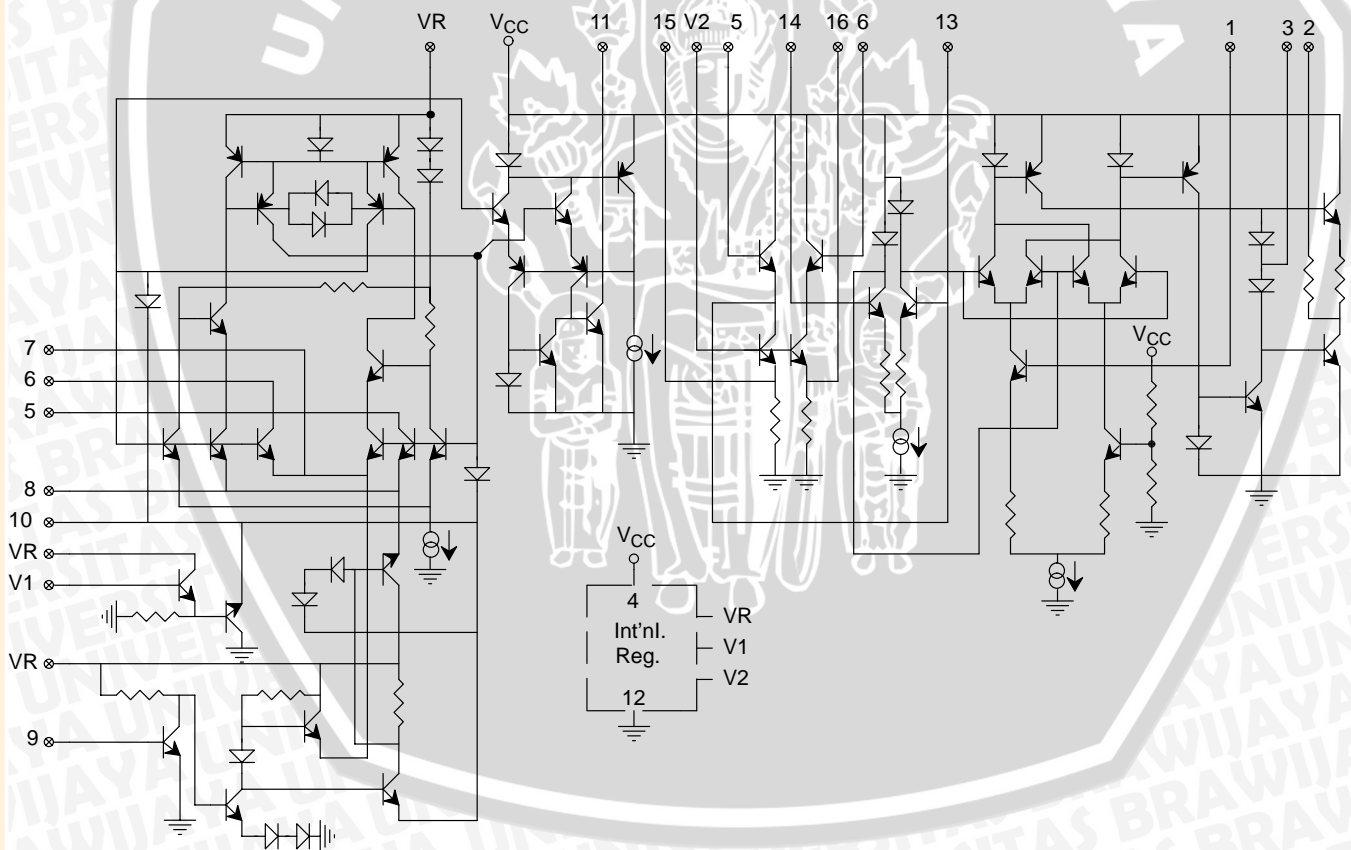
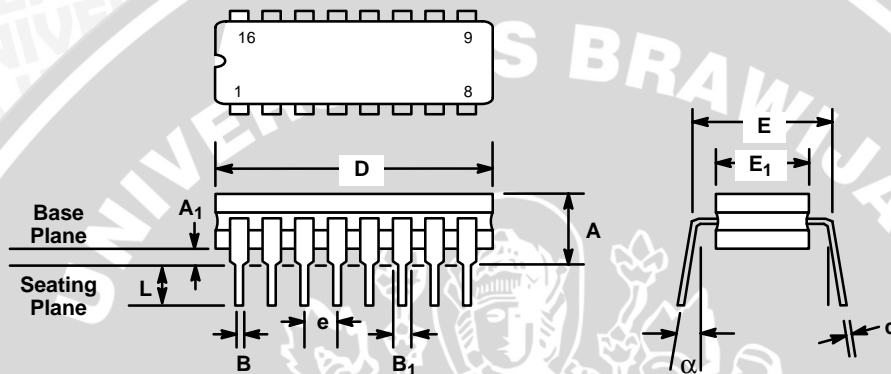


Figure 15. Equivalent Schematic Diagram

**16 LEAD CERAMIC DUAL-IN-LINE
(300 MIL CDIP)**

Rev. 1.00

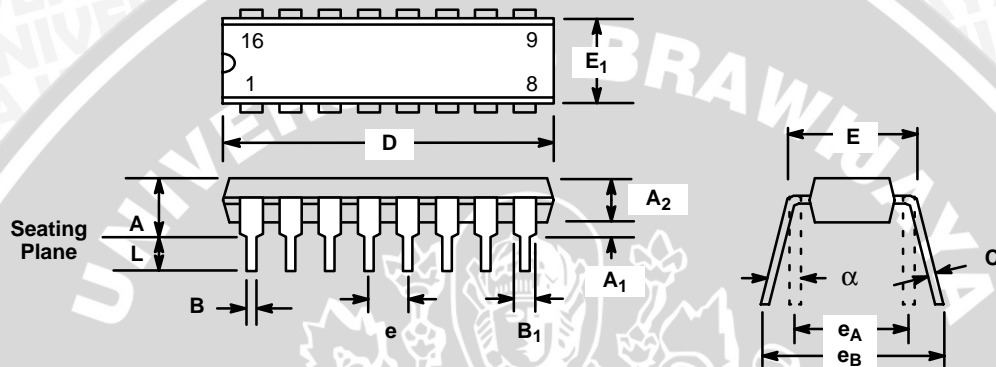


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.100	0.200	2.54	5.08
A ₁	0.015	0.060	0.38	1.52
B	0.014	0.026	0.36	0.66
B ₁	0.045	0.065	1.14	1.65
c	0.008	0.018	0.20	0.46
D	0.740	0.840	18.80	21.34
E ₁	0.250	0.310	6.35	7.87
E	0.300 BSC		7.62 BSC	
e	0.100 BSC		2.54 BSC	
L	0.125	0.200	3.18	5.08
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD PLASTIC DUAL-IN-LINE
(300 MIL PDIP)

Rev. 1.00

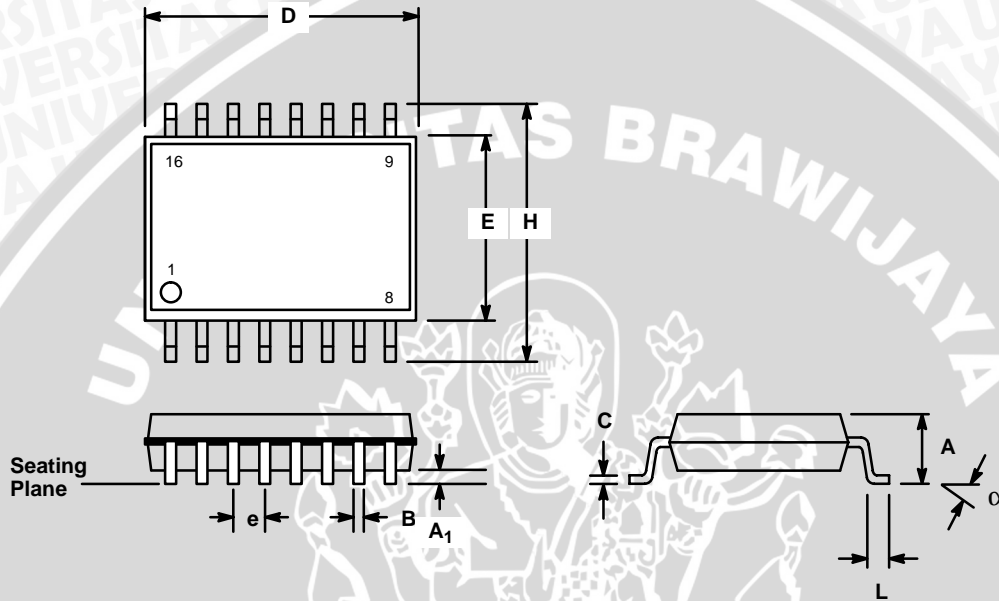


SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.145	0.210	3.68	5.33
A ₁	0.015	0.070	0.38	1.78
A ₂	0.115	0.195	2.92	4.95
B	0.014	0.024	0.36	0.56
B ₁	0.030	0.070	0.76	1.78
C	0.008	0.014	0.20	0.38
D	0.745	0.840	18.92	21.34
E	0.300	0.325	7.62	8.26
E ₁	0.240	0.280	6.10	7.11
e	0.100 BSC		2.54 BSC	
e _A	0.300 BSC		7.62 BSC	
e _B	0.310	0.430	7.87	10.92
L	0.115	0.160	2.92	4.06
α	0°	15°	0°	15°

Note: The control dimension is the inch column

16 LEAD SMALL OUTLINE
(300 MIL JEDEC SOIC)

Rev. 1.00



SYMBOL	INCHES		MILLIMETERS	
	MIN	MAX	MIN	MAX
A	0.093	0.104	2.35	2.65
A ₁	0.004	0.012	0.10	0.30
B	0.013	0.020	0.33	0.51
C	0.009	0.013	0.23	0.32
D	0.398	0.413	10.10	10.50
E	0.291	0.299	7.40	7.60
e	0.050 BSC		1.27 BSC	
H	0.394	0.419	10.00	10.65
L	0.016	0.050	0.40	1.27
α	0°	8°	0°	8°

Note: The control dimension is the millimeter column



UNIVERSITAS BRAWIJAYA

NOTICE

EXAR Corporation reserves the right to make changes to the products contained in this publication in order to improve design, performance or reliability. EXAR Corporation assumes no responsibility for the use of any circuits described herein, conveys no license under any patent or other right, and makes no representation that the circuits are free of patent infringement. Charts and schedules contained here in are only for illustration purposes and may vary depending upon a user's specific application. While the information in this publication has been carefully checked; no responsibility, however, is assumed for inaccuracies.

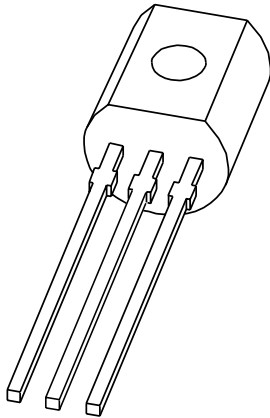
EXAR Corporation does not recommend the use of any of its products in life support applications where the failure or malfunction of the product can reasonably be expected to cause failure of the life support system or to significantly affect its safety or effectiveness. Products are not authorized for use in such applications unless EXAR Corporation receives, in writing, assurances to its satisfaction that: (a) the risk of injury or damage has been minimized; (b) the user assumes all such risks; (c) potential liability of EXAR Corporation is adequately protected under the circumstances.

Copyright 1972 EXAR Corporation

Datasheet June 1997

Reproduction, in part or whole, without the prior written consent of EXAR Corporation is prohibited.

DATA SHEET



2N3904 NPN switching transistor

Product specification
Supersedes data of 1997 Jul 15

1999 Apr 23

NPN switching transistor

2N3904

FEATURES

- Low current (max. 200 mA)
- Low voltage (max. 40 V).

APPLICATIONS

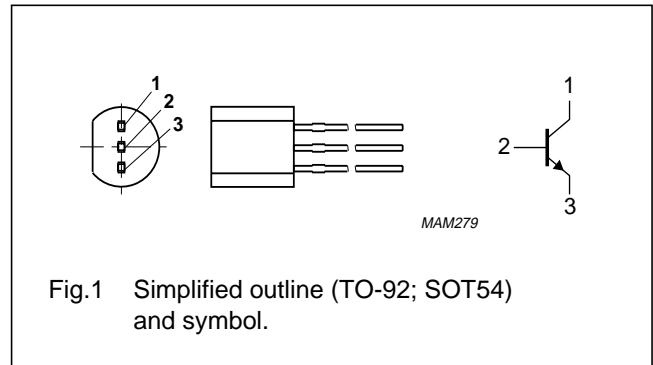
- High-speed switching.

DESCRIPTION

NPN switching transistor in a TO-92; SOT54 plastic package. PNP complement: 2N3906.

PINNING

PIN	DESCRIPTION
1	collector
2	base
3	emitter



LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	60	V
V_{CEO}	collector-emitter voltage	open base	–	40	V
V_{EBO}	emitter-base voltage	open collector	–	6	V
I_C	collector current (DC)		–	200	mA
I_{CM}	peak collector current		–	300	mA
I_{BM}	peak base current		–	100	mA
P_{tot}	total power dissipation	$T_{amb} \leq 25\text{ °C}$; note 1	–	500	mW
T_{stg}	storage temperature		–65	+150	°C
T_j	junction temperature		–	150	°C
T_{amb}	operating ambient temperature		–65	+150	°C

Note

1. Transistor mounted on an FR4 printed-circuit board.

NPN switching transistor

2N3904

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j-a}$	thermal resistance from junction to ambient	note 1	250	K/W

Note

1. Transistor mounted on an FR4 printed-circuit board.

CHARACTERISTICS

 $T_{amb} = 25\text{ }^{\circ}\text{C}$.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
I_{CBO}	collector cut-off current	$I_E = 0$; $V_{CB} = 30\text{ V}$	–	50	nA
I_{EBO}	emitter cut-off current	$I_C = 0$; $V_{EB} = 6\text{ V}$	–	50	nA
h_{FE}	DC current gain	$V_{CE} = 1\text{ V}$; note 1 $I_C = 0.1\text{ mA}$ $I_C = 1\text{ mA}$ $I_C = 10\text{ mA}$ $I_C = 50\text{ mA}$ $I_C = 100\text{ mA}$	60 80 100 60 30	– – 300 – –	
V_{CEsat}	collector-emitter saturation voltage	$I_C = 10\text{ mA}$; $I_B = 1\text{ mA}$; note 1 $I_C = 50\text{ mA}$; $I_B = 5\text{ mA}$; note 1	– –	200 200	mV mV
V_{BEsat}	base-emitter saturation voltage	$I_C = 10\text{ mA}$; $I_B = 1\text{ mA}$; note 1 $I_C = 50\text{ mA}$; $I_B = 5\text{ mA}$; note 1	– –	850 950	mV mV
C_c	collector capacitance	$I_E = i_e = 0$; $V_{CB} = 5\text{ V}$; $f = 1\text{ MHz}$	–	4	pF
C_e	emitter capacitance	$I_C = i_c = 0$; $V_{EB} = 500\text{ mV}$; $f = 1\text{ MHz}$	–	8	pF
f_T	transition frequency	$I_C = 10\text{ mA}$; $V_{CE} = 20\text{ V}$; $f = 100\text{ MHz}$	300	–	MHz
F	noise figure	$I_C = 100\text{ }\mu\text{A}$; $V_{CE} = 5\text{ V}$; $R_S = 1\text{ k}\Omega$; $f = 10\text{ Hz}$ to 15.7 kHz	–	5	dB

Switching times (between 10% and 90% levels); see Fig.2

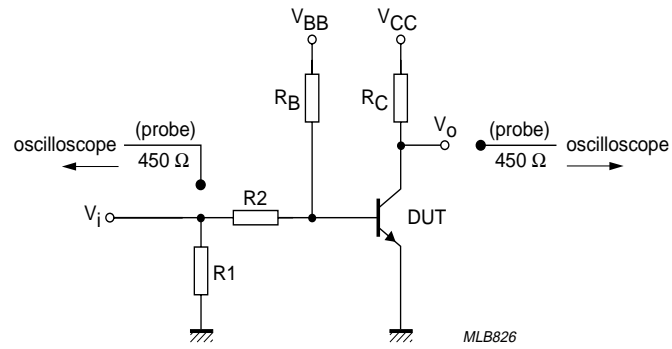
t_{on}	turn-on time	$I_{Con} = 10\text{ mA}$; $I_{Bon} = 1\text{ mA}$;	–	65	ns
t_d	delay time	$I_{Boff} = -1\text{ mA}$	–	35	ns
t_r	rise time		–	35	ns
t_{off}	turn-off time		–	240	ns
t_s	storage time		–	200	ns
t_f	fall time		–	50	ns

Note

1. Pulse test: $t_p \leq 300\text{ }\mu\text{s}$; $\delta \leq 0.02$.

NPN switching transistor

2N3904



$V_i = 5 \text{ V}$; $T = 500 \mu\text{s}$; $t_p = 10 \mu\text{s}$; $t_r = t_f \leq 3 \text{ ns}$.
 $R_1 = 56 \Omega$; $R_2 = 2.5 \text{ k}\Omega$; $R_B = 3.9 \text{ k}\Omega$; $R_C = 270 \Omega$.
 $V_{BB} = -1.9 \text{ V}$; $V_{CC} = 3 \text{ V}$.
Oscilloscope input impedance $Z_i = 50 \Omega$.

Fig.2 Test circuit for switching times.

NPN switching transistor

2N3904

PACKAGE OUTLINE

Plastic single-ended leaded (through hole) package; 3 leads

SOT54



DIMENSIONS (mm are the original dimensions)

UNIT	A	b	b ₁	c	D	d	E	e	e ₁	L	L ₁ ⁽¹⁾
mm	5.2 5.0	0.48 0.40	0.66 0.56	0.45 0.40	4.8 4.4	1.7 1.4	4.2 3.6	2.54	1.27	14.5 12.7	2.5

Note

1. Terminal dimensions within this zone are uncontrolled to allow for flow of plastic and terminal irregularities.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ		
SOT54		TO-92	SC-43		97-02-28

NPN switching transistor

2N3904

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

NPN switching transistor

2N3904

NOTES

Philips Semiconductors – a worldwide company

Argentina: see South America

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. +61 2 9805 4455, Fax. +61 2 9805 4466

Austria: Computerstr. 6, A-1101 WIEN, P.O. Box 213,
Tel. +43 1 60 101 1248, Fax. +43 1 60 101 1210

Belarus: Hotel Minsk Business Center, Bld. 3, r. 1211, Volodarski Str. 6,
220050 MINSK, Tel. +375 172 20 0733, Fax. +375 172 20 0773

Belgium: see The Netherlands

Brazil: see South America

Bulgaria: Philips Bulgaria Ltd., Energoproject, 15th floor,
51 James Bourchier Blvd., 1407 SOFIA,
Tel. +359 2 68 9211, Fax. +359 2 68 9102

Canada: PHILIPS SEMICONDUCTORS/COMPONENTS,
Tel. +1 800 234 7381, Fax. +1 800 943 0087

China/Hong Kong: 501 Hong Kong Industrial Technology Centre,
72 Tat Chee Avenue, Kowloon Tong, HONG KONG,
Tel. +852 2319 7888, Fax. +852 2319 7700

Colombia: see South America

Czech Republic: see Austria

Denmark: Sydhavnsgade 23, 1780 COPENHAGEN V,
Tel. +45 33 29 3333, Fax. +45 33 29 3905

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. +358 9 615 800, Fax. +358 9 6158 0920

France: 51 Rue Carnot, BP317, 92156 SURESNES Cedex,
Tel. +33 1 4099 6161, Fax. +33 1 4099 6427

Germany: Hammerbrookstraße 69, D-20097 HAMBURG,
Tel. +49 40 2353 60, Fax. +49 40 2353 6300

Hungary: see Austria

India: Philips INDIA Ltd, Band Box Building, 2nd floor,
254-D, Dr. Annie Besant Road, Worli, MUMBAI 400 025,
Tel. +91 22 493 8541, Fax. +91 22 493 0966

Indonesia: PT Philips Development Corporation, Semiconductors Division,
Gedung Philips, Jl. Buncit Raya Kav.99-100, JAKARTA 12510,
Tel. +62 21 794 0040 ext. 2501, Fax. +62 21 794 0080

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. +353 1 7640 000, Fax. +353 1 7640 200

Israel: RAPAC Electronics, 7 Kehilat Saloniki St, PO Box 18053,
TEL AVIV 61180, Tel. +972 3 645 0444, Fax. +972 3 649 1007

Italy: PHILIPS SEMICONDUCTORS, Piazza IV Novembre 3,
20124 MILANO, Tel. +39 2 6752 2531, Fax. +39 2 6752 2557

Japan: Philips Bldg 13-37, Kohnan 2-chome, Minato-ku,
TOKYO 108-8507, Tel. +81 3 3740 5130, Fax. +81 3 3740 5077

Korea: Philips House, 260-199 Itaewon-dong, Yongsan-ku, SEOUL,
Tel. +82 2 709 1412, Fax. +82 2 709 1415

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA, SELANGOR,
Tel. +60 3 750 5214, Fax. +60 3 757 4880

Mexico: 5900 Gateway East, Suite 200, EL PASO, TEXAS 79905,
Tel. +9-5 800 234 7381, Fax +9-5 800 943 0087

Middle East: see Italy

Netherlands: Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB,
Tel. +31 40 27 82785, Fax. +31 40 27 88399

New Zealand: 2 Wagener Place, C.P.O. Box 1041, AUCKLAND,
Tel. +64 9 849 4160, Fax. +64 9 849 7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. +47 22 74 8000, Fax. +47 22 74 8341

Pakistan: see Singapore

Philippines: Philips Semiconductors Philippines Inc.,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. +63 2 816 6380, Fax. +63 2 817 3474

Poland: Ul. Lukiska 10, PL 04-123 WARSZAWA,
Tel. +48 22 612 2831, Fax. +48 22 612 2327

Portugal: see Spain

Romania: see Italy

Russia: Philips Russia, Ul. Usatcheva 35A, 119048 MOSCOW,
Tel. +7 095 755 6918, Fax. +7 095 755 6919

Singapore: Lorong 1, Toa Payoh, SINGAPORE 319762,
Tel. +65 350 2538, Fax. +65 251 6500

Slovakia: see Austria

Slovenia: see Italy

South Africa: S.A. PHILIPS Pty Ltd., 195-215 Main Road Martindale,
2092 JOHANNESBURG, P.O. Box 7430 Johannesburg 2000,
Tel. +27 11 470 5911, Fax. +27 11 470 5494

South America: Al. Vicente Pinzon, 173, 6th floor,
04547-130 SÃO PAULO, SP, Brazil,
Tel. +55 11 821 2333, Fax. +55 11 821 2382

Spain: Balmes 22, 08007 BARCELONA,
Tel. +34 93 301 6312, Fax. +34 93 301 4107

Sweden: Kottbygatan 7, Akalla, S-16485 STOCKHOLM,
Tel. +46 8 5985 2000, Fax. +46 8 5985 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. +41 1 488 2741 Fax. +41 1 488 3263

Taiwan: Philips Semiconductors, 6F, No. 96, Chien Kuo N. Rd., Sec. 1,
TAIPEI, Taiwan Tel. +886 2 2134 2886, Fax. +886 2 2134 2874

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong, BANGKOK 10260,
Tel. +66 2 745 4090, Fax. +66 2 398 0793

Turkey: Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,
Tel. +90 212 279 2770, Fax. +90 212 282 6707

Ukraine: PHILIPS UKRAINE, 4 Patrice Lumumba str., Building B, Floor 7,
252042 KIEV, Tel. +380 44 264 2776, Fax. +380 44 268 0461

United Kingdom: Philips Semiconductors Ltd., 276 Bath Road, Hayes,
MIDDLESEX UB3 5BX, Tel. +44 181 730 5000, Fax. +44 181 754 8421

United States: 811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. +1 800 234 7381, Fax. +1 800 943 0087

Uruguay: see South America

Vietnam: see Singapore

Yugoslavia: PHILIPS, Trg N. Pasica 5/v, 11000 BEOGRAD,
Tel. +381 11 62 5344, Fax. +381 11 63 5777

For all other countries apply to: Philips Semiconductors,
International Marketing & Sales Communications, Building BE-p, P.O. Box 218,
5600 MD EINDHOVEN, The Netherlands, Fax. +31 40 27 24825

Internet: <http://www.semiconductors.philips.com>

© Philips Electronics N.V. 1999

SCA63

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

115002/00/03/pp8

Date of release: 1999 Apr 23

Document order number: 9397 750 05386

Let's make things better.

Philips
Semiconductors



PHILIPS

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.



DATA SHEET



2N3906 PNP switching transistor

Product specification
Supersedes data of 1997 Jun 20

1999 Apr 23

PNP switching transistor

2N3906

FEATURES

- Low current (max. 200 mA)
- Low voltage (max. 40 V).

APPLICATIONS

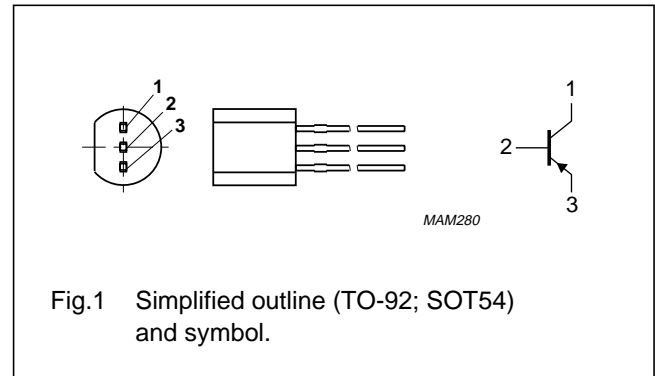
- High-speed switching in industrial applications.

DESCRIPTION

PNP switching transistor in a TO-92; SOT54 plastic package. NPN complement: 2N3904.

PINNING

PIN	DESCRIPTION
1	collector
2	base
3	emitter



LIMITING VALUES

In accordance with the Absolute Maximum Rating System (IEC 134).

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
V_{CBO}	collector-base voltage	open emitter	–	–40	V
V_{CEO}	collector-emitter voltage	open base	–	–40	V
V_{EBO}	emitter-base voltage	open collector	–	–6	V
I_C	collector current (DC)		–	–200	mA
I_{CM}	peak collector current		–	–300	mA
I_{BM}	peak base current		–	–100	mA
P_{tot}	total power dissipation	$T_{amb} \leq 25\text{ °C}$	–	500	mW
T_{stg}	storage temperature		–65	+150	°C
T_j	junction temperature		–	150	°C
T_{amb}	operating ambient temperature		–65	+150	°C

PNP switching transistor

2N3906

THERMAL CHARACTERISTICS

SYMBOL	PARAMETER	CONDITIONS	VALUE	UNIT
$R_{th\ j-a}$	thermal resistance from junction to ambient	note 1	250	K/W

Note

1. Transistor mounted on an FR4 printed-circuit board.

CHARACTERISTICS

$T_{amb} = 25\text{ }^{\circ}\text{C}$ unless otherwise specified.

SYMBOL	PARAMETER	CONDITIONS	MIN.	MAX.	UNIT
I_{CBO}	collector cut-off current	$I_E = 0; V_{CB} = -30\text{ V}$	–	–50	nA
I_{EBO}	emitter cut-off current	$I_C = 0; V_{EB} = -6\text{ V}$	–	–50	nA
h_{FE}	DC current gain	$V_{CE} = -1\text{ V}$; note 1; see Fig.2 $I_C = -0.1\text{ mA}$ $I_C = -1\text{ mA}$ $I_C = -10\text{ mA}$ $I_C = -50\text{ mA}$ $I_C = -100\text{ mA}$	60 80 100 60 30	– – 300 – –	
V_{CEsat}	collector-emitter saturation voltage	$I_C = -10\text{ mA}; I_B = -1\text{ mA}$; note 1	–	–200	mV
		$I_C = -50\text{ mA}; I_B = -5\text{ mA}$; note 1	–	–200	mV
V_{BEsat}	base-emitter saturation voltage	$I_C = -10\text{ mA}; I_B = -1\text{ mA}$; note 1	–	–850	mV
		$I_C = -50\text{ mA}; I_B = -5\text{ mA}$; note 1	–	–950	mV
C_c	collector capacitance	$I_E = i_e = 0; V_{CB} = -5\text{ V}; f = 1\text{ MHz}$	–	4.5	pF
C_e	emitter capacitance	$I_C = i_c = 0; V_{EB} = -500\text{ mV}; f = 1\text{ MHz}$	–	10	pF
f_T	transition frequency	$I_C = -10\text{ mA}; V_{CE} = -20\text{ V}; f = 100\text{ MHz}$	250	–	MHz
F	noise figure	$I_C = -100\text{ }\mu\text{A}; V_{CE} = -5\text{ V}; R_S = 1\text{ k}\Omega$; $f = 10\text{ Hz to }15.7\text{ kHz}$	–	4	dB

Switching times (between 10% and 90% levels); see Fig.3

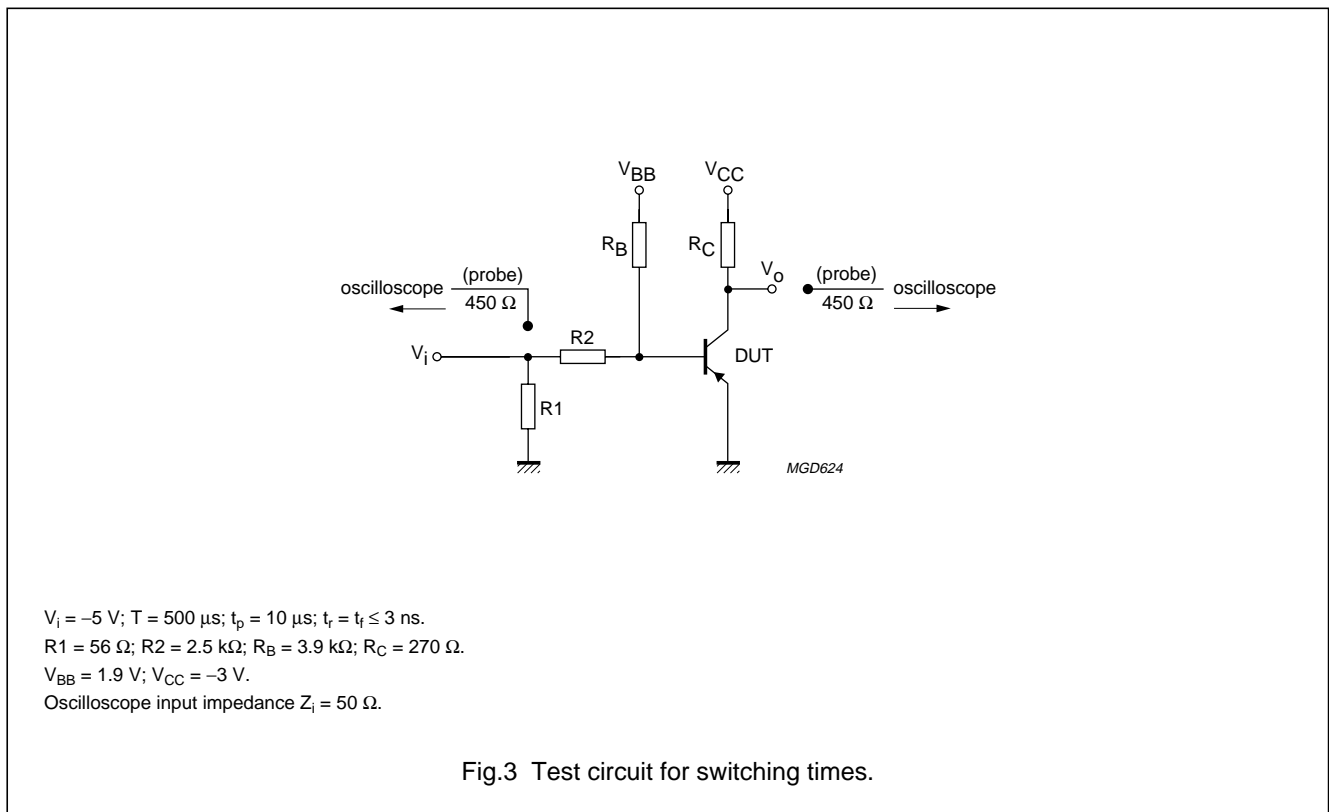
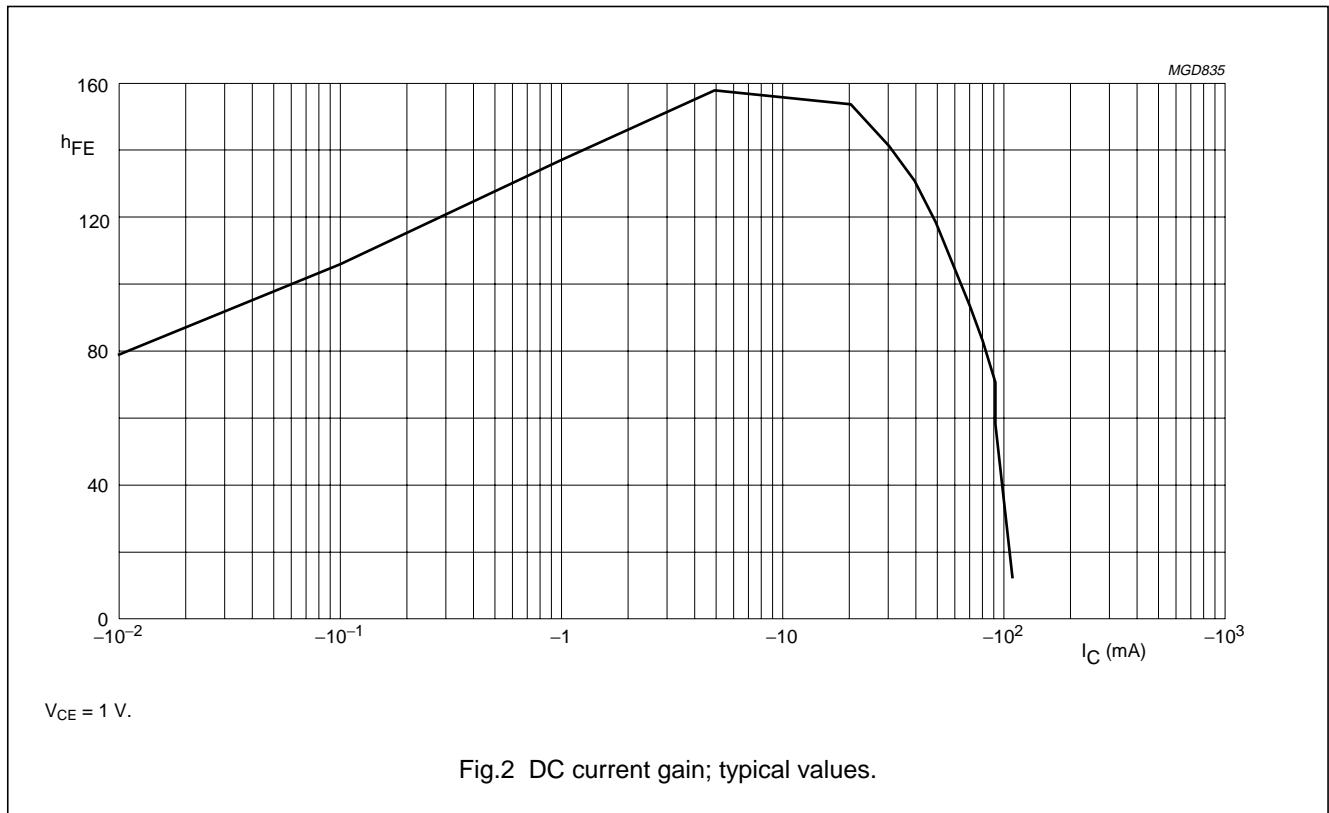
t_{on}	turn-on time	$I_{Con} = -10\text{ mA}; I_{Bon} = -1\text{ mA}; I_{Boff} = 1\text{ mA}$	–	65	ns
t_d	delay time		–	35	ns
t_r	rise time		–	35	ns
t_{off}	turn-off time		–	300	ns
t_s	storage time		–	225	ns
t_f	fall time		–	75	ns

Note

1. Pulse test: $t_p \leq 300\text{ }\mu\text{s}$; $\delta \leq 0.02$.

PNP switching transistor

2N3906



PNP switching transistor

2N3906

PACKAGE OUTLINE

Plastic single-ended leaded (through hole) package; 3 leads

SOT54



DIMENSIONS (mm are the original dimensions)

UNIT	A	b	b ₁	c	D	d	E	e	e ₁	L	L ₁ ⁽¹⁾
mm	5.2 5.0	0.48 0.40	0.66 0.56	0.45 0.40	4.8 4.4	1.7 1.4	4.2 3.6	2.54	1.27	14.5 12.7	2.5

Note

1. Terminal dimensions within this zone are uncontrolled to allow for flow of plastic and terminal irregularities.

OUTLINE VERSION	REFERENCES			EUROPEAN PROJECTION	ISSUE DATE
	IEC	JEDEC	EIAJ		
SOT54		TO-92	SC-43		97-02-28

PNP switching transistor

2N3906

DEFINITIONS

Data sheet status	
Objective specification	This data sheet contains target or goal specifications for product development.
Preliminary specification	This data sheet contains preliminary data; supplementary data may be published later.
Product specification	This data sheet contains final product specifications.
Limiting values	
Limiting values given are in accordance with the Absolute Maximum Rating System (IEC 134). Stress above one or more of the limiting values may cause permanent damage to the device. These are stress ratings only and operation of the device at these or at any other conditions above those given in the Characteristics sections of the specification is not implied. Exposure to limiting values for extended periods may affect device reliability.	
Application information	
Where application information is given, it is advisory and does not form part of the specification.	

LIFE SUPPORT APPLICATIONS

These products are not designed for use in life support appliances, devices, or systems where malfunction of these products can reasonably be expected to result in personal injury. Philips customers using or selling these products for use in such applications do so at their own risk and agree to fully indemnify Philips for any damages resulting from such improper use or sale.

PNP switching transistor

2N3906

NOTES

Philips Semiconductors – a worldwide company

Argentina: see South America

Australia: 34 Waterloo Road, NORTH RYDE, NSW 2113,
Tel. +61 2 9805 4455, Fax. +61 2 9805 4466

Austria: Computerstr. 6, A-1101 WIEN, P.O. Box 213,
Tel. +43 1 60 101 1248, Fax. +43 1 60 101 1210

Belarus: Hotel Minsk Business Center, Bld. 3, r. 1211, Volodarski Str. 6,
220050 MINSK, Tel. +375 172 20 0733, Fax. +375 172 20 0773

Belgium: see The Netherlands

Brazil: see South America

Bulgaria: Philips Bulgaria Ltd., Energoproject, 15th floor,
51 James Bourchier Blvd., 1407 SOFIA,
Tel. +359 2 68 9211, Fax. +359 2 68 9102

Canada: PHILIPS SEMICONDUCTORS/COMPONENTS,
Tel. +1 800 234 7381, Fax. +1 800 943 0087

China/Hong Kong: 501 Hong Kong Industrial Technology Centre,
72 Tat Chee Avenue, Kowloon Tong, HONG KONG,
Tel. +852 2319 7888, Fax. +852 2319 7700

Colombia: see South America

Czech Republic: see Austria

Denmark: Sydhavnsgade 23, 1780 COPENHAGEN V,
Tel. +45 33 29 3333, Fax. +45 33 29 3905

Finland: Sinikalliontie 3, FIN-02630 ESPOO,
Tel. +358 9 615 800, Fax. +358 9 6158 0920

France: 51 Rue Carnot, BP317, 92156 SURESNES Cedex,
Tel. +33 1 4099 6161, Fax. +33 1 4099 6427

Germany: Hammerbrookstraße 69, D-20097 HAMBURG,
Tel. +49 40 2353 60, Fax. +49 40 2353 6300

Hungary: see Austria

India: Philips INDIA Ltd, Band Box Building, 2nd floor,
254-D, Dr. Annie Besant Road, Worli, MUMBAI 400 025,
Tel. +91 22 493 8541, Fax. +91 22 493 0966

Indonesia: PT Philips Development Corporation, Semiconductors Division,
Gedung Philips, Jl. Buncit Raya Kav.99-100, JAKARTA 12510,
Tel. +62 21 794 0040 ext. 2501, Fax. +62 21 794 0080

Ireland: Newstead, Clonskeagh, DUBLIN 14,
Tel. +353 1 7640 000, Fax. +353 1 7640 200

Israel: RAPAC Electronics, 7 Kehilat Saloniki St, PO Box 18053,
TEL AVIV 61180, Tel. +972 3 645 0444, Fax. +972 3 649 1007

Italy: PHILIPS SEMICONDUCTORS, Piazza IV Novembre 3,
20124 MILANO, Tel. +39 2 6752 2531, Fax. +39 2 6752 2557

Japan: Philips Bldg 13-37, Kohnan 2-chome, Minato-ku,
TOKYO 108-8507, Tel. +81 3 3740 5130, Fax. +81 3 3740 5077

Korea: Philips House, 260-199 Itaewon-dong, Yongsan-ku, SEOUL,
Tel. +82 2 709 1412, Fax. +82 2 709 1415

Malaysia: No. 76 Jalan Universiti, 46200 PETALING JAYA, SELANGOR,
Tel. +60 3 750 5214, Fax. +60 3 757 4880

Mexico: 5900 Gateway East, Suite 200, EL PASO, TEXAS 79905,
Tel. +9-5 800 234 7381, Fax +9-5 800 943 0087

Middle East: see Italy

Netherlands: Postbus 90050, 5600 PB EINDHOVEN, Bldg. VB,
Tel. +31 40 27 82785, Fax. +31 40 27 88399

New Zealand: 2 Wagener Place, C.P.O. Box 1041, AUCKLAND,
Tel. +64 9 849 4160, Fax. +64 9 849 7811

Norway: Box 1, Manglerud 0612, OSLO,
Tel. +47 22 74 8000, Fax. +47 22 74 8341

Pakistan: see Singapore

Philippines: Philips Semiconductors Philippines Inc.,
106 Valero St. Salcedo Village, P.O. Box 2108 MCC, MAKATI,
Metro MANILA, Tel. +63 2 816 6380, Fax. +63 2 817 3474

Poland: Ul. Lukiska 10, PL 04-123 WARSZAWA,
Tel. +48 22 612 2831, Fax. +48 22 612 2327

Portugal: see Spain

Romania: see Italy

Russia: Philips Russia, Ul. Usatcheva 35A, 119048 MOSCOW,
Tel. +7 095 755 6918, Fax. +7 095 755 6919

Singapore: Lorong 1, Toa Payoh, SINGAPORE 319762,
Tel. +65 350 2538, Fax. +65 251 6500

Slovakia: see Austria

Slovenia: see Italy

South Africa: S.A. PHILIPS Pty Ltd., 195-215 Main Road Martindale,
2092 JOHANNESBURG, P.O. Box 7430 Johannesburg 2000,
Tel. +27 11 470 5911, Fax. +27 11 470 5494

South America: Al. Vicente Pinzon, 173, 6th floor,
04547-130 SÃO PAULO, SP, Brazil,
Tel. +55 11 821 2333, Fax. +55 11 821 2382

Spain: Balmes 22, 08007 BARCELONA,
Tel. +34 93 301 6312, Fax. +34 93 301 4107

Sweden: Kottbygatan 7, Akalla, S-16485 STOCKHOLM,
Tel. +46 8 5985 2000, Fax. +46 8 5985 2745

Switzerland: Allmendstrasse 140, CH-8027 ZÜRICH,
Tel. +41 1 488 2741 Fax. +41 1 488 3263

Taiwan: Philips Semiconductors, 6F, No. 96, Chien Kuo N. Rd., Sec. 1,
TAIPEI, Taiwan Tel. +886 2 2134 2886, Fax. +886 2 2134 2874

Thailand: PHILIPS ELECTRONICS (THAILAND) Ltd.,
209/2 Sanpavuth-Bangna Road Prakanong, BANGKOK 10260,
Tel. +66 2 745 4090, Fax. +66 2 398 0793

Turkey: Talatpasa Cad. No. 5, 80640 GÜLTEPE/ISTANBUL,
Tel. +90 212 279 2770, Fax. +90 212 282 6707

Ukraine: PHILIPS UKRAINE, 4 Patrice Lumumba str., Building B, Floor 7,
252042 KIEV, Tel. +380 44 264 2776, Fax. +380 44 268 0461

United Kingdom: Philips Semiconductors Ltd., 276 Bath Road, Hayes,
MIDDLESEX UB3 5BX, Tel. +44 181 730 5000, Fax. +44 181 754 8421

United States: 811 East Arques Avenue, SUNNYVALE, CA 94088-3409,
Tel. +1 800 234 7381, Fax. +1 800 943 0087

Uruguay: see South America

Vietnam: see Singapore

Yugoslavia: PHILIPS, Trg N. Pasica 5/v, 11000 BEOGRAD,
Tel. +381 11 62 5344, Fax. +381 11 63 5777

For all other countries apply to: Philips Semiconductors,
International Marketing & Sales Communications, Building BE-p, P.O. Box 218,
5600 MD EINDHOVEN, The Netherlands, Fax. +31 40 27 24825

Internet: <http://www.semiconductors.philips.com>

© Philips Electronics N.V. 1999

SCA63

All rights are reserved. Reproduction in whole or in part is prohibited without the prior written consent of the copyright owner.

The information presented in this document does not form part of any quotation or contract, is believed to be accurate and reliable and may be changed without notice. No liability will be accepted by the publisher for any consequence of its use. Publication thereof does not convey nor imply any license under patent- or other industrial or intellectual property rights.

Printed in The Netherlands

115002/00/03/pp8

Date of release: 1999 Apr 23

Document order number: 9397 750 05387

Let's make things better.

Philips
Semiconductors



PHILIPS

This datasheet has been download from:

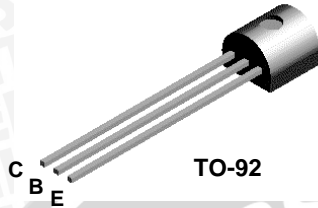
www.datasheetcatalog.com

Datasheets for electronics components.

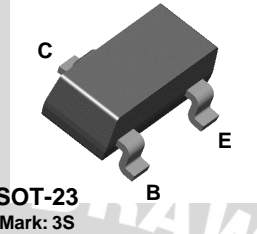




2N5551



MMBT5551



NPN General Purpose Amplifier

This device is designed for general purpose high voltage amplifiers and gas discharge display drivers.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V _{CEO}	Collector-Emitter Voltage	160	V
V _{CBO}	Collector-Base Voltage	180	V
V _{EBO}	Emitter-Base Voltage	6.0	V
I _C	Collector Current - Continuous	600	mA
T _J , T _{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

- 1) These ratings are based on a maximum junction temperature of 150 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N5551	*MMBT5551	
P _D	Total Device Dissipation Derate above 25°C	625	350	mW
		5.0	2.8	mW/°C
R _{θJC}	Thermal Resistance, Junction to Case	83.3		°C/W
R _{θJA}	Thermal Resistance, Junction to Ambient	200	357	°C/W

* Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

2N5551 / MMBT5551

NPN General Purpose Amplifier (continued)

2N5551 / MMBT5551

Electrical Characteristics

$T_A = 25^\circ\text{C}$ unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
OFF CHARACTERISTICS					
$V_{(BR)CEO}$	Collector-Emitter Sustaining Voltage*	$I_C = 1.0\text{ mA}, I_B = 0$	160		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	$I_C = 100\ \mu\text{A}, I_E = 0$	180		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = 10\ \mu\text{A}, I_C = 0$	6.0		V
I_{CBO}	Collector Cutoff Current	$V_{CB} = 120\text{ V}, I_E = 0,$ $V_{CB} = 120\text{ V}, I_E = 0, T_A = 100^\circ\text{C}$		50	nA
I_{EBO}	Emitter Cutoff Current	$V_{EB} = 4.0\text{ V}, I_C = 0$		50	nA

ON CHARACTERISTICS

h_{FE}	DC Current Gain	$I_C = 1.0\text{ mA}, V_{CE} = 5.0\text{ V}$ $I_C = 10\text{ mA}, V_{CE} = 5.0\text{ V}$ $I_C = 50\text{ mA}, V_{CE} = 5.0\text{ V}$	80 80 30	250	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 10\text{ mA}, I_B = 1.0\text{ mA}$ $I_C = 50\text{ mA}, I_B = 5.0\text{ mA}$		0.15 0.20	V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	$I_C = 10\text{ mA}, I_B = 1.0\text{ mA}$ $I_C = 50\text{ mA}, I_B = 5.0\text{ mA}$		1.0 1.0	V

SMALL SIGNAL CHARACTERISTICS

f_T	Current Gain - Bandwidth Product	$I_C = 10\text{ mA}, V_{CE} = 10\text{ V},$ $f = 100\text{ MHz}$	100	300	MHz
C_{obo}	Output Capacitance	$V_{CB} = 10\text{ V}, I_E = 0,$ $f = 1.0\text{ MHz}$		6.0	pF
C_{ibo}	Input Capacitance	$V_{BE} = 0.5\text{ V}, I_C = 0,$ $f = 1.0\text{ MHz}$		20	pF
h_{fe}	Small-Signal Current Gain	$I_C = 1.0\text{ mA}, V_{CE} = 10\text{ V},$ $f = 1.0\text{ kHz}$	50	250	
NF	Noise Figure	$I_C = 250\ \mu\text{A}, V_{CE} = 5.0\text{ V},$ $R_S = 1.0\text{ k}\Omega, f = 10\text{ Hz to } 15.7\text{ kHz}$		8.0	dB

*Pulse Test: Pulse Width $\leq 300\ \mu\text{s}$, Duty Cycle $\leq 2.0\%$

Spice Model

NPN (Is=2.511f Xti=3 Eg=1.11 Vaf=100 Bf=242.6 Ne=1.249 Ise=2.511f Ikf=.3458 Xtb=1.5 Br=3.197 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=4.883p Mjc=.3047 Vjc=.75 Fc=.5 Cje=18.79p Mje=.3416 Vje=.75 Tr=1.202n Tf=560p Itf=50m Vtf=5 Xtf=8 Rb=10)

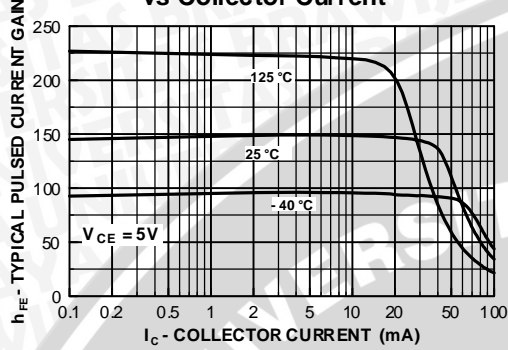
NPN General Purpose Amplifier

(continued)

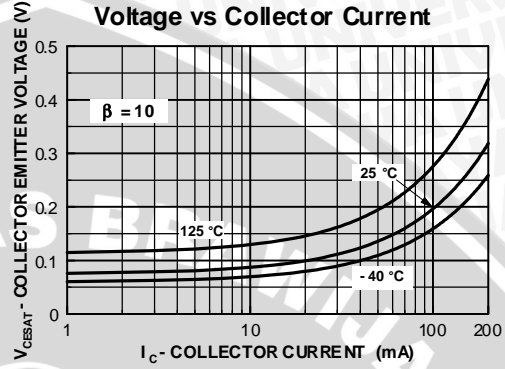
2N5551 / MMBT5551

Typical Characteristics

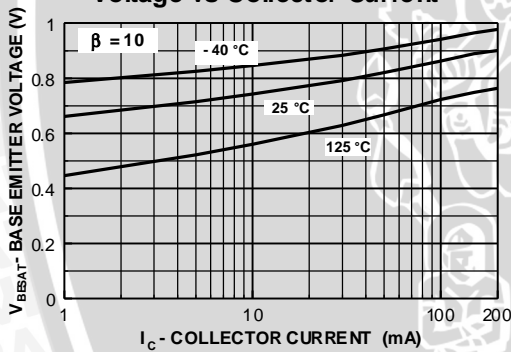
Typical Pulsed Current Gain vs Collector Current



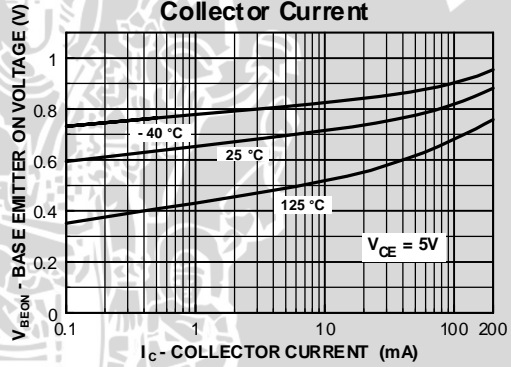
Collector-Emitter Saturation Voltage vs Collector Current



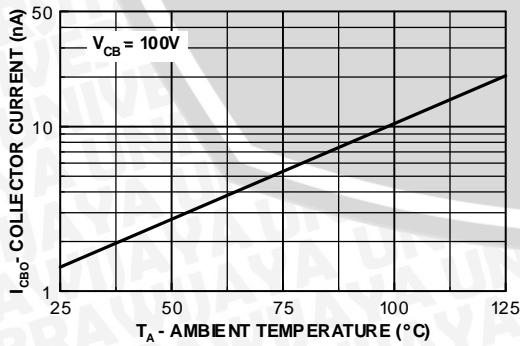
Base-Emitter Saturation Voltage vs Collector Current



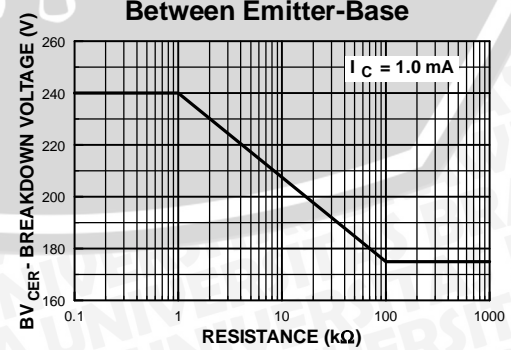
Base Emitter ON Voltage vs Collector Current



Collector-Cutoff Current vs. Ambient Temperature



Collector-Emitter Breakdown Voltage with Resistance Between Emitter-Base

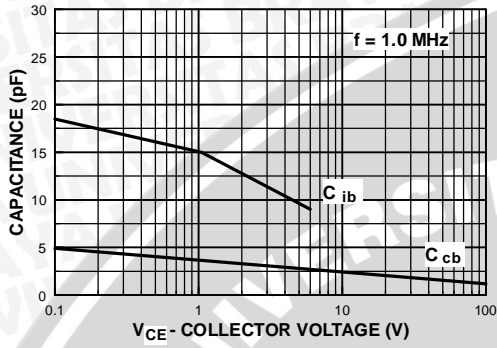


NPN General Purpose Amplifier (continued)

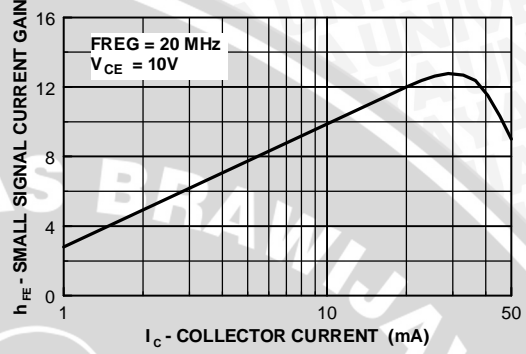
2N5551 / MMBT5551

Typical Characteristics (continued)

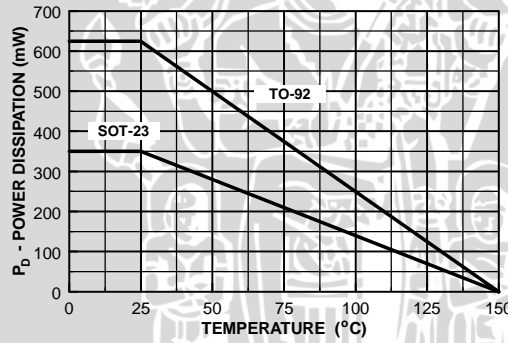
Input and Output Capacitance vs Reverse Voltage



Small Signal Current Gain vs Collector Current



Power Dissipation vs Ambient Temperature



TO-92 Tape and Reel Data



TO-92 Packaging Configuration: Figure 1.0

FSCINT Label sample

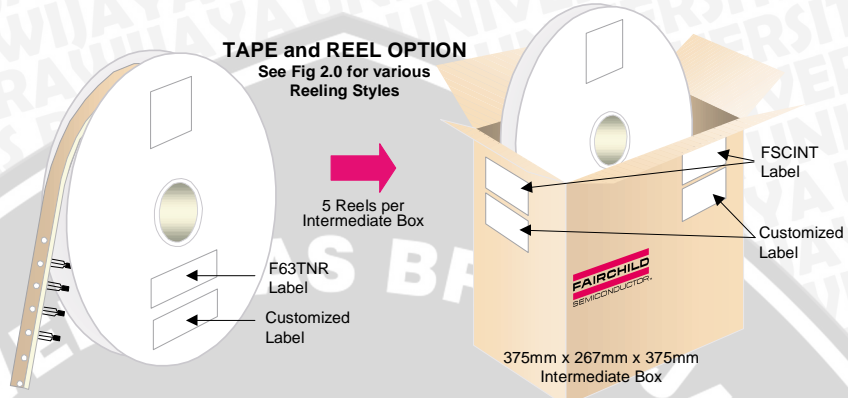


F63TNR Label sample



TAPE and REEL OPTION

See Fig 2.0 for various Reeling Styles



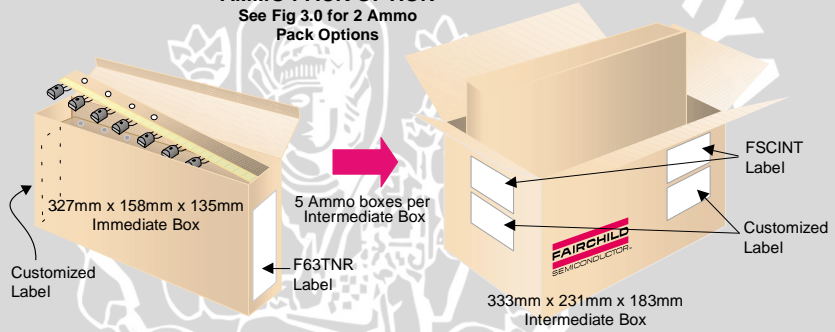
TO-92 TNR/AMMO PACKING INFORMATION

Packing	Style	Quantity	EOL code
Reel	A	2,000	D26Z
	E	2,000	D27Z
Ammo	M	2,000	D74Z
	P	2,000	D75Z

Unit weight = 0.22 gm
 Reel weight with components = 1.04 kg
 Ammo weight with components = 1.02 kg
 Max quantity per intermediate box = 10,000 units

AMMO PACK OPTION

See Fig 3.0 for 2 Ammo Pack Options

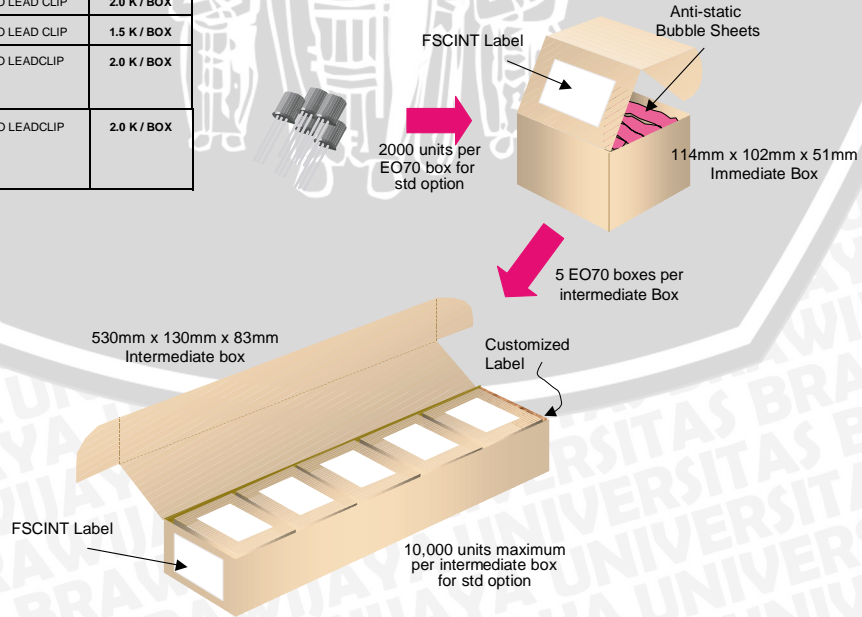


(TO-92) BULK PACKING INFORMATION

EOL CODE	DESCRIPTION	LEADCLIP DIMENSION	QUANTITY
J18Z	TO-18 OPTION STD	NO LEAD CLIP	2.0 K / BOX
J05Z	TO-5 OPTION STD	NO LEAD CLIP	1.5 K / BOX
NO EOL CODE	TO-92 STANDARD STRAIGHT FOR: PKG 92, 94 (NON PROELECTRON SERIES), 96	NO LEADCLIP	2.0 K / BOX
L34Z	TO-92 STANDARD STRAIGHT FOR: PKG 94 (PROELECTRON SERIES BCXXX, BFXXX, BSRXXX), 97, 98	NO LEADCLIP	2.0 K / BOX

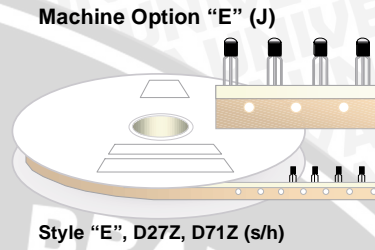
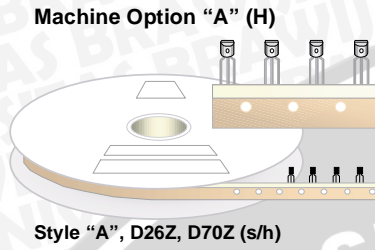
BULK OPTION

See Bulk Packing Information table

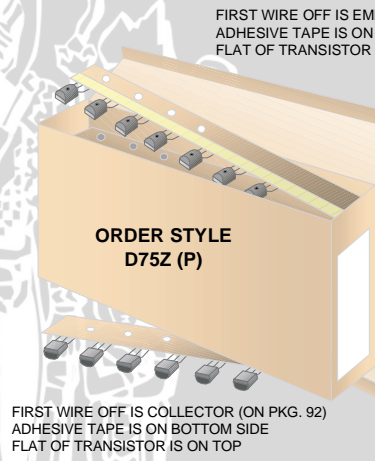
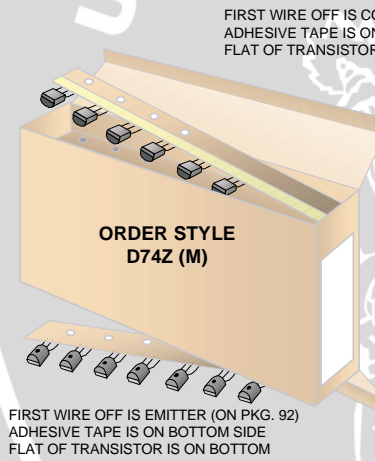


TO-92 Tape and Reel Data, continued

TO-92 Reeling Style Configuration: Figure 2.0

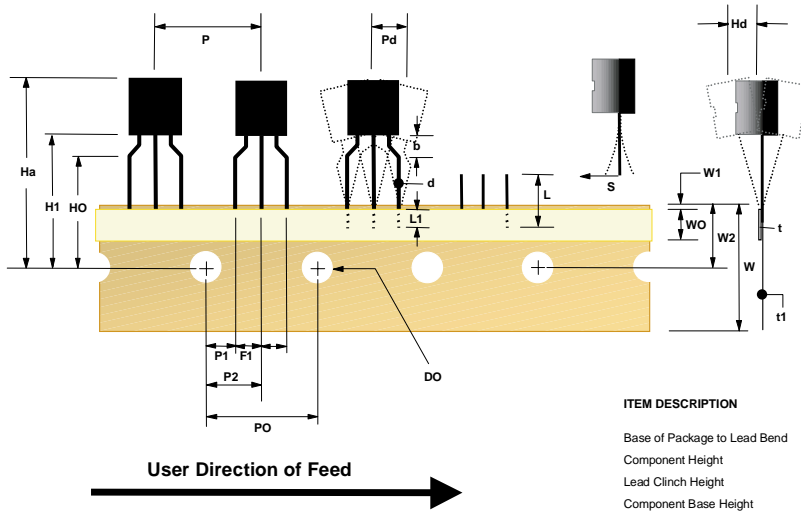


TO-92 Radial Ammo Packaging Configuration: Figure 3.0



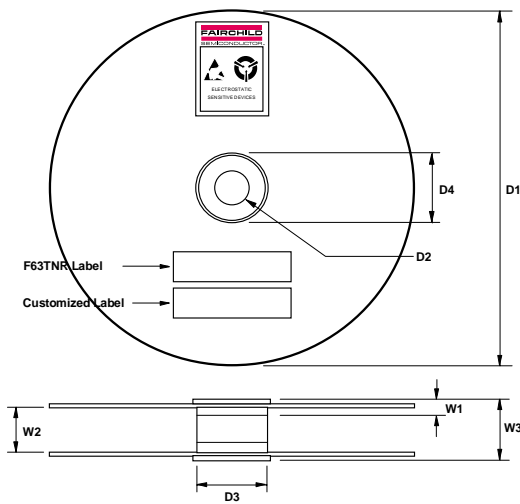
TO-92 Tape and Reel Data, continued

TO-92 Tape and Reel Taping
Dimension Configuration: Figure 4.0



ITEM DESCRIPTION	SYMBOL	DIMENSION
Base of Package to Lead Bend	b	0.098 (max)
Component Height	Ha	0.928 (+/- 0.025)
Lead Clinch Height	HO	0.630 (+/- 0.020)
Component Base Height	H1	0.748 (+/- 0.020)
Component Alignment (side/side)	Pd	0.040 (max)
Component Alignment (front/back)	Hd	0.031 (max)
Component Pitch	P	0.500 (+/- 0.020)
Feed Hole Pitch	PO	0.500 (+/- 0.008)
Hole Center to First Lead	P1	0.150 (+0.009, -0.010)
Hole Center to Component Center	P2	0.247 (+/- 0.007)
Lead Spread	F1/F2	0.104 (+/- 0.010)
Lead Thickness	d	0.018 (+0.002, -0.003)
Cut Lead Length	L	0.429 (max)
Taped Lead Length	L1	0.209 (+0.051, -0.052)
Taped Lead Thickness	t	0.032 (+/- 0.006)
Carrier Tape Thickness	t1	0.021 (+/- 0.006)
Carrier Tape Width	W	0.708 (+0.020, -0.019)
Hold - down Tape Width	WO	0.236 (+/- 0.012)
Hold - down Tape position	W1	0.035 (max)
Feed Hole Position	W2	0.360 (+/- 0.025)
Sprocket Hole Diameter	DO	0.157 (+0.008, -0.007)
Lead Spring Out	S	0.004 (max)

TO-92 Reel
Configuration: Figure 5.0



Note : All dimensions are in inches.

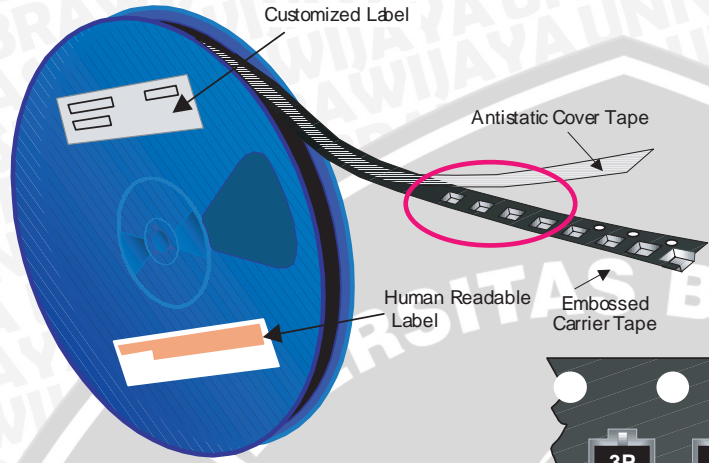
ITEM DESCRIPTION	SYMBOL	MINIMUM	MAXIMUM
Reel Diameter	D1	13.975	14.025
Arbor Hole Diameter (Standard)	D2	1.160	1.200
(Small Hole)	D2	0.650	0.700
Core Diameter	D3	3.100	3.300
Hub Recess Inner Diameter	D4	2.700	3.100
Hub Recess Depth	W1	0.370	0.570
Flange to Flange Inner Width	W2	1.630	1.690
Hub to Hub Center Width	W3		2.090

Note: All dimensions are inches

SOT-23 Tape and Reel Data



SOT-23 Packaging Configuration: Figure 10

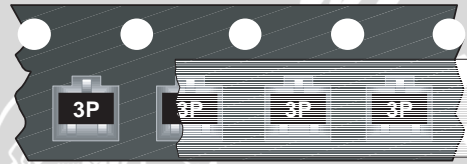


Packaging Description:

SOT-23 parts are shipped in tape. The carrier tape is made from a dissipative (carbon filled) polycarbonate resin. The cover tape is a multilayer film (Heat Activated Adhesive in nature) primarily composed of polyester film, adhesive layer, sealant, and anti-static sprayed agent. These reeled parts in standard option are shipped with 3,000 units per 7" or 177mm diameter reel. The reels are dark blue in color and is made of polystyrene plastic (anti-static coated). Other option comes in 10000 units per 13" or 330mm diameter reel. This and some other options are described in the Packaging Information table.

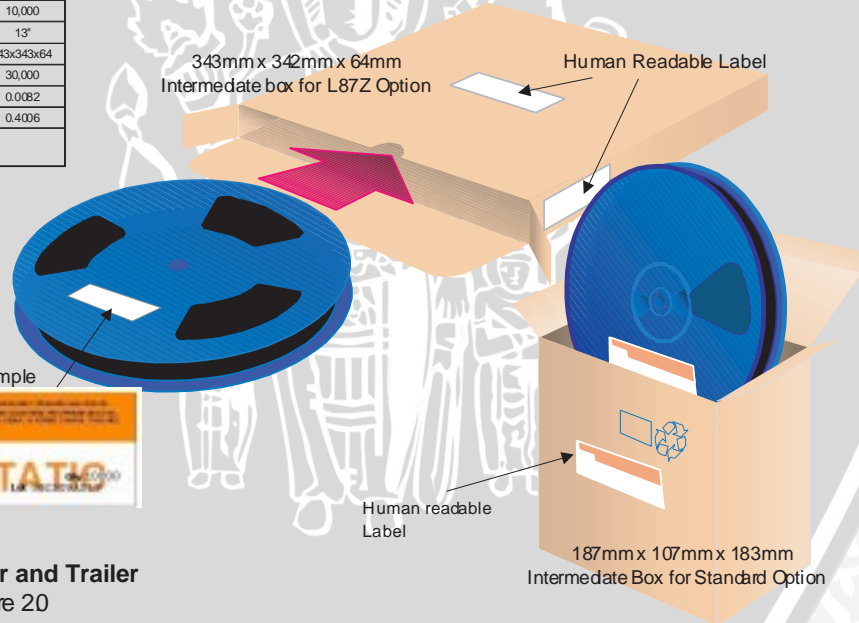
These full reels are individually labeled and placed inside a standard intermediate made of recyclable corrugated brown paper with a Fairchild logo printing. One pizza box contains eight reels maximum. And these intermediate boxes are placed inside a labeled shipping box which comes in different sizes depending on the number of parts shipped.

SOT-23 Packaging Information		
Packaging Option	Standard (no flow code)	D87Z
Packaging type	TNR	TNR
Qty per Reel/Tube/Bag	3,000	10,000
Reel Size	7" Dia	13"
Box Dimension (mm)	187x107x183	343x343x64
Max qty per Box	24,000	30,000
Weight per unit (gm)	0.0082	0.0082
Weight per Reel (kg)	0.1175	0.4006
Note/Comments		



SOT-23 Unit Orientation

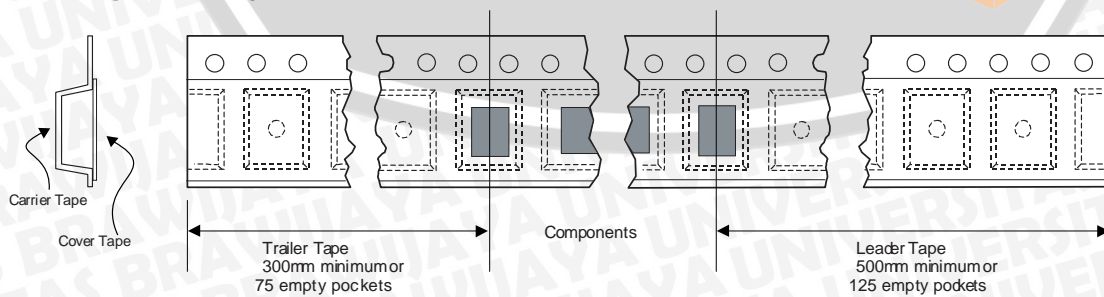
343mm x 342mm x 64mm
Intermediate box for L87Z Option



Human Readable Label sample

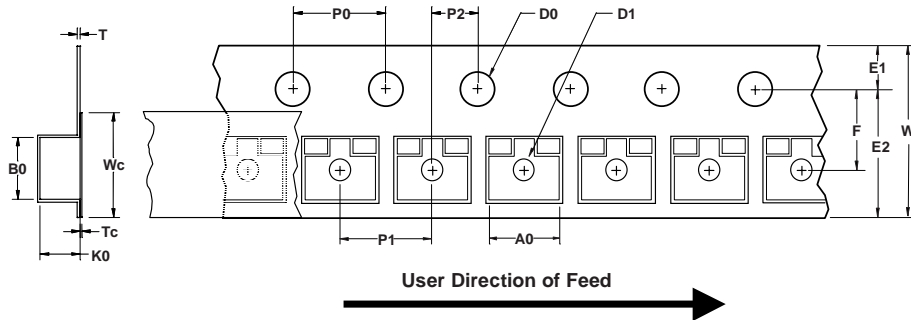


SOT-23 Tape Leader and Trailer Configuration: Figure 20



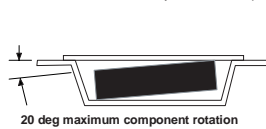
SOT-23 Tape and Reel Data, continued

SOT-23 Embossed Carrier Tape Configuration: Figure 3.0

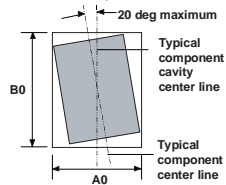


Dimensions are in millimeter														
Pkg type	A0	B0	W	D0	D1	E1	E2	F	P1	P0	K0	T	Wc	Tc
SOT-23 (8mm)	3.15 ±0.10	2.77 ±0.10	8.0 ±0.3	1.55 ±0.05	1.125 ±0.125	1.75 ±0.10	6.25 min	3.50 ±0.05	4.0 ±0.1	4.0 ±0.1	1.30 ±0.10	0.228 ±0.013	5.2 ±0.3	0.06 ±0.02

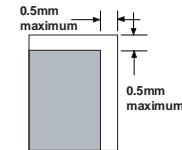
Notes: A0, B0, and K0 dimensions are determined with respect to the EIA/Jedec RS-481 rotational and lateral movement requirements (see sketches A, B, and C).



Sketch A (Side or Front Sectional View)
Component Rotation

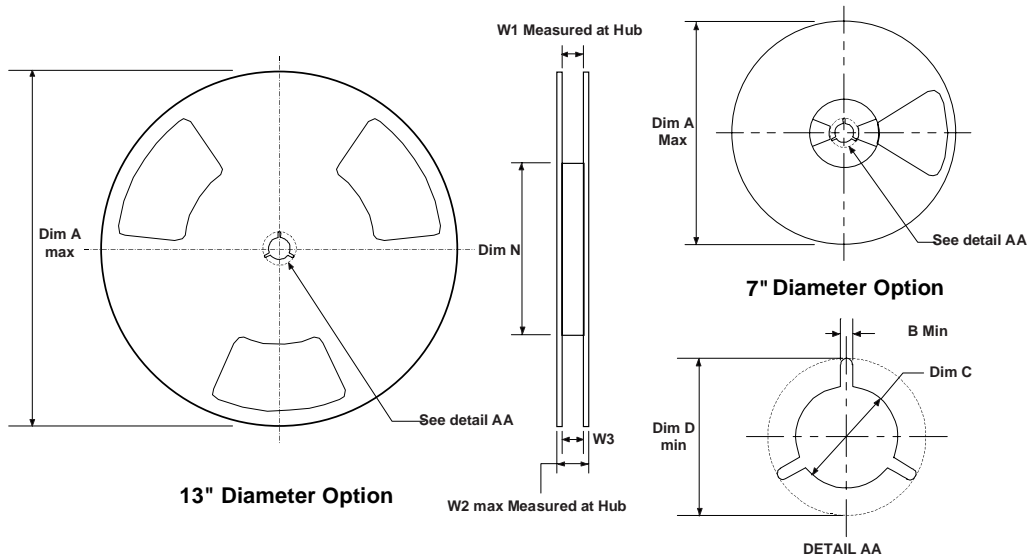


Sketch B (Top View)
Component Rotation



Sketch C (Top View)
Component lateral movement

SOT-23 Reel Configuration: Figure 4.0

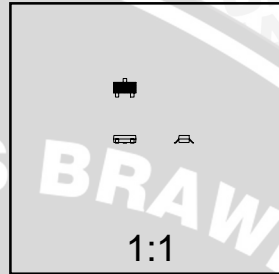
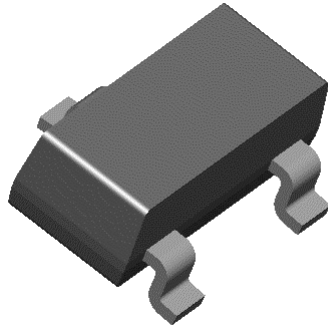


Dimensions are in inches and millimeters									
Tape Size	Reel Option	Dim A	Dim B	Dim C	Dim D	Dim N	Dim W1	Dim W2	Dim W3 (LSL-USL)
8mm	7" Dia	7.00 177.8	0.059 1.5	512 +0.020/-0.008 13 +0.5/-0.2	0.795 20.2	2.165 55	0.331 +0.059/-0.000 8.4 +1.5/0	0.567 14.4	0.311 -0.429 7.9 - 10.9
8mm	13" Dia	13.00 330	0.059 1.5	512 +0.020/-0.008 13 +0.5/-0.2	0.795 20.2	4.00 100	0.331 +0.059/-0.000 8.4 +1.5/0	0.567 14.4	0.311 -0.429 7.9 - 10.9

SOT-23 Package Dimensions



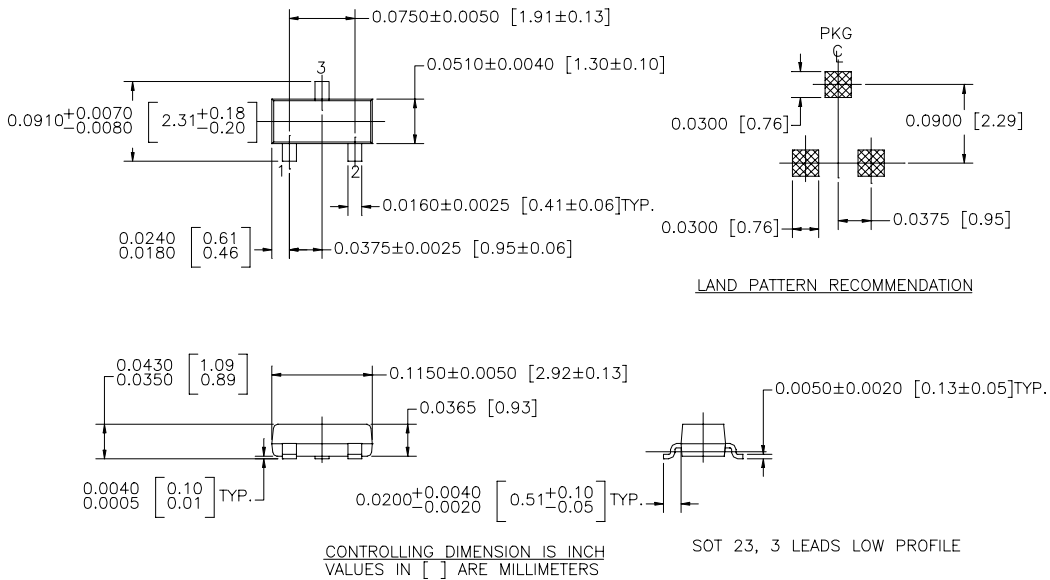
SOT-23 (FS PKG Code 49)



Scale 1:1 on letter size paper

Dimensions shown below are in:
inches [millimeters]

Part Weight per unit (gram): 0.0082



NOTE : UNLESS OTHERWISE SPECIFIED

- STANDARD LEAD FINISH 150 MICRONS / 3.81 MICROMETERS
MINIMUM TIN / LEAD (SOLDER) ON ALLOY 42
- REFERENCE JEDEC REGISTRATION TO-236, VARIATION AB, ISSUE G, DATED JUL 1993

TRADEMARKS

The following are registered and unregistered trademarks Fairchild Semiconductor owns or is authorized to use and is not intended to be an exhaustive list of all such trademarks.

ACEx™	FASTr™	PowerTrench®	SyncFET™
Bottomless™	GlobalOptoisolator™	QFET™	TinyLogic™
CoolFET™	GTO™	QST™	UHC™
CROSSVOLT™	HiSeC™	QT Optoelectronics™	VCX™
DOME™	ISOPLANAR™	Quiet Series™	
E ² CMOS™	MICROWIRE™	SILENT SWITCHER®	
EnSigna™	OPTOLOGIC™	SMART START™	
FACT™	OPTOPLANAR™	SuperSOT™-3	
FACT Quiet Series™	PACMAN™	SuperSOT™-6	
FAST®	POP™	SuperSOT™-8	

DISCLAIMER

FAIRCHILD SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. FAIRCHILD DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN; NEITHER DOES IT CONVEY ANY LICENSE UNDER ITS PATENT RIGHTS, NOR THE RIGHTS OF OTHERS.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

PRODUCT STATUS DEFINITIONS

Definition of Terms

Datasheet Identification	Product Status	Definition
Advance Information	Formative or In Design	This datasheet contains the design specifications for product development. Specifications may change in any manner without notice.
Preliminary	First Production	This datasheet contains preliminary data, and supplementary data will be published at a later date. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
No Identification Needed	Full Production	This datasheet contains final specifications. Fairchild Semiconductor reserves the right to make changes at any time without notice in order to improve design.
Obsolete	Not In Production	This datasheet contains specifications on a product that has been discontinued by Fairchild semiconductor. The datasheet is printed for reference information only.

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.



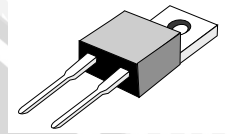
Ultra Fast Recovery Rectifier Diodes

... Designed for use in switching power supplies, inverters and as free wheeling diodes. These state-of-the-art devices have the following features:

- * High Surge Capacity
- * Low Power Loss, High efficiency
- * Glass Passivated chip junctions
- * 150 °C Operating Junction Temperature
- * Low Stored Charge Majority Carrier Conduction
- * Low Forward Voltage , High Current Capability
- * High-Switching Speed 50 Nanosecond Recovery Time
- * Plastic Material used Carries Underwriters Laboratory Flammability Classification 94V-O

ULTRA FAST RECTIFIERS

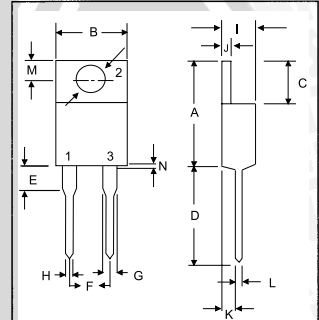
**10 AMPERES
300 -- 600 VOLTS**



TO-220A

MAXIMUM RATINGS

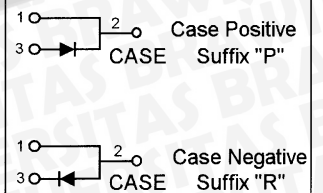
Characteristic	Symbol	U10A				Unit
		30	40	50	60	
Peak Repetitive Reverse Voltage Working Peak Reverse Voltage DC Blocking Voltage	V_{RRM} V_{RWM} V_R	300	400	500	600	V
RMS Reverse Voltage	$V_{R(RMS)}$	210	280	350	420	V
Average Rectifier Forward Current	$I_{F(AV)}$	10				A
Non-Repetitive Peak Surge Current (Surge applied at rate load conditions halfwave, single phase, 60Hz)	I_{FSM}	175				A
Operating and Storage Junction Temperature Range	T_J, T_{stg}	- 65 to + 150				°C



DIM	MILLIMETERS	
	MIN	MAX
A	14.68	15.32
B	9.78	10.42
C	6.01	6.52
D	13.06	14.62
E	3.57	4.07
F	4.83	5.33
G	1.12	1.36
H	0.72	0.96
I	4.22	4.98
J	1.14	1.36
K	2.20	2.97
L	0.33	0.55
M	2.48	2.98
N	--	1.00
O	3.70	3.90

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	U10A				Unit
		30	40	50	60	
Maximum Instantaneous Forward Voltage ($I_F=10$ Amp, $T_C=25$ °C) ($I_F=10$ Amp, $T_C=100$ °C)	V_F	1.30 1.15		1.50 1.36		V
Maximum Instantaneous Reverse Current (Rated DC Voltage, $T_C=25$ °C) (Rated DC Voltage, $T_C=100$ °C)	I_R		10 500			uA
Reverse Recovery Time ($I_F=0.5$ A, $I_R=1.0$ A , $I_{rr}=0.25$ A)	T_{rr}		50			ns
Typical Junction Capacitance (Reverse Voltage of 4 volts & $f=1$ MHz)	C_p		70			pF



U10A30 Thru U10A60

FIG-1 TYPICAL FORWARD CHARACTERISTICS

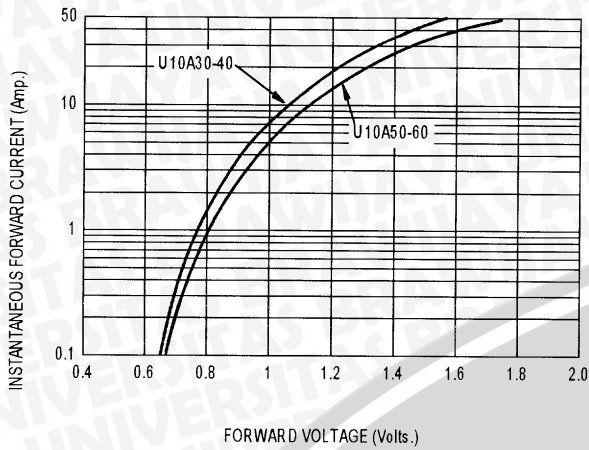


FIG-3 FORWARD CURRENT DERATING CURVE

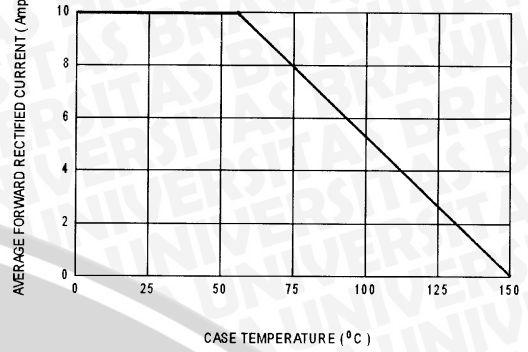


FIG-2 TYPICAL REVERSE CHARACTERISTICS

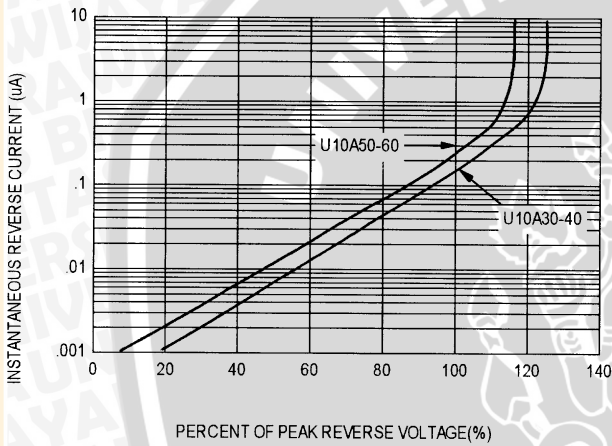


FIG-4 TYPICAL JUNCTION CAPACITANCE

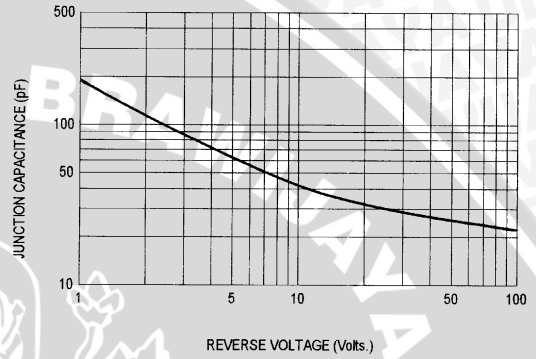
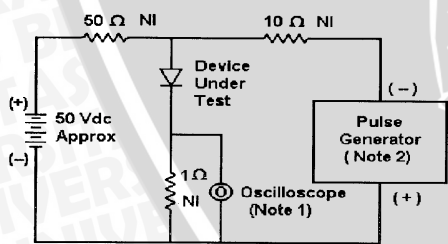
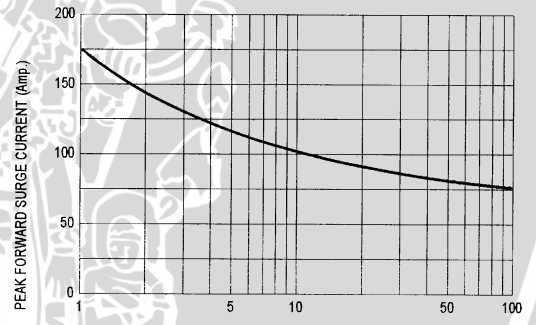
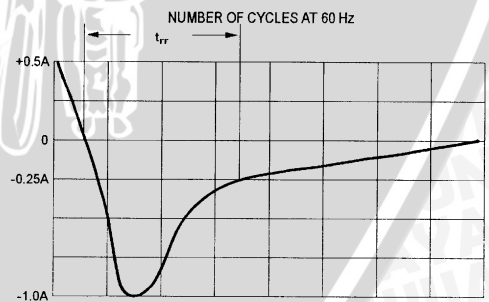


FIG-5 PEAK FORWARD SURGE CURRENT



- Notes:
 1. Rise Time = 7 ns max. Input Impedance = 1 M Ω, 22 pF
 2. Rise Time = 10 ns max. Input Impedance = 50 Ω



Set time base for 10/20 ns/div

Fig-6 Reverse Recovery Time Characteristic and Test Circuit Diagram



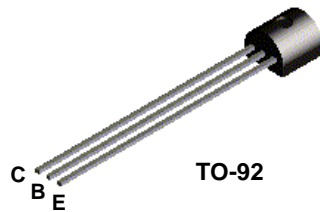
This datasheet has been download from:

www.datasheetcatalog.com

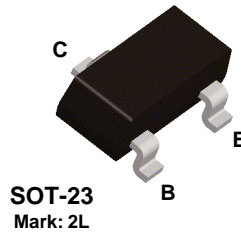
Datasheets for electronics components.



2N5401



MMBT5401



PNP General Purpose Amplifier

This device is designed as a general purpose amplifier and switch for applications requiring high voltages. Sourced from Process 74.

Absolute Maximum Ratings*

TA = 25°C unless otherwise noted

Symbol	Parameter	Value	Units
V _{CEO}	Collector-Emitter Voltage	150	V
V _{CBO}	Collector-Base Voltage	160	V
V _{EBO}	Emitter-Base Voltage	5.0	V
I _C	Collector Current - Continuous	200	mA
T _J , T _{stg}	Operating and Storage Junction Temperature Range	-55 to +150	°C

*These ratings are limiting values above which the serviceability of any semiconductor device may be impaired.

NOTES:

- 1) These ratings are based on a maximum junction temperature of 150 degrees C.
- 2) These are steady state limits. The factory should be consulted on applications involving pulsed or low duty cycle operations.

Thermal Characteristics

TA = 25°C unless otherwise noted

Symbol	Characteristic	Max		Units
		2N5401	*MMBT5401	
P _D	Total Device Dissipation Derate above 25°C	625	350	mW
		5.0	2.8	mW/°C
R _{θJC}	Thermal Resistance, Junction to Case	83.3		°C/W
R _{θJA}	Thermal Resistance, Junction to Ambient	200	357	°C/W

*Device mounted on FR-4 PCB 1.6" X 1.6" X 0.06."

PNP General Purpose Amplifier

(continued)

2N5401 / MMBT5401

Electrical Characteristics

TA = 25°C unless otherwise noted

Symbol	Parameter	Test Conditions	Min	Max	Units
--------	-----------	-----------------	-----	-----	-------

OFF CHARACTERISTICS

$V_{(BR)CEO}$	Collector-Emitter Breakdown Voltage*	$I_C = 1.0 \text{ mA}, I_B = 0$	150		V
$V_{(BR)CBO}$	Collector-Base Breakdown Voltage	$I_C = 100 \mu\text{A}, I_E = 0$	160		V
$V_{(BR)EBO}$	Emitter-Base Breakdown Voltage	$I_E = 10 \mu\text{A}, I_C = 0$	5.0		V
I_{CBO}	Collector Cutoff Current	$V_{CB} = 120 \text{ V}, I_E = 0$ $V_{CB} = 120 \text{ V}, I_E = 0, T_A = 100^\circ\text{C}$		50	nA
I_{EBO}	Emitter Cutoff Current	$V_{EB} = 3.0 \text{ V}, I_C = 0$		50	nA

ON CHARACTERISTICS*

h_{FE}	DC Current Gain	$I_C = 1.0 \text{ mA}, V_{CE} = 5.0 \text{ V}$ $I_C = 10 \text{ mA}, V_{CE} = 5.0 \text{ V}$ $I_C = 50 \text{ mA}, V_{CE} = 5.0 \text{ V}$	50 60 50	240	
$V_{CE(sat)}$	Collector-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$		0.2 0.5	V
$V_{BE(sat)}$	Base-Emitter Saturation Voltage	$I_C = 10 \text{ mA}, I_B = 1.0 \text{ mA}$ $I_C = 50 \text{ mA}, I_B = 5.0 \text{ mA}$		1.0 1.0	V

SMALL SIGNAL CHARACTERISTICS

f_T	Current Gain - Bandwidth Product	$I_C = 10 \text{ mA}, V_{CE} = 10 \text{ V},$ $f = 100 \text{ MHz}$	100	300	MHz
C_{obo}	Output Capacitance	$V_{CB} = 10 \text{ V}, I_E = 0,$ $f = 1.0 \text{ MHz}$		6.0	pF
NF	Noise Figure	$I_C = 250 \mu\text{A}, V_{CE} = 5.0 \text{ V},$ $R_S = 1.0 \text{ k}\Omega,$ $f = 10 \text{ Hz to } 15.7 \text{ kHz}$		8.0	dB

*Pulse Test: Pulse Width $\leq 300 \mu\text{s}$, Duty Cycle $\leq 2.0\%$

Spice Model

PNP (Is=21.48f Xti=3 Eg=1.11 Vaf=100 Bf=132.1 Ne=1.375 Ise=21.48f Ikf=.1848 Xtb=1.5 Br=3.661 Nc=2 Isc=0 Ikr=0 Rc=1.6 Cjc=17.63p Mjc=.5312 Vjc=.75 Fc=.5 Cje=73.39p Mje=.3777 Vje=.75 Tr=1.476n Tf=641.9p Itf=0 Vtf=0 Xtf=0 Rb=10)

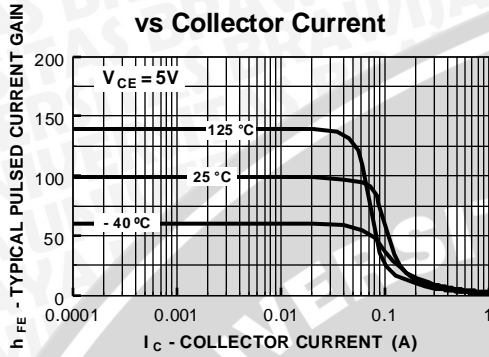
PNP General Purpose Amplifier

(continued)

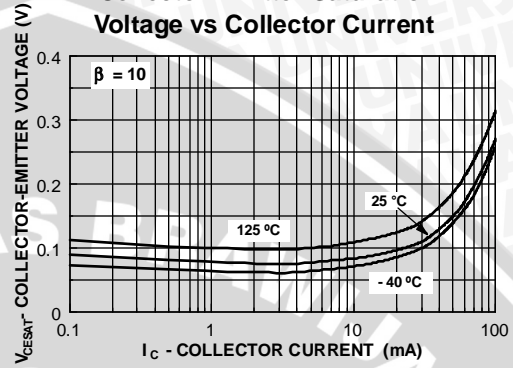
2N5401 / MMBT5401

Typical Characteristics

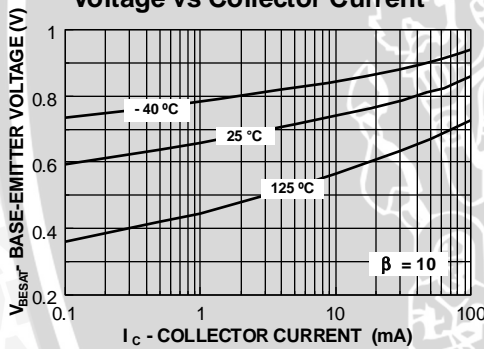
Typical Pulsed Current Gain vs Collector Current



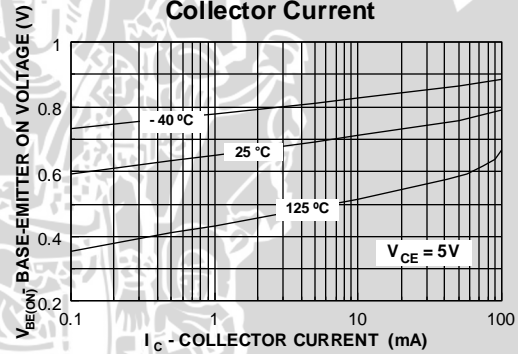
Collector-Emitter Saturation Voltage vs Collector Current



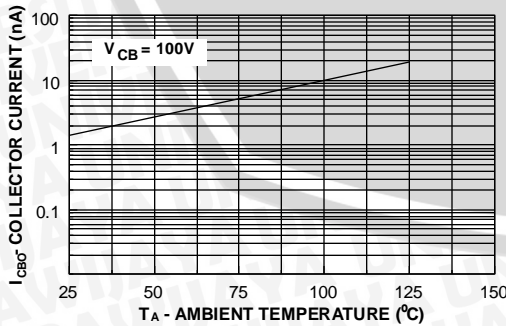
Base-Emitter Saturation Voltage vs Collector Current



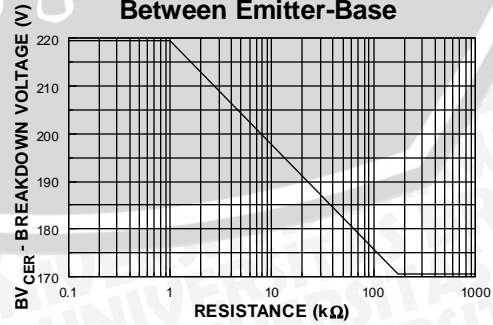
Base-Emitter ON Voltage vs Collector Current



Collector-Cutoff Current vs Ambient Temperature



Collector-Emitter Breakdown Voltage with Resistance Between Emitter-Base



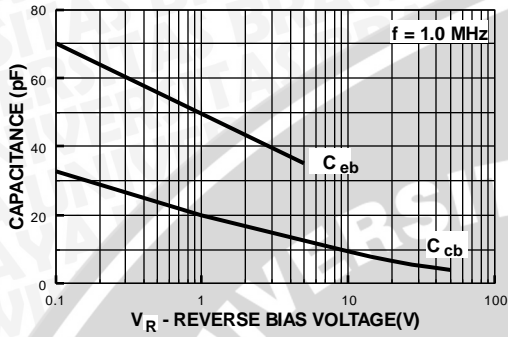
PNP General Purpose Amplifier

(continued)

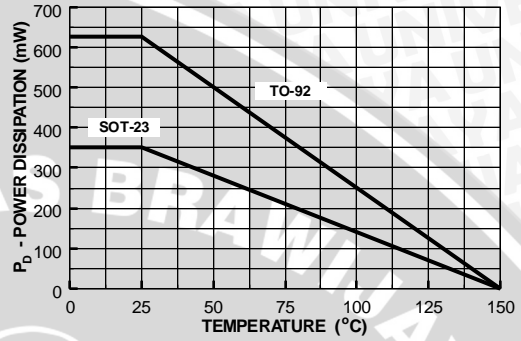
2N5401 / MMBT5401

Typical Characteristics (continued)

Input and Output Capacitance vs Reverse Voltage



Power Dissipation vs Ambient Temperature



This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.



**NOT RECOMMENDED FOR NEW DESIGNS
POSSIBLE SUBSTITUTE PRODUCT
IRF540N**

January 2002

28A, 100V, 0.077 Ohm, N-Channel Power MOSFETs

These are N-Channel enhancement mode silicon gate power field effect transistors. They are advanced power MOSFETs designed, tested, and guaranteed to withstand a specified level of energy in the breakdown avalanche mode of operation. All of these power MOSFETs are designed for applications such as switching regulators, switching convertors, motor drivers, relay drivers, and drivers for high power bipolar switching transistors requiring high speed and low gate drive power. These types can be operated directly from integrated circuits.

Formerly developmental type TA17421.

Features

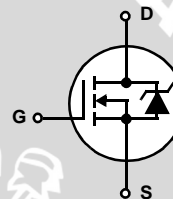
- 28A, 100V
- $r_{DS(ON)} = 0.077\Omega$
- Single Pulse Avalanche Energy Rated
- Nanosecond Switching Speeds
- Linear Transfer Characteristics
- High Input Impedance
- Related Literature
 - TB334 "Guidelines for Soldering Surface Mount Components to PC Boards"

Ordering Information

PART NUMBER	PACKAGE	BRAND
IRF540	TO-220AB	IRF540
RF1S540SM	TO-263AB	RF1S540SM

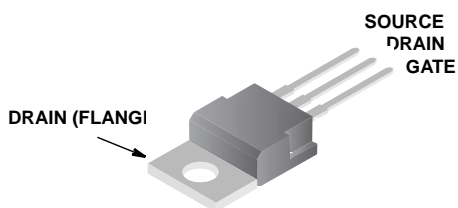
NOTE: When ordering, use the entire part number. Add the suffix 9A to obtain the TO-263AB variant in the tape and reel, i.e., RF1S540SM9A.

Symbol

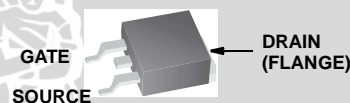


Packaging

JEDEC TO-220AB



JEDEC TO-263AB



IRF540, RF1S540SM

Absolute Maximum Ratings $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

	IRF540, RF1S540SM	UNITS
Drain to Source Breakdown Voltage (Note 1)	V_{DS}	100 V
Drain to Gate Voltage ($R_{GS} = 20k\Omega$) (Note 1)	V_{DGR}	100 V
Continuous Drain Current	I_D	28 A
$T_C = 100^\circ\text{C}$	I_D	20 A
Pulsed Drain Current (Note 3)	I_{DM}	110 A
Gate to Source Voltage	V_{GS}	± 20 V
Maximum Power Dissipation	P_D	120 W
Dissipation Derating Factor		0.8 $W/^\circ\text{C}$
Single Pulse Avalanche Energy Rating (Note 4)	E_{AS}	230 mJ
Operating and Storage Temperature	T_J, T_{STG}	-55 to 175 $^\circ\text{C}$
Maximum Temperature for Soldering		
Leads at 0.063in (1.6mm) from Case for 10s	T_L	300 $^\circ\text{C}$
Package Body for 10s, See Techbrief 334	T_{pkg}	260 $^\circ\text{C}$

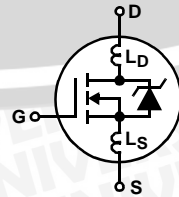
CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.

NOTE:

- $T_J = 25^\circ\text{C}$ to $T_J = 150^\circ\text{C}$.

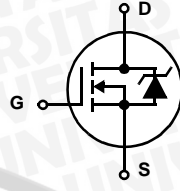
Electrical Specifications $T_C = 25^\circ\text{C}$, Unless Otherwise Specified

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS	
Drain to Source Breakdown Voltage	BV_{DSS}	$I_D = 250\mu\text{A}$, $V_{GS} = 0\text{V}$ (Figure 10)	100	-	-	V	
Gate to Threshold Voltage	$V_{GS(TH)}$	$V_{GS} = V_{DS}$, $I_D = 250\mu\text{A}$	2	-	4	V	
Zero Gate Voltage Drain Current	I_{DSS}	$V_{DS} = 95\text{V}$, $V_{GS} = 0\text{V}$	-	-	25	μA	
		$V_{DS} = 0.8 \times \text{Rated } BV_{DSS}$, $V_{GS} = 0\text{V}$, $T_J = 150^\circ\text{C}$	-	-	250	μA	
On-State Drain Current (Note 2)	$I_{D(ON)}$	$V_{DS} > I_{D(ON)} \times r_{DS(ON)} \text{ MAX}$, $V_{GS} = 10\text{V}$ (Figure 7)	28	-	-	A	
Gate to Source Leakage Current	I_{GSS}	$V_{GS} = \pm 20\text{V}$	-	-	± 100	nA	
Drain to Source On Resistance (Note 2)	$r_{DS(ON)}$	$I_D = 17\text{A}$, $V_{GS} = 10\text{V}$ (Figures 8, 9)	-	0.060	0.077	Ω	
Forward Transconductance (Note 2)	g_{fs}	$V_{DS} \geq 50\text{V}$, $I_D = 17\text{A}$ (Figure 12)	8.7	13	-	S	
Turn-On Delay Time	$t_{d(ON)}$	$V_{DD} = 50\text{V}$, $I_D = 28\text{A}$, $R_G \approx 9.1\Omega$, $R_L = 1.7\Omega$	-	15	23	ns	
Rise Time	t_r	MOSFET Switching Times are Essentially Independent of Operating Temperature	-	70	110	ns	
Turn-Off Delay Time	$t_{d(OFF)}$		-	40	60	ns	
Fall Time	t_f		-	50	83	ns	
Total Gate Charge (Gate to Source + Gate to Drain)	$Q_{g(TOT)}$	$V_{GS} = 10\text{V}$, $I_D = 28\text{A}$, $V_{DS} = 0.8 \times \text{Rated } BV_{DSS}$, $I_{g(REF)} = 1.5\text{mA}$ (Figure 14) Gate Charge is Essentially Independent of Operating Temperature	-	38	59	nC	
Gate to Source Charge	Q_{gs}		-	8	-	nC	
Gate to Drain "Miller" Charge	Q_{gd}		-	21	-	nC	
Input Capacitance	C_{ISS}	$V_{DS} = 25\text{V}$, $V_{GS} = 0\text{V}$, $f = 1\text{MHz}$	-	1450	-	pF	
Output Capacitance	C_{OSS}	(Figure 11)	-	550	-	pF	
Reverse Transfer Capacitance	C_{RSS}		-	100	-	pF	
Internal Drain Inductance	L_D	Measured From the Contact Screw on Tab To Center of Die	Modified MOSFET Symbol Showing the Internal Devices Inductances	-	3.5	-	nH
		Measured From the Drain Lead, 6mm (0.25in) from Package to Center of Die		-	4.5	-	nH
Internal Source Inductance	L_S	Measured From the Source Lead, 6mm (0.25in) From Header to Source Bonding Pad		-	7.5	-	nH
Thermal Resistance Junction to Case	$R_{\theta JC}$		-	-	1.25	$^\circ\text{C/W}$	
Thermal Resistance Junction to Ambient	$R_{\theta JA}$	Free Air Operation	-	-	80	$^\circ\text{C/W}$	
	$R_{\theta JA}$	RF1S540SM Mounted on FR-4 Board with Minimum Mounting Pad	-	-	62	$^\circ\text{C/W}$	



Source to Drain Diode Specifications

PARAMETER	SYMBOL	TEST CONDITIONS	MIN	TYP	MAX	UNITS
Continuous Source to Drain Current	I_{SD}	Modified MOSFET Symbol Showing the Integral Reverse P-N Junction Diode	-	-	28	A
Pulse Source to Drain Current (Note 3)	I_{SDM}		-	-	110	A
Source to Drain Diode Voltage (Note 2)	V_{SD}	$T_J = 25^\circ\text{C}$, $I_{SD} = 27\text{A}$, $V_{GS} = 0\text{V}$ (Figure 13)	-	-	2.5	V
Reverse Recovery Time	t_{rr}	$T_J = 25^\circ\text{C}$, $I_{SD} = 28\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$	70	150	300	ns
Reverse Recovery Charge	Q_{RR}	$T_J = 25^\circ\text{C}$, $I_{SD} = 28\text{A}$, $dI_{SD}/dt = 100\text{A}/\mu\text{s}$	0.2	1.0	1.9	μC



NOTES:

2. Pulse test: pulse width $\leq 300\mu\text{s}$, duty cycle $\leq 2\%$.
3. Repetitive rating: pulse width limited by maximum junction temperature. See Transient Thermal Impedance curve (Figure 3).
4. $V_{DD} = 25\text{V}$, starting $T_J = 25^\circ\text{C}$, $L = 440\mu\text{H}$, $R_G = 25\Omega$, peak $I_{AS} = 28\text{A}$.

Typical Performance Curves Unless Otherwise Specified

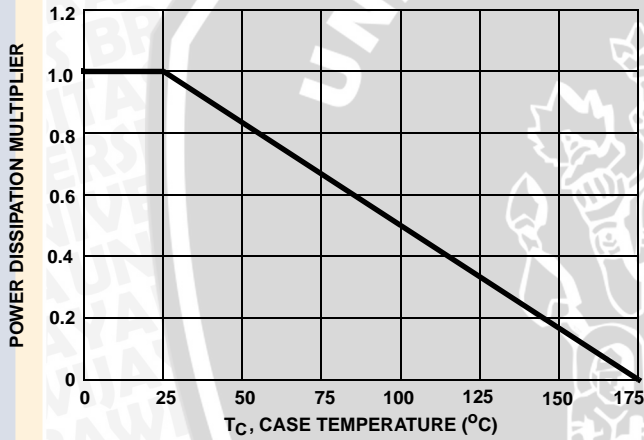


FIGURE 1. NORMALIZED POWER DISSIPATION vs CASE TEMPERATURE

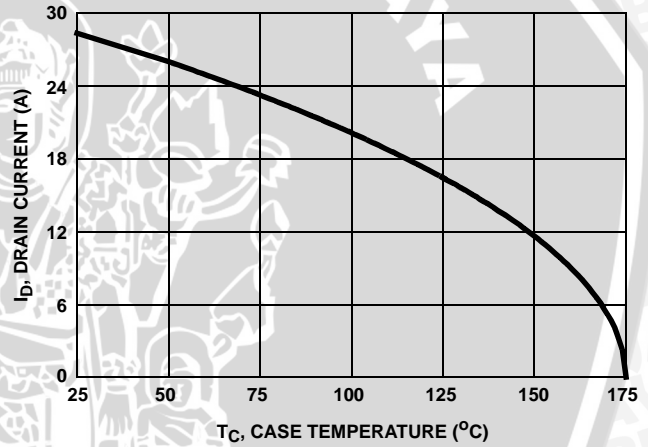


FIGURE 2. MAXIMUM CONTINUOUS DRAIN CURRENT vs CASE TEMPERATURE

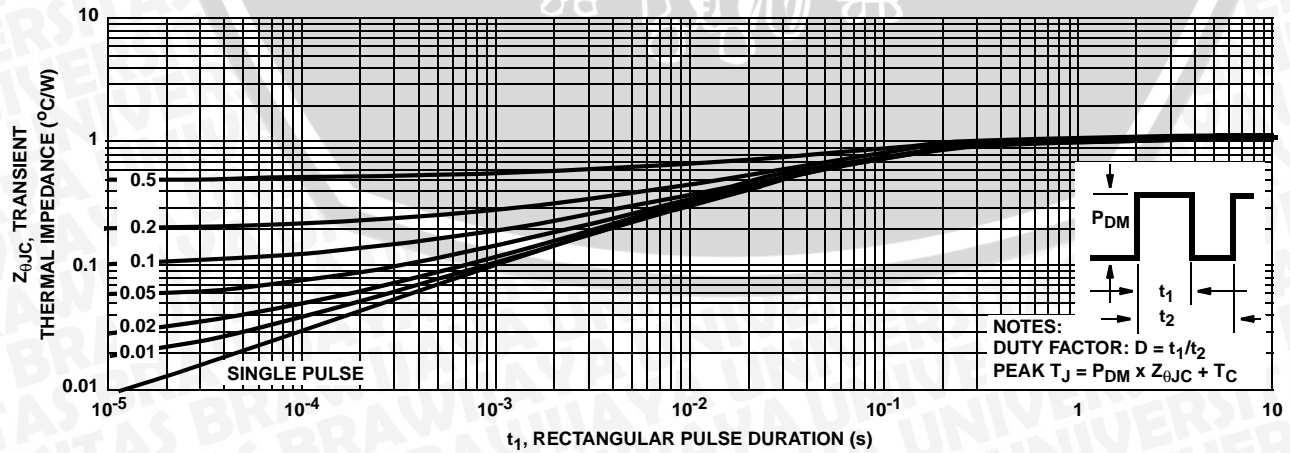


FIGURE 3. MAXIMUM TRANSIENT THERMAL IMPEDANCE

Typical Performance Curves Unless Otherwise Specified (Continued)

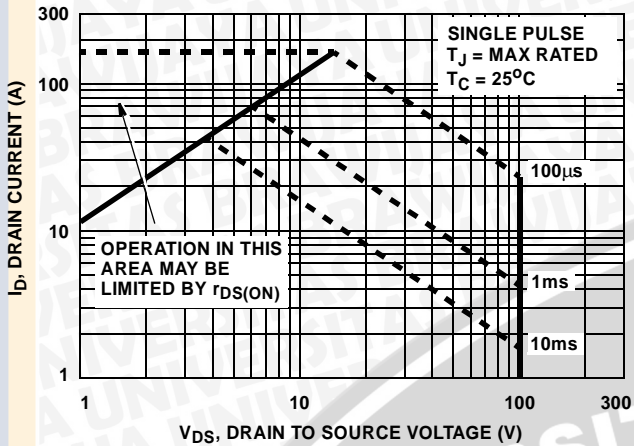


FIGURE 4. FORWARD BIAS SAFE OPERATING AREA

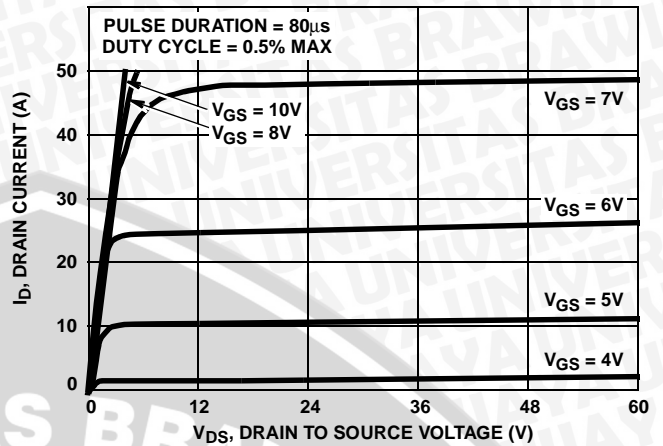


FIGURE 5. OUTPUT CHARACTERISTICS

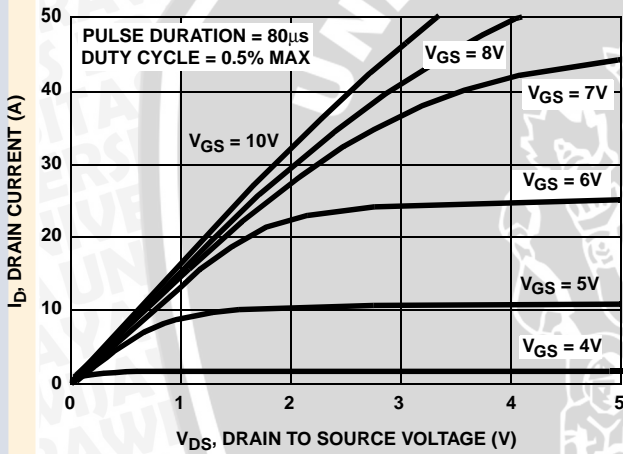


FIGURE 6. SATURATION CHARACTERISTICS

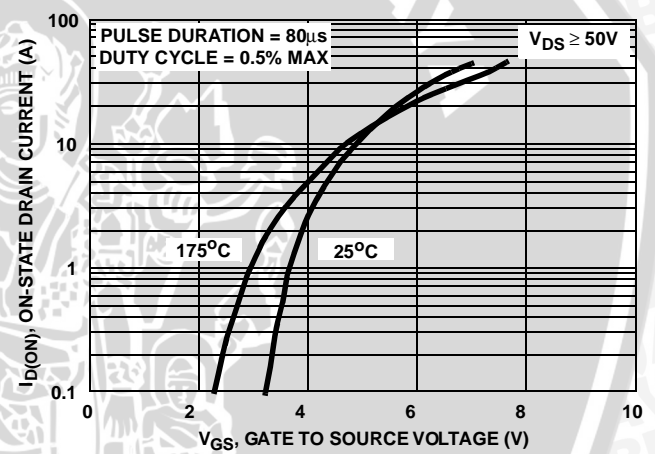


FIGURE 7. TRANSFER CHARACTERISTICS

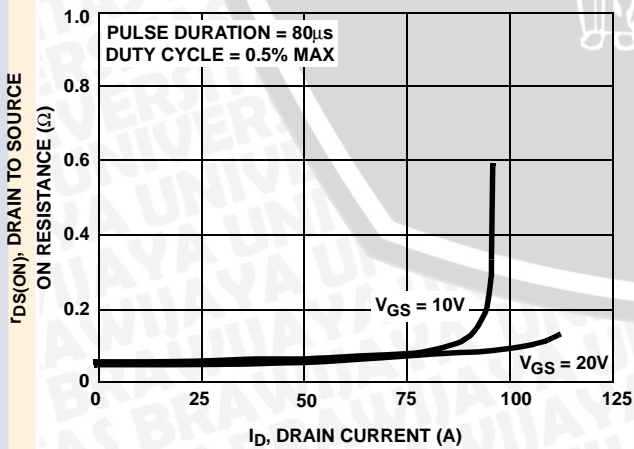


FIGURE 8. DRAIN TO SOURCE ON RESISTANCE vs GATE VOLTAGE AND DRAIN CURRENT

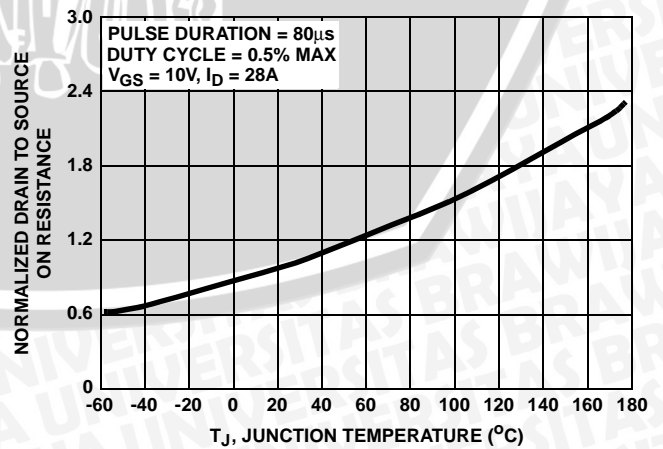


FIGURE 9. NORMALIZED DRAIN TO SOURCE ON RESISTANCE vs JUNCTION TEMPERATURE

Typical Performance Curves Unless Otherwise Specified (Continued)

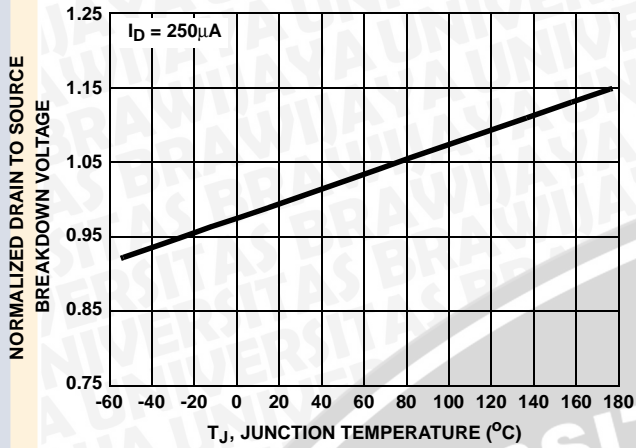


FIGURE 10. NORMALIZED DRAIN TO SOURCE BREAKDOWN VOLTAGE vs JUNCTION TEMPERATURE

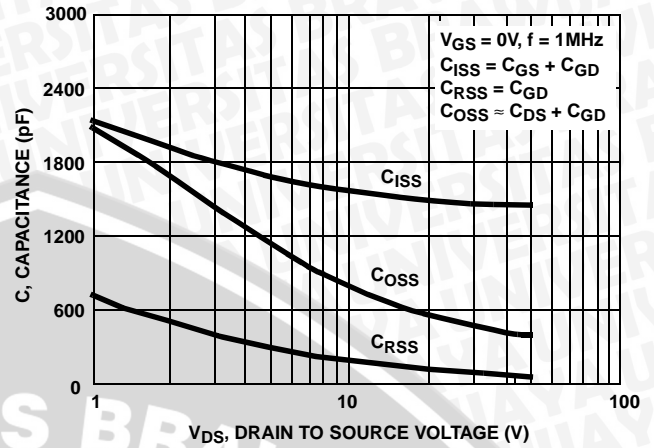


FIGURE 11. CAPACITANCE vs DRAIN TO SOURCE VOLTAGE

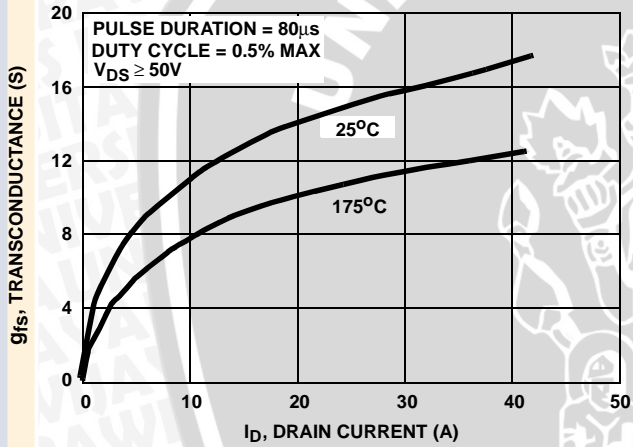


FIGURE 12. TRANSCONDUCTANCE vs DRAIN CURRENT

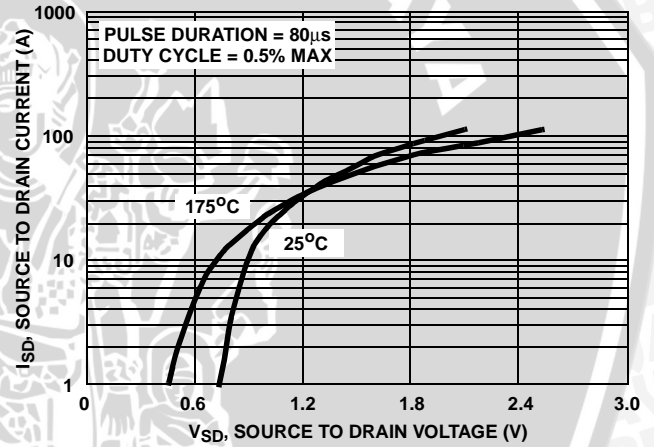


FIGURE 13. SOURCE TO DRAIN DIODE VOLTAGE

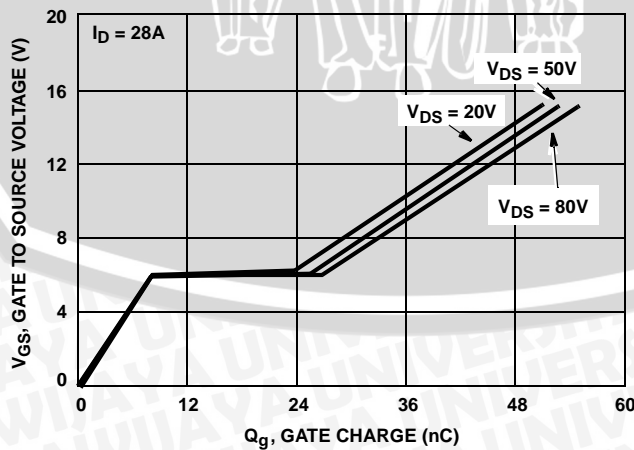


FIGURE 14. GATE TO SOURCE VOLTAGE vs GATE CHARGE

Test Circuits and Waveforms

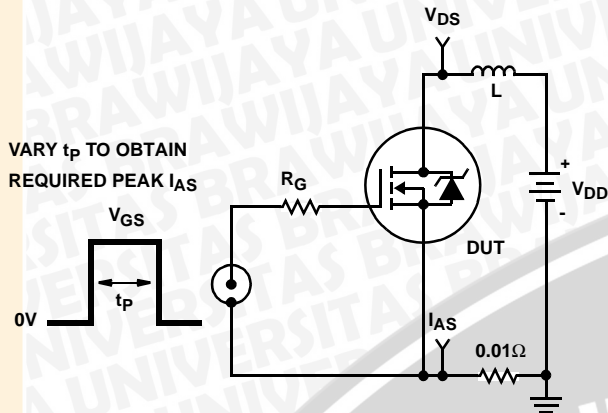


FIGURE 15. UNCLAMPED ENERGY TEST CIRCUIT

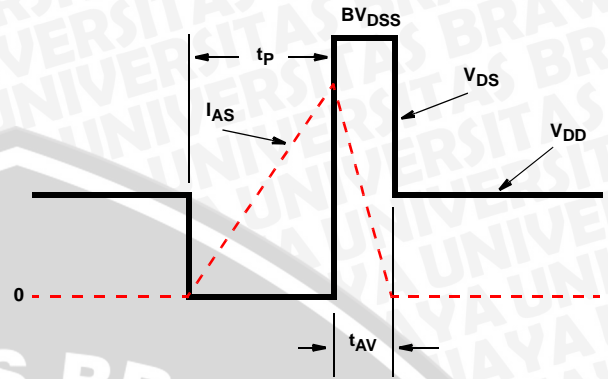


FIGURE 16. UNCLAMPED ENERGY WAVEFORMS

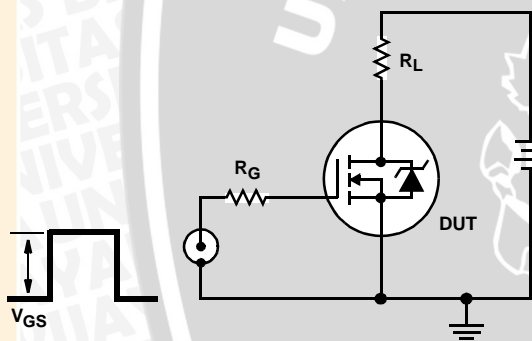


FIGURE 17. SWITCHING TIME TEST CIRCUIT

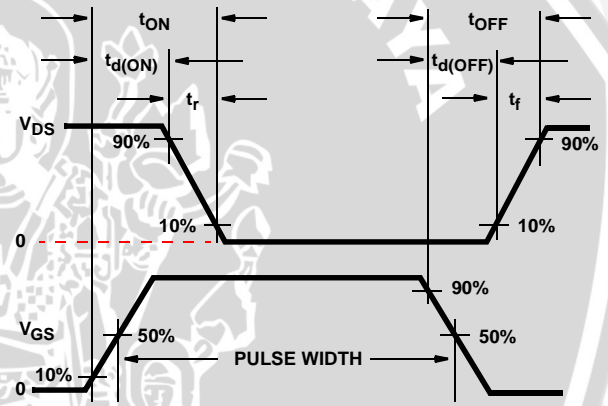


FIGURE 18. RESISTIVE SWITCHING WAVEFORMS

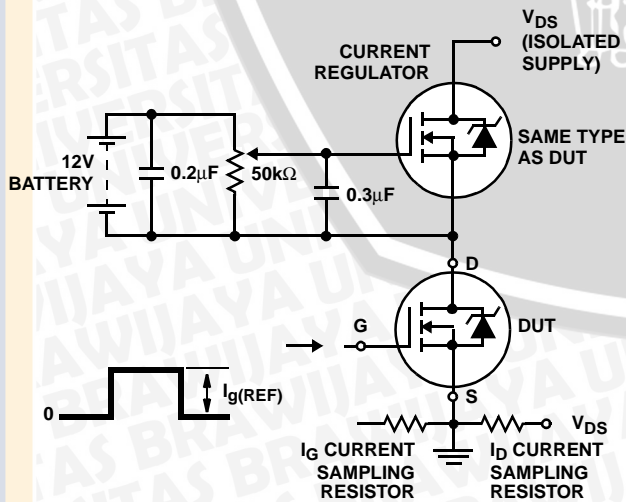


FIGURE 19. GATE CHARGE TEST CIRCUIT

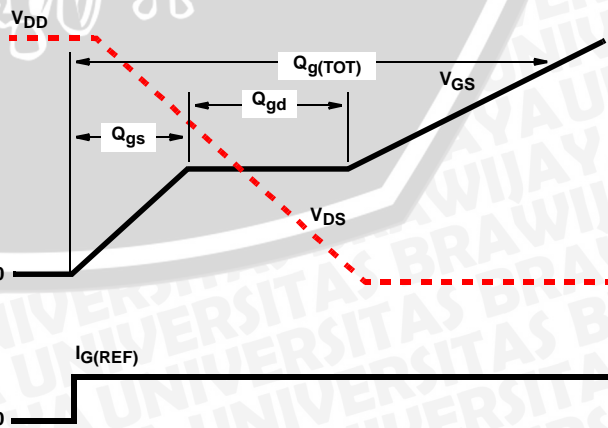


FIGURE 20. GATE CHARGE WAVEFORMS

This datasheet has been download from:

www.datasheetcatalog.com

Datasheets for electronics components.

